

UNIVERSITE HADJ LAKHDAR DE BATNA

FACULTE DES SCIENCES DE L'INGENIEUR

DEPARTEMENT D'ELECTRONIQUE

Mémoire de magister élaboré par :

DJEGHADER Redouane

Ingénieur d'Etat en Electronique de l'Université Mentouri Constantine

Pour obtenir le grade de Magister en Microélectronique

Option : IC Design

---

**CONCEPTION  
D'UN CONVERTISSEUR ANALOGIQUE NUMERIQUE  
DELTA-SIGMA 12BITS AVEC 2 MEGA ECHANTILLONS/S  
EN TECHNOLOGIE CMOS 0.35 $\mu$ m**

---

Soutenance publique devant le jury :

Dr HOUBAR Farida	Prof. Univ. Constantine	Président
Dr BOUGUECHAL Nour-Eddine	Prof. Univ. Batna	Rapporteur
Dr HAFDI Zoubeida	M.C Univ. Batna	Examineur
Dr BENHAYA Abdelhamid	M.C Univ. Batna	Examineur
Dr DIBI Zohir	M.C Univ. Batna	Examineur

## REMERCIEMENTS

*Je tien à remercier le Professeur N. Boughechel pour avoir accepté de superviser ce travail et pour les généreux conseils qu'il ma toujours prodigués.*

*Je remercie tous les collègues de travail pour leur soutien et Particulièrement Mr Bouchemal Mohamed, chef de centre MSC/BSC Constantine, pour son indulgence et ces encouragements.*

*Je remercie aussi tous ceux qui ont contribué ou aidé à l'élaboration de ce mémoire.*

## DEDICACES

*À M.F, toi qui ma fait tant réfléchir ...et dont je serai toujours redevable pour m'avoir fait découvrir Oscar Wild.*

*...Ô l'autre monde, l'habitation bénie par le ciel et les ombrages ! Le sud me rappelait les misérables incidents de mon enfance, mes désespoirs d'été, l'horrible quantité de force et de science que le sort à toujours éloignée de moi. Non ! nous ne passerons pas l'été dans cet avare pays où nous ne serons jamais que des orphelins financé.....*

*Arthur Rimbaud,*

<b>INTRODUCTION GENERALE</b> .....	3
<b>CONVERTISSEURS ANALOGIQUES NUMERIQUES DELTA SIGMA</b> .....	4
I-1 Introduction .....	4
I-2 Bruit de Quantification.....	5
I-3 Avantage du Sur-Echantillonnage.....	6
I-4 Façonnement du Bruit et Modulation Delta-Sigma $\Sigma \Delta$ .....	8
I-4.1 Architecture d'un Système de Conversion Analogique Numérique $\Sigma \Delta$ -----	8
I-4.2 Fonctions de Transfères du Bruit et du Signal-----	9
I-4.3 Modulateur $\Sigma\Delta$ du Premier Ordre -----	11
I-4.4 Modulateur d'Ordre Supérieur : -----	16
I-5 Implémentation du Modulateur Avec les Techniques SC.....	21
I-6 Caractéristique RSB-Amplitude du Signal d'Entrée (ASE) .....	22
I-7 Décimation .....	24
I-8 : Méthodologie de Conception .....	26
I-9 : Conclusion .....	27
<b>SYNTHESE HAUT NIVEAU ET SIMULATION STRUCTURELLE</b> .....	28
II-1 Introduction.....	28
II-2 Synthèse de la Fonction de Transfère du Bruit et Extraction des Coefficients du Modulateur Delta Sigma : .....	29
II-2.1 Présentation de la Boîte à Outils $\Sigma\Delta$ : .....	29
II-2.2 Synthèse de la Fonction de Transfère du Bruit FTB : .....	30
II-3 Analyse Monte-Carlo : .....	34
II-4 Modèle Structurel du Modulateur $\Sigma\Delta$ .....	43
II-4.1 Principe De La Simulation Structurelle .....	44
II-4.2 Prise en Compte de des Excursions de Sortie des Amplificateurs Opérationnels (Output Swing) .....	45
II-4.3 Prise en Compte du Temps d'Etablissement (Settling Time) : .....	46
II-4.4 Prise en Compte de l'Hystérésis et de la Tension de Décalage .....	48
II-4.5 Validation du simulateur et comparaison des résultats : .....	49
II-4.5.1 Fonction de Transfère Théorique et Spectre du signal de sortie.....	50
II-4.5.2 Caractéristiques RSB-Amplitude du Signal d'Entrée : .....	53
II-4.5.3 Influence de l'Excursion de Sortie : .....	55
II-4.5.4 Influence de l'Etablissement Partiel (Non Complete Settling) : .....	62
II-4.5.5 Influence de la Tension de Décalage du Compateur .....	65
II-4.5.6 Influence de l'Hystérésis du Compateur.....	69

II-5 Détermination des Capacités des Condensateurs du Modulateur $\Sigma\Delta$ : .....	69
II- 6 Choix de la Structure à Implémenter et Modèle Electrique Idéal : .....	75
II- 6.1 Comparaison des Structures.....	75
II- 6.2 Circuit Electrique du Modulateur $\Sigma\Delta$ .....	76
II- 7 Conception du Filtre Décimateur : .....	79
II- 8 Conclusion .....	83
<b>SYNTHESE BAS NIVEAU ET DIMENSIONNEMENT DES TRANSISTORS..</b>	<b>84</b>
III- 1 Introduction .....	84
III- 2 Dimensionnement des Switches .....	85
III- 2.1 Résistance d'un Switch de Dimensions Minimales.....	87
III- 2.2 Capacité Equivalente Piloté par Chaque Switch .....	89
III- 3 Synthèse du Convertisseur Numérique Analogique 1-Bit.....	92
III- 4 Synthèse du Comparateur.....	93
III- 5 Synthèse des amplificateurs opérationnels.....	96
III- 5.1 Synthèse directe.....	96
III- 5.2 Synthèse par Algorithme génétique.....	98
III-6 Conclusion :.....	103
<b>CONCLUSION GENERALE</b> .....	<b>104</b>
<b>REFERENCES</b> .....	<b>105</b>
<b>ANNEXE A</b> .....	<b>107</b>
<b>ANNEXE B</b> .....	<b>111</b>
<b>ANNEXE C</b> .....	<b>134</b>
<b>ANNEXE D</b> .....	<b>137</b>

## INTRODUCTION GENERALE

L'intégration de plus en plus de fonctions analogiques ou mixtes en technologie CMOS VLSI pose de nombreux problèmes liés notamment aux aspects submicroniques. Aussi, nous nous proposons dans ce mémoire de concevoir un convertisseur analogique numérique du type Delta Sigma destiné à être implémenté à l'aide des techniques des capacités commutées (SC) pour la technologie AMI 0.35  $\mu\text{m}$ .

Le premier chapitre introduira le principe de la conversion analogique numérique delta sigma, les blocs fonctionnels du convertisseur seront également abordés.

Le deuxième chapitre sera consacré à la synthèse haut niveau du modulateur delta sigma : les fonctions de transfert du signal et de bruit seront étudiés et les coefficients déduits pour différentes topologies.

Une modélisation structurelle du modulateur sera développée pour comparer les différentes topologies du modulateur en termes de coûts et de performances.

Le troisième chapitre traite la conception bas niveau du modulateur delta sigma. Chaque élément ou bloc fonctionnel sera conçu séparément au niveau circuit.

Les amplificateurs opérationnels qui sont les éléments les plus importants de la structure seront conçus à l'aide d'une méthode directe puis par un algorithme génétique.

# CHAPITRE I

## CONVERTISSEURS ANALOGIQUES NUMERIQUES DELTA SIGMA

### I-1 Introduction

Dans ce premier chapitre nous introduirons le principe de la conversion analogique numérique delta sigma  $\Sigma\Delta$  qui tire profit des avantages de la modulation pour opérer une séparation spectral entre le signal objet de la conversion et le bruit de quantification qui lui est associé (problème inhérent au passage du domaine analogique continu à celui numérique quantifié). Cette technique également connue sous le terme « façonnement du bruit » ou « Noise Shaping » dans la littérature anglo-saxonne, permet d'atteindre des résolutions effectives élevées nécessaire dans bon nombre d'applications modernes comme l'instrumentation géologique et pétrolière.

L'implémentation du modulateur  $\Sigma\Delta$  par les techniques des capacités commutées facilement intégrable avec la technologie CMOS VLSI standard est également traitée. Le chapitre est clôturé par la présentation de la méthodologie de conception adoptée tous au long de ce travail.

## **I-2 Bruit de Quantification**

Afin d'introduire la notion de bruit de quantification, considérons le schéma bloc du convertisseur analogique numérique CAN de N-bit de la Figure I-1(a) où  $V_{in}$  et  $V_{ref}$  sont respectivement, la tension d'entrée analogique et la tension de référence. Le « Mot » de sortie numérique  $B_{out} = (b_1, b_2, \dots, b_N)$  est relié à ces deux signaux par la relation [1] :

$$V_{ref} (b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}) = V_{in} \pm V_x \quad (I-1)$$

Avec

$$-\frac{1}{2} \frac{V_{ref}}{2^N} \leq V_x < \frac{1}{2} \frac{V_{ref}}{2^N} \quad (I-2)$$

La terme «  $V_x$  » implique la présence d'un domaine de tensions d'entrée qui produit la même sortie numérique ceci est mieux illustré par la caractéristique de transfère du CAN 2-bit de la Figure I-1 (b) où on peut observer qu'il existe plusieurs valeurs du rapport  $V_{in}/V_{ref}$  pour lesquelles une seule sortie numérique est produite. Ce phénomène inhérent à la transition du domaine analogique (continue) au domaine numérique (discret) caractérisé par l'ambiguïté dans la définition du mot numérique de sortie même pour un convertisseur idéal est connu sous le nom d'erreur (ou bruit) de quantification. On peut montrer [1] (sous certaines assumptions) que la tension efficace du bruit de quantification est donnée par :

$$V_Q (rms) = \frac{V_{LSB}}{\sqrt{12}} \quad (I-3)$$

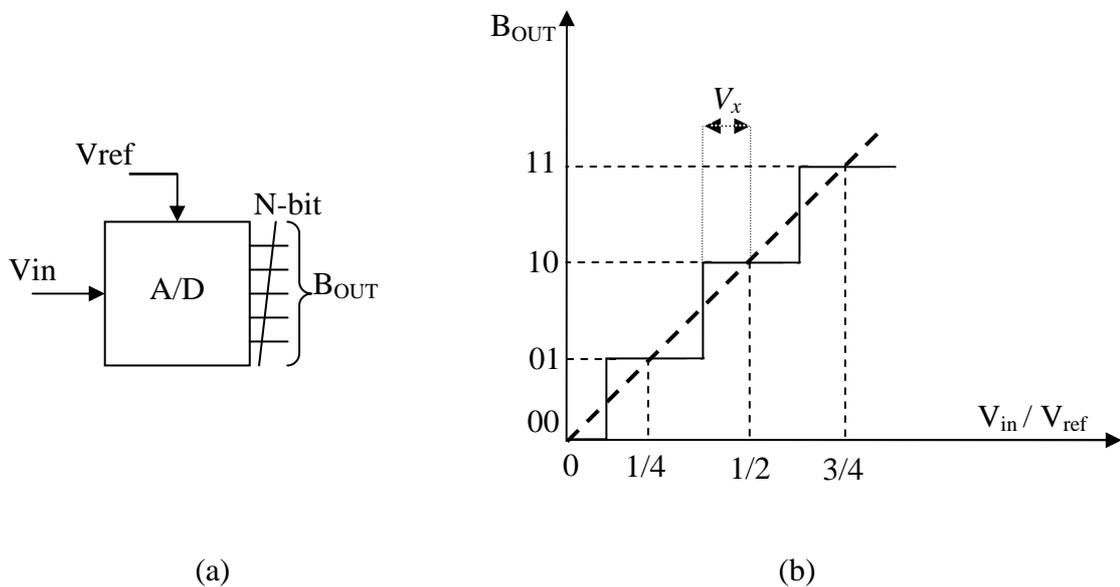
Avec

$$V_{LSB} = \frac{V_{ref}}{2^N} \quad (I-4)$$

Ceci est valide si le signal d'erreur (le bruit) est uniformément distribué le long de l'intervalle  $\pm V_{ref}/2$  (hypothèse du bruit blanc). La relation (I-3) prévoit une décroissance du bruit de 6dB pour chaque bit additionnel du CAN.

Afin d'aboutir à une formule reliant le Rapport Signal sur Bruit, RSB (ou SNR : Signal to Noise Ratio dans la littérature Anglo-saxonne), au nombre de bits du convertisseur A/N, considérons une sinusoïde d'entrée d'amplitude comprise entre 0 et  $V_{ref}$ . La tension efficace d'un tel signal est égal à  $V_{ref}/2\sqrt{2}$ . On peut alors écrire :

$$\begin{aligned}
 RSB &= 20 \operatorname{Log} \left( \frac{V_{in}}{V_Q} \right) \\
 &= 20 \operatorname{Log} \left( \frac{V_{ref}/2\sqrt{2}}{V_{LSB}/\sqrt{12}} \right) \\
 RSB &= 6,02N + 1,76 \text{ (dB)} \tag{I-5}
 \end{aligned}$$



**Figure I-1** : Convertisseur Analogique Numérique : (a) Schéma Bloc (b) Caractéristique de sortie pour un CAN 2-bit

Il est important de noter que (I-5) donne le meilleur RSB possible pour un CAN à N-bit. Néanmoins, le RSB *idéal* décroît de sa valeur maximale pour les niveaux réduits du signal d'entrée.

### **I-3 Avantage du Sur-Echantillonnage**

La relation (I-5) a été formulé en se mettant implicitement dans le cas d'un signal d'entrée (fréquentiellement compris entre 0 et  $f_0$ ) échantillonné à la fréquence de Nyquist  $f_N=2f_0$ . Cette vitesse d'échantillonnage est le minimum requis pour garantir la récupération sans pertes de toute l'information contenue dans le signal. Cependant, une

quantification à une vitesse supérieure est possible et par fois souhaitable (Figure I-2).

On peut alors définir un Rapport de Sur-Echantillonnage RSE tels que :

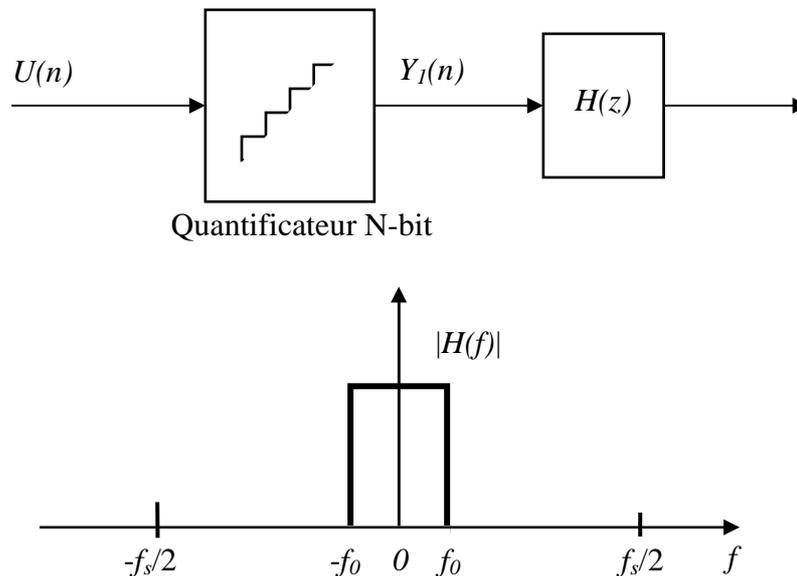
$$RSE = \frac{f_s}{2f_0} \quad (I-6)$$

Avec  $f_s$  est la fréquence d'échantillonnage.

Une fois la conversion terminée, et puisque le signal d'entrée est fréquentiellement limité à  $f_0$ , on doit filtrer le signal de sortie pour éliminer toute composante (ou bruit) en dehors de la bande de fréquence du signal comme cela est montré sur la Figure I-2 (b). Ceci résultera en une amélioration du RSB. En effet, on peut montrer [2] que le rapport signal/bruit d'un tel système est donné par :

$$RSB = 6,02N + 1,76 + 10\text{Log}(RSE) \text{ (dB)} \quad (I-7)$$

L'effet positif du suréchantillonnage est patent. En effet, la comparaison de (I-7) avec (I-5) nous renseigne que le suréchantillonnage apporte 3dB (soit un demi bit de résolution effective) de plus pour chaque multiplication de la fréquence d'échantillonnage par 2. Ici, il est important de noter qu'aucune technique de façonnement du bruit (Noise Shaping) n'est appliquée.



**Figure I-2 :** Système de conversion travaillant en Suréchantillonnage avec filtrage de la sortie

Le paragraphe suivant montrera que l'utilisation de telles techniques améliorera encore d'avantage et plus sensiblement l'efficacité du suréchantillonnage.

#### **I-4 Façonnement du Bruit et Modulation Delta-Sigma $\Sigma \Delta$**

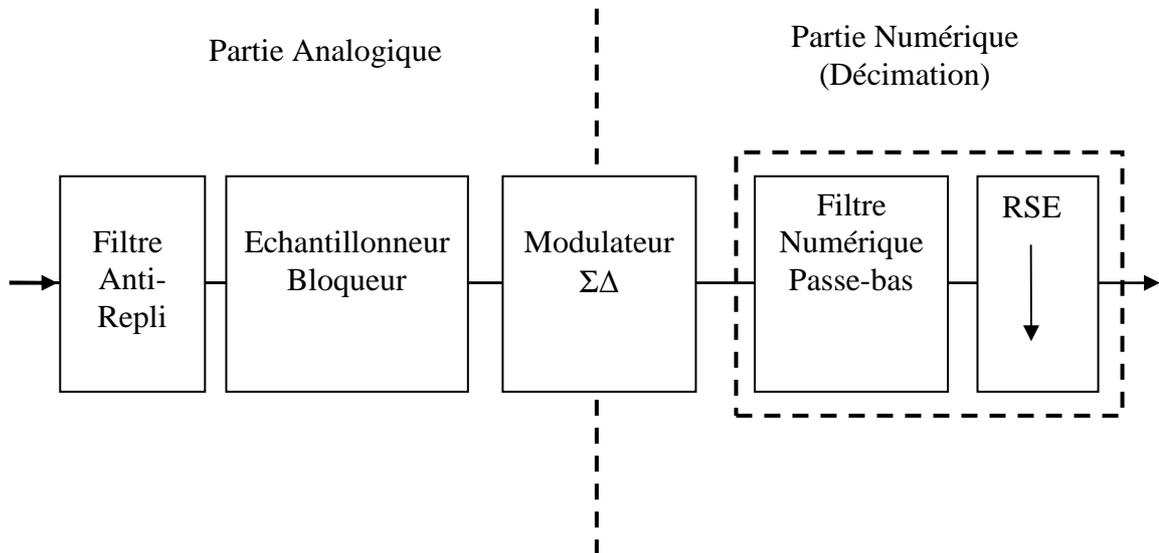
Nous introduirons ici l'avantage de l'utilisation de la rétroaction comme moyen de façonnement du bruit (Noise Shaping) hors de la bande du signal objet de la conversion. En effet, cette technique permet d'atteindre de meilleures résolutions lorsqu'elle est utilisée conjointement avec le suréchantillonnage par rapport au cas où le façonnage du bruit n'est pas appliqué.

##### **I-4.1 Architecture d'un Système de Conversion Analogique Numérique $\Sigma \Delta$**

La Figure I-3 illustre l'architecture d'un système Delta-Sigma ( $\Sigma \Delta$ ) suréchantillonné où on peut distinguer les blocs suivants :

- 1- Filtre Anti-repli : C'est le premier bloc fonctionnel dans le système, son rôle est de limiter le spectre du signal d'entrée à au moins  $f_0/2$ . Lorsque le *RSE* est grand ce filtre peut devenir très simple et souvent la conception de ce bloc est assez trivial (simple filtre RC).
- 2- Echantillonneur-bloqueur : Ce Bloc convertit le signal d'entrée en un signal continue composé d'une série d'échantillons débités à la vitesse  $f_s$ . Ici encore les contraintes imposées sur ce bloc sont largement relaxées lorsque le *RSE* est grand et dans la plupart des applications utilisant les techniques des capacités commutées SC ce bloc est implémenté comme partie intégrante du modulateur  $\Sigma \Delta$ .
- 3- Modulateur  $\Sigma \Delta$  : C'est le bloc fonctionnel le plus important dans le système, son rôle consiste à convertir le signal analogique en un signal numérique de faible résolution (souvent 1-bit) mais avec un bruit convenablement façonné ou modulé (d'où le nom du convertisseur). Cette modulation, opérera une séparation spectrale du signal d'entrée de son bruit ce qui permettra un post-filtrage efficace dans le domaine numérique.
- 4- Filtre Décimateur : Ce bloc convertit le signal numérique de faible résolution présent à son entrée en un signal numérique de haute résolution échantillonné à une fréquence réduite (souvent la fréquence de Nyquist). Ce bloc est réalisé dans la pratique en plusieurs étages mais du point de vue conceptuel on peut le considérer comme un filtre passe-bas digital suivi par une opération de réduction de vitesse d'échantillonnage (Down Sampling).

Certains de ces blocs fonctionnels seront traités avec plus de détails dans les paragraphes suivants.



**Figure I-3:** Architecture d'un système de conversion Delta-Sigma ( $\Sigma\Delta$ ) sur-échantillonné

#### **I-4.2 Fonctions de Transfères du Bruit et du Signal**

Le modulateur  $\Sigma\Delta$  est l'élément clef du convertisseur A/N. La Figure I-4(a) donne une généralisation de sa structure dite *interpolative* où on peut distinguer une boucle de rétroaction autour d'un bloc réalisant la fonction  $H(z)$  ( qui s'avère être un filtre) et un quantificateur.

Le quantificateur peut être linéairement modélisé comme un élément sommateur qui combine une entrée d'un signal d'erreur  $e(n)$  et une autre pour le signal analogique  $x(n)$  pour produire une sortie numérique  $y(n)$  tels que :

$$e(n) = y(n) + x(n) \quad (\text{I-8})$$

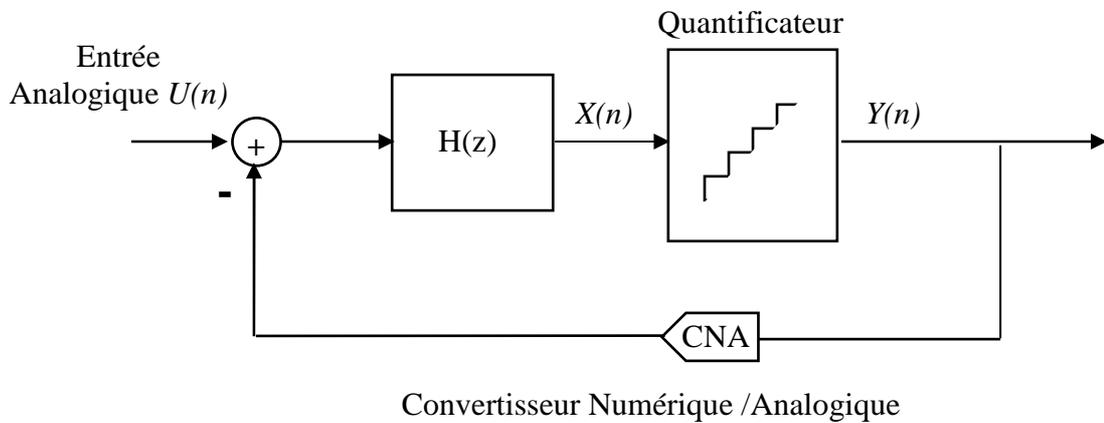
La Figure I-4(b) illustre la modification du schéma fonctionnel du modulateur après linéarisation. Maintenant, le système dispose de deux entrées ou chemins « *indépendants* ». Aussi, on peut définir deux fonctions de transfère : une pour le signal et l'autre pour le bruit, respectivement  $F_{TS}(z)$  et  $F_{TB}(z)$  :

$$F_{TS}(z) = \frac{Y(z)}{U(z)} = \frac{H(z)}{1 + H(z)} \quad (\text{I-9})$$

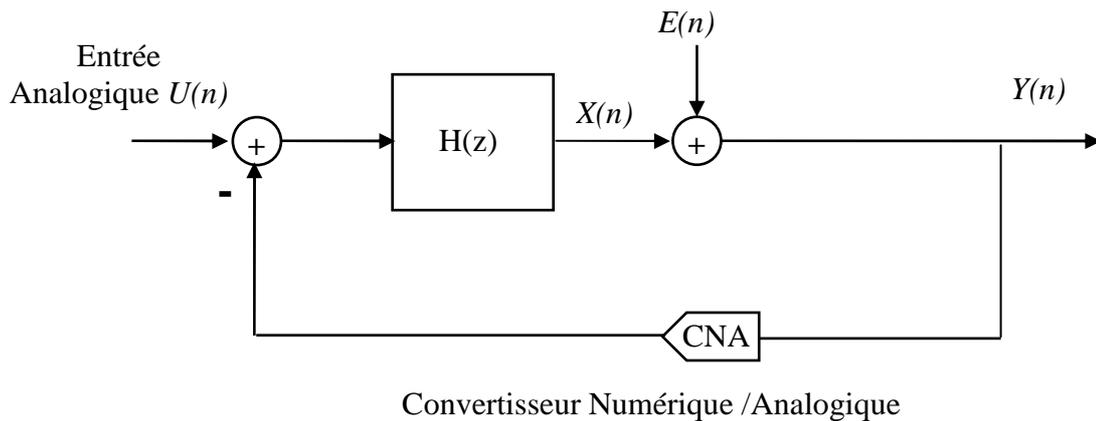
$$FTB(z) = \frac{Y(z)}{E(z)} = \frac{1}{1 + H(z)} \quad (\text{I-10})$$

Qualitativement, on peut remarquer après observation des relations (I-9) et (I-10) que :

- 1- Les pôles de  $H(z)$  coïncident avec les zéros de la  $FTB$ . En d'autres termes : Lorsque  $H(z)$  progresse vers l'infinité la  $FTB$  tend vers zéro (ceci se traduit en une annulation du bruit).
- 2- Lorsque  $H(z)$  progresse vers l'infinité la  $FTS$  tend vers 1 (passage du signal vers la sortie sans altération).



(a)



(b)

**Figure I-4:** Modulateur  $\Sigma\Delta$  : (a) structure interpolative (b) modèle linéaire

Aussi, le façonnement du bruit de manière utile implique la conception de la fonction  $H(z)$  avec un fort gain en amplitude dans le domaine 0 à  $f_0$ . La sortie du modulateur peut s'écrire comme une combinaison d'un signal utile et un signal d'erreur filtrés par leurs fonctions de transfères correspondantes :

$$Y(z) = FTS(z) U(z) + FTB(z) E(z) \quad (\text{I-11})$$

Une bonne conception du système permet d'obtenir une séparation spectrale du bruit en le « poussant » vers les hautes fréquences ce qui résultera en une amélioration sensible de la résolution effective du convertisseur.

Le paragraphe suivant donne une possible implémentation de la fonction  $H(z)$  pour satisfaire les critères recherchés.

### **I-4.3 Modulateur $\Sigma\Delta$ du Premier Ordre**

Connaissant les principes de base pour une modulation effective du bruit, on peut concevoir une  $FTB(z)$  du premier ordre possédant un zéro unique à l'origine de l'axe des fréquences (où équivalamment dans le plan  $Z$ :  $Z=1$ ) de tel façon que le bruit traverse un filtre passe-haut. Gardant à l'esprit que les zéros de la  $FTB$  sont les pôles de  $H(z)$ , on peut obtenir un façonnement du bruit en écrivant :

$$H(z) = \frac{1}{z-1} \quad (\text{I-12})$$

La fonction de transfère décrite par (I-12) est celle d'un intégrateur idéal (filtre passe-bas). On peut réécrire les relations (I-9) et (I-10) tels que :

$$FTS(z) = \frac{\frac{1}{z-1}}{1 + \frac{1}{z-1}} = (z^{-1}) \quad (\text{I-13})$$

$$FTB(z) = \frac{1}{1 + \frac{1}{z-1}} = (1 - z^{-1}) \quad (\text{I-14})$$

Comme attendu, la  $FTS$  exerce un effet mineur sur le signal d'entrée puisqu'elle ne fait que le transférer vers la sortie avec un retard élémentaire contrairement à la  $FTB$  qui filtre le bruit hors du signal d'entrée. On peut monter [2] que le RSB d'un tel système s'écrit comme suit :

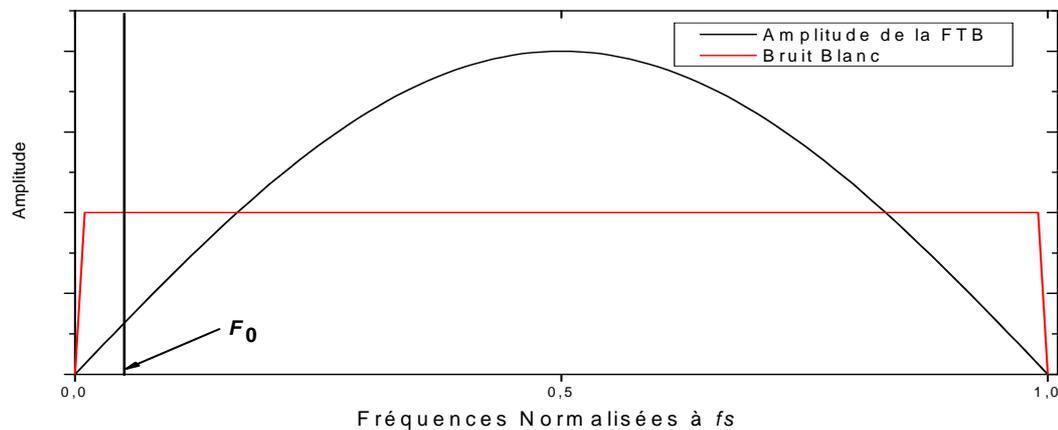
$$RSB = 6.02 N + 1.76 - 5.17 + 30 \text{Log}(RSE) \text{ (dB)} \quad (\text{I-15})$$

La comparaison de la relation (I-15) avec (I-7) révèle que la modulation Delta-Sigma du 1<sup>er</sup> ordre améliore l'efficacité du suréchantillonnage puisque le gain en résolution est maintenant de 9dB au lieu de 3 pour chaque doublement de  $f_s$ .

Pour mieux voir l'action de *FTB* écrivant sa réponse en magnitude. Ceci est effectué en remplaçant  $z$  dans (I-14) par  $e^{j\omega}$ , on obtient [1] :

$$|FTB(f)| = 2 \sin\left(\frac{\pi f}{f_s}\right) \quad (\text{I-16})$$

La Figure I-5 donne l'allure de (I-16). Ainsi, partant d'une hypothèse d'un bruit blanc uniformément répartie, le passage par le modulateur a un effet sélectif sur la distribution statistique du bruit qui le réduit dans la bande du signal et l'amplifie ailleurs.



**Figure I-5:** Magnitude de la *FTB* (relation I-15)

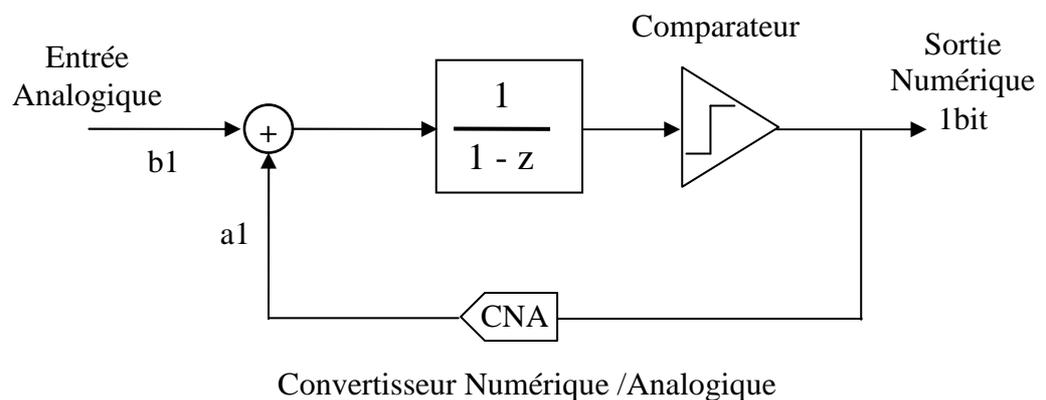
Examinant maintenant le fonctionnement du modulateur Delta-Sigma dans le domaine temporel : La figure I-6 schématise le modulateur décrit par les relation (I-13) et (I-14) ou on peut distinguer que :

- 1- Le quantificateur est maintenant réduit à un simple comparateur (résolution 1bit). Ainsi, en plus de la simplicité qu'offre ce choix, ceci permet de gagner en linéarité. En effet, bien que la modulation  $\Sigma\Delta$  améliore le *RSB*, son effet est négatif concernant les erreurs de conversion non linéaires tels que le *INL* et le *DNL*, respectivement « *integral Nonlinearity error* » et « *differential nonlinearity error* » [1].

- 2- Les branches d'entrée et de rétroaction sont munies de coefficients de multiplication ( $a_1$  et  $b_1$ ) ce qui permet, entre autres choses, de régler le gain du système pour éviter la saturation précoce.

La réponse de ce système à une sinusoïde de pleine échelle est donnée sur la Figure I-7 (a). La sortie est modulée en densité d'impulsion suivant la valeur de l'entrée. En effet, plus l'entrée est positive plus la séquence de 1 (état haut) est longue et vis versa.

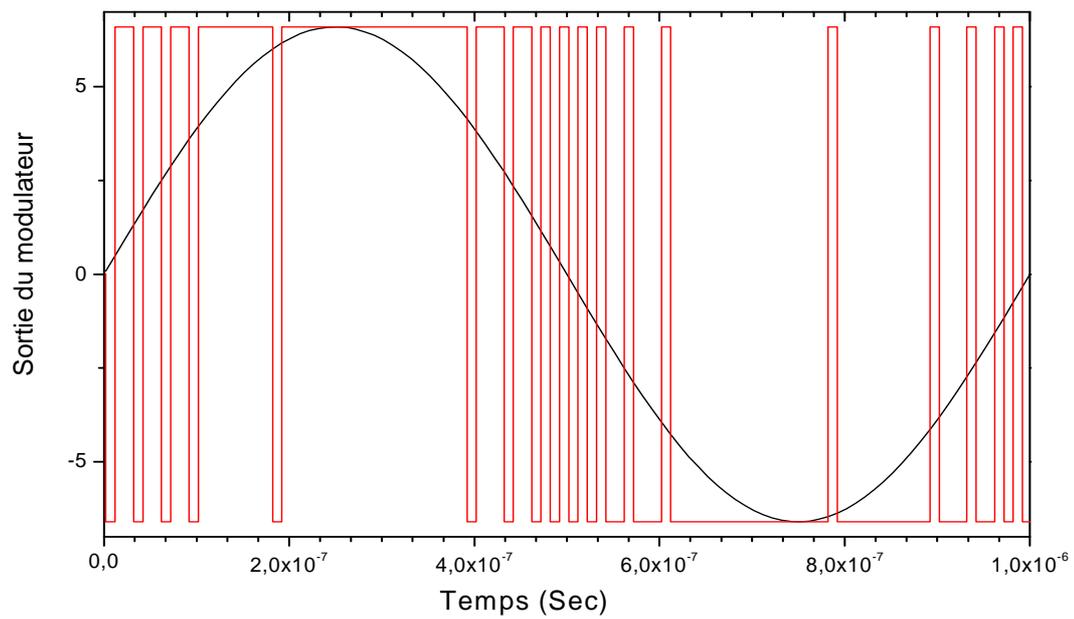
Un simple filtrage passe-bas de la sortie du modulateur permet de récupérer la forme générale du signal d'entrée (Figure I-7 (b)) toutefois retardé par rapport à l'entrée et légèrement atténuée à cause des coefficients cités plus haut et l'impédance d'entrée du filtre RC.



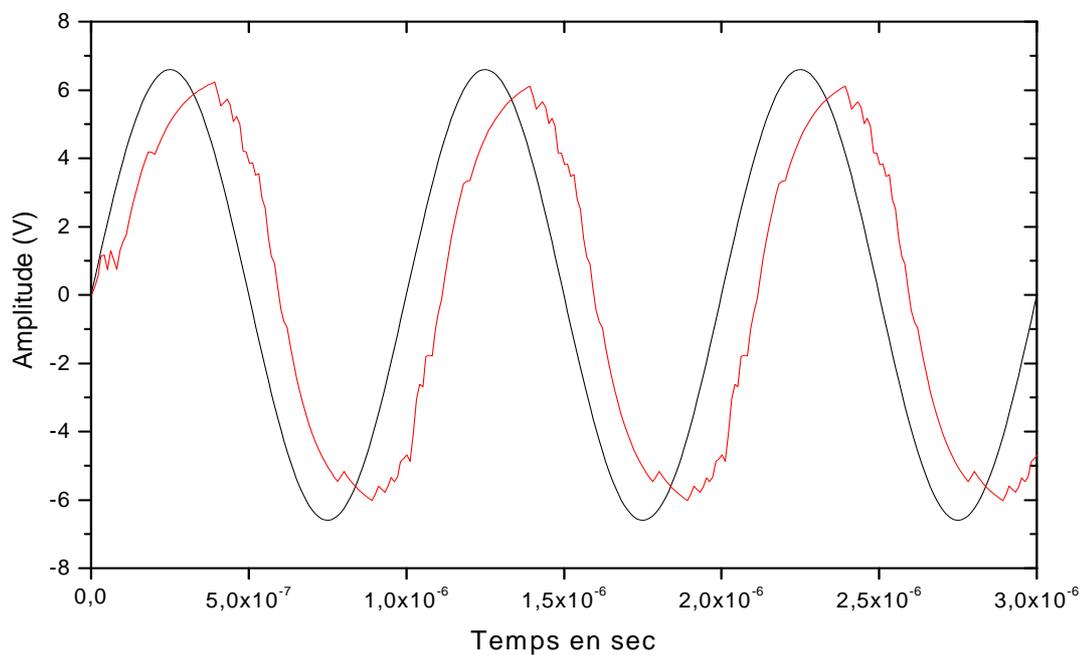
**Figure I-6:** Modulateur Delta-Sigma du premier ordre réalisé avec un intégrateur et un comparateur

Les données obtenues par la simulation du fonctionnement du modulateur dans le domaine temporel peuvent servir à prospector le spectre du signal de sortie moyennant l'analyse de Fourier. Cette analyse est nécessaire pour le calcul du RSB du convertisseur.

La figure I-8 donne la densité spectrale du signal de sortie du modulateur de la figure I-6 (FFT effectué avec  $2^{13}$  échantillons) en réponse à une sinusoïde de fréquence 100kHz à demi échelle.

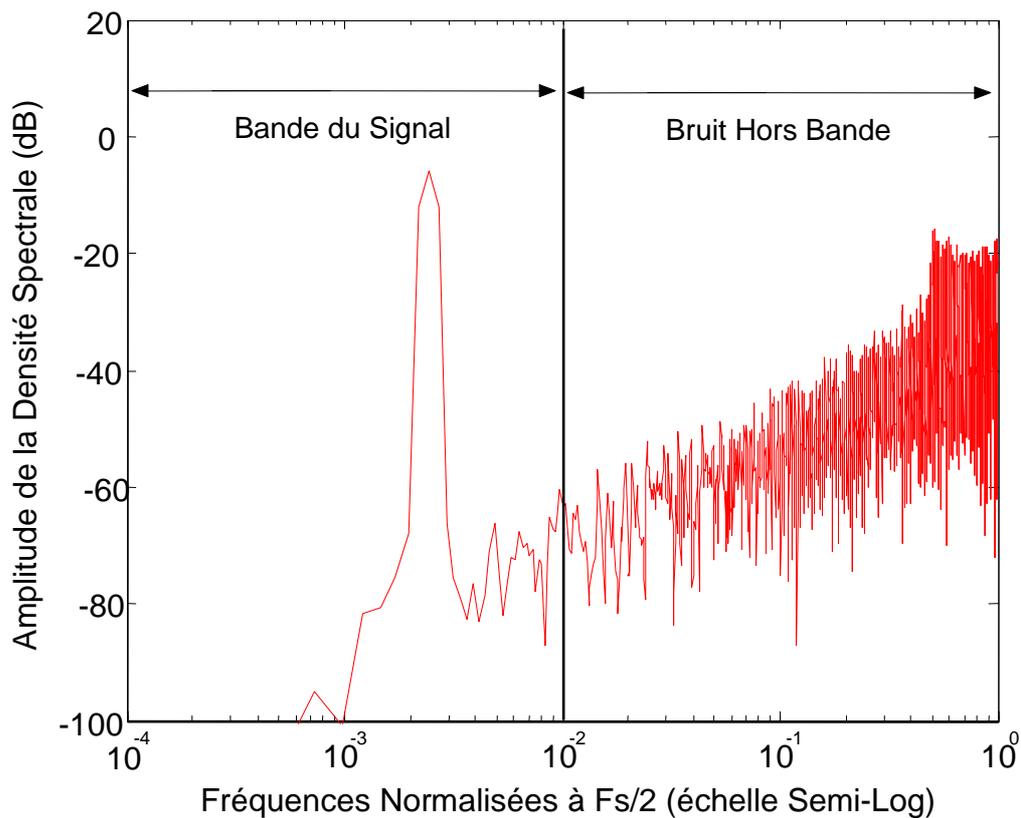


(a)



(b)

**Figure I-7 :** (a) Réponse du modulateur de la figure I-6 à une sinusoïde d'entrée de pleine échelle (b) sortie du modulateur après filtrage RC passe-bas (trait rouge) et signal d'entrée (trait noir)



**Figure I-8 :** Densité Spectrale du Signal de Sortie d'un Modulateur  $\Sigma\Delta$  du 1<sup>er</sup> Ordre : avec sinusoïde d'entrée de fréquence 100kHz et une amplitude à demi-échelle.

L'examen de la Figure I-8 fait ressortir deux domaines séparés :

- 1- Basses fréquences : Dans cette région le spectre du signal de sortie est dominé par un nombre limité de raies de grandes amplitudes groupées autour de la fréquence du signal de test alors que les raies restantes possèdent des amplitudes très faibles.
- 2- Moyennes et hautes fréquences : En progressant dans l'axe des fréquences les raies du spectre de sortie gagnent en amplitude et l'allure générale du spectre rappelle la réponse d'un filtre passe-haut.

Le RSB du système est calculé en considérant la contribution vectorielle de chaque rai (intra-bande) du spectre du signal de sortie. La procédure donnée par [6] est la suivante:

- 1- Sommation après élévation à la puissance 2 de tout les raies du bruit intra-bande

- 2- Prendre la racine carrée de la somme de l'étape 1 : on appellera le résultat « B » (pour Bruit).
- 3- Répéter l'étape 1 et 2 pour les rais du signal : on appellera le résultat « S »
- 4- Le RSB est calculé en prenant  $20\text{Log}(S/B)$

#### **I-4.4 Modulateur d'Ordre Supérieur :**

Le besoin d'atteindre des résolutions élevées mène intuitivement à la conception de modulateurs  $\Sigma\Delta$  d'ordre supérieur à 1. Ceci est effectué en relevant l'ordre de la fonction de transfère en boucle ouverte  $H(z)$  pour arriver à des formes de la FTB tels que :

$$FTB(z) = \frac{(z-1)^L}{D(z)} \quad (\text{I-17})$$

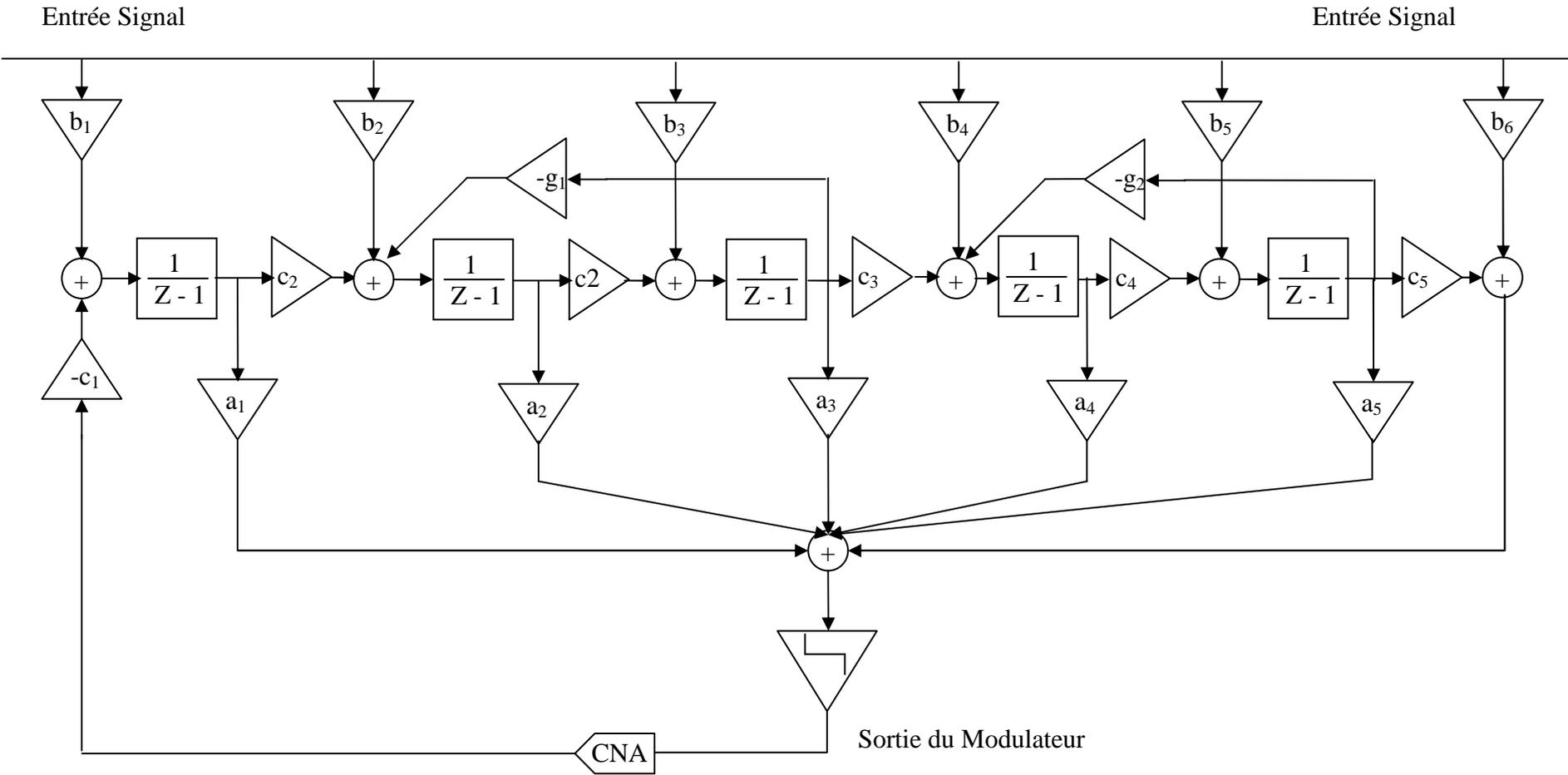
Où L est l'ordre du modulateur et D(z) est une fonction de la variable z qui ajoute un degré de liberté permettant au concepteur d'une part de limiter le gain hautes fréquences de la FTB ce qui est primordiale pour la stabilité du système et d'autre parts de pouvoir identifier la fonction du transfère du bruit avec les approximations classiques des filtres comme la Chebyshev inverse ce qui améliore la sélectivité du système et par conséquent le RSB.

La relation (I-17) suggère que la manière la plus simple de parvenir à de telles formes de fonctions est la mise en cascade de plusieurs intégrateurs. La littérature spécialisée est riche de structures plus au moins complexes [2] [3] mettant en jeux des intégrateurs avec ou sans retards et des types variés de rétroaction (Feedback) et d'action directe (Feedforward). Nous nous limiterons dans ce mémoire aux structures supportées par la boite à outils  $\Sigma\Delta$  suivantes :

- 1- Cascade d'intégrateurs avec feedback CIFB
- 2- Cascade d'intégrateurs avec feedforward CIFF
- 3- Cascade de résonateurs avec feedback CRFB
- 4- Cascade de résonateurs avec feedforward CRFF

Les figures I-9 à I-12 donnent des exemples de modulateurs  $\Sigma\Delta$  du 5ème ordre pour les structures citées.

**Figure I-9:** Modulateur Delta Sigma du 5ème ordre de Type CIFF



**Figure I-10:** Modulateur Delta Sigma du 5<sup>ème</sup> ordre de Type CRFF

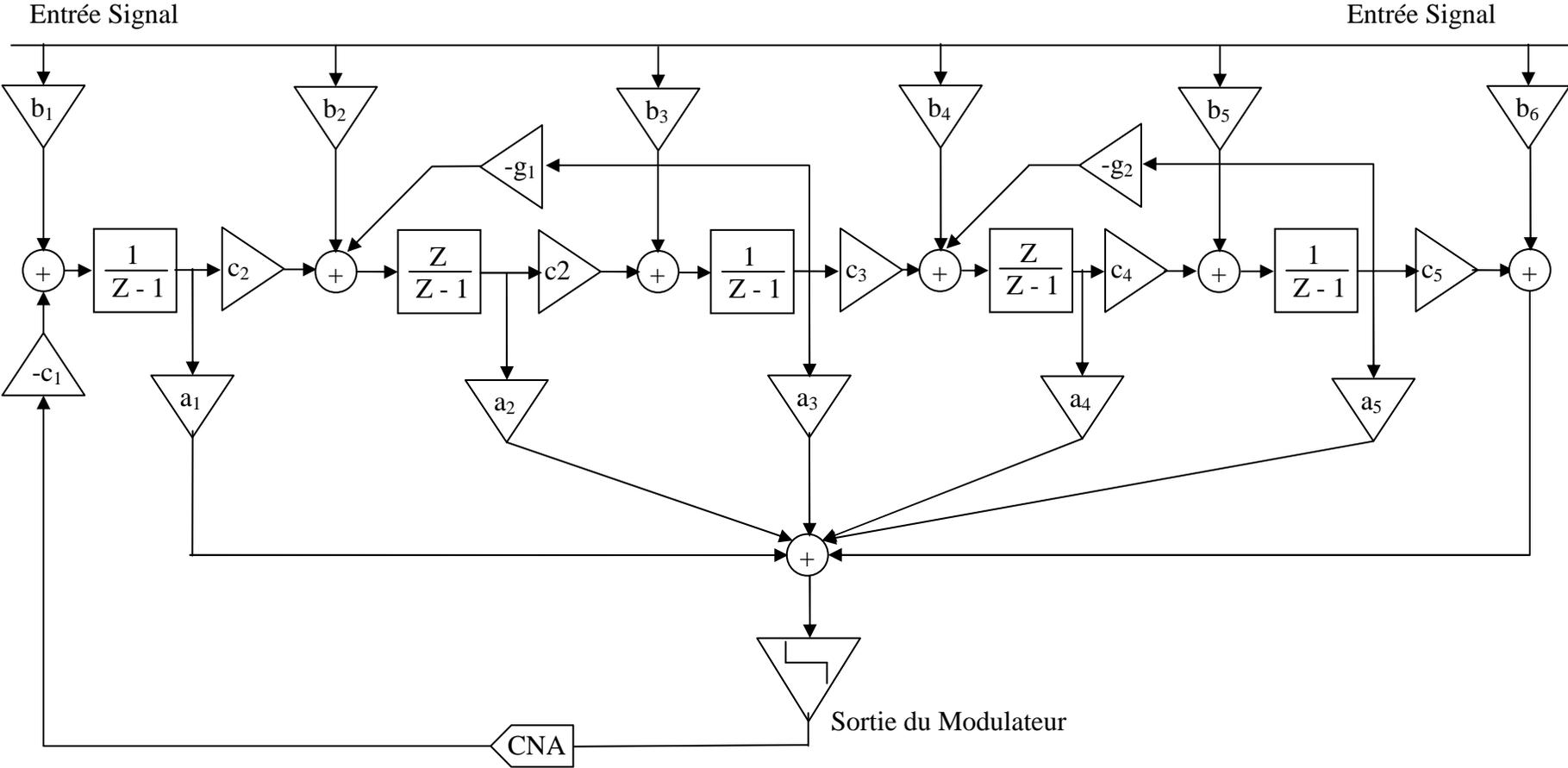
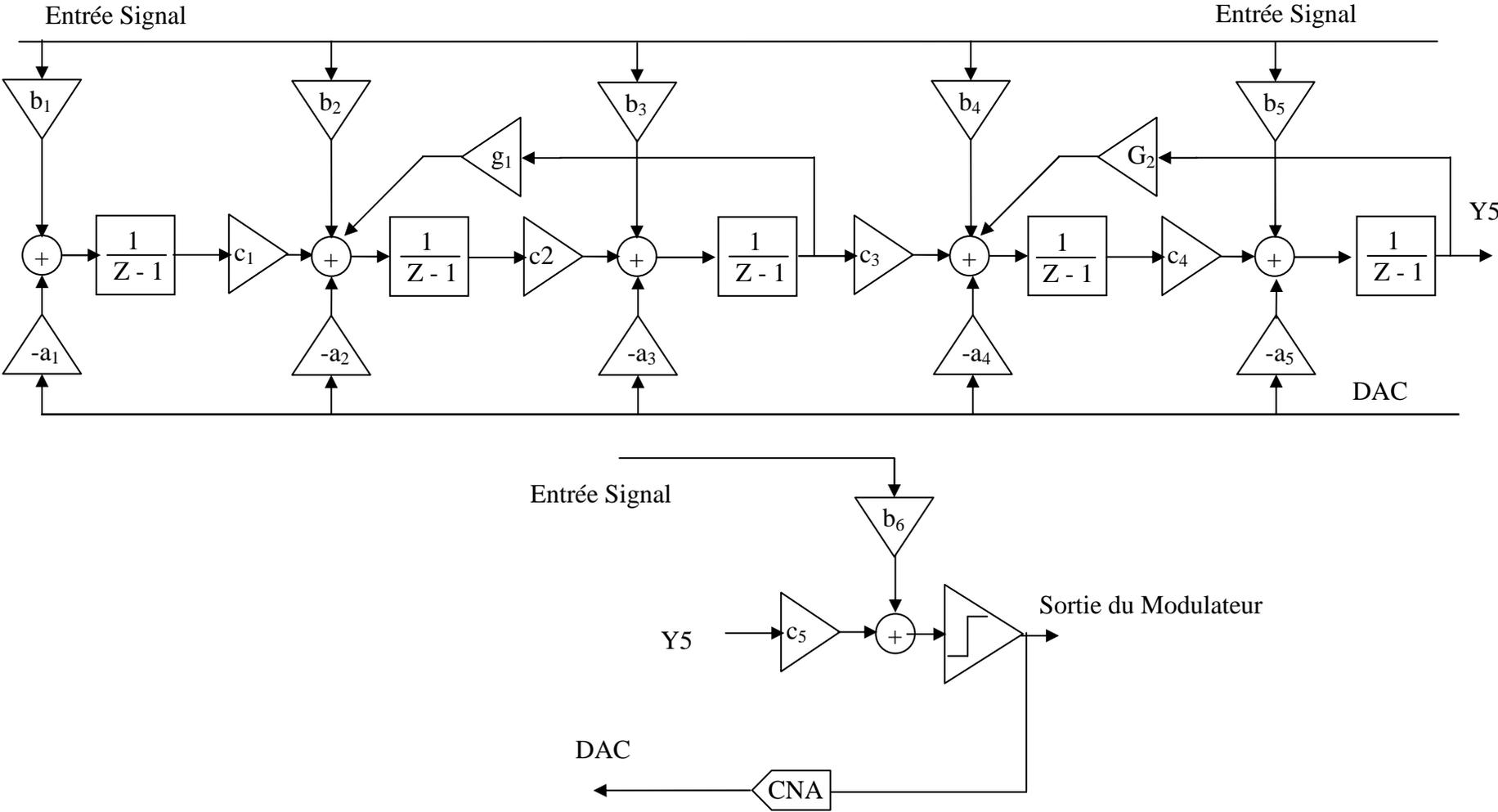
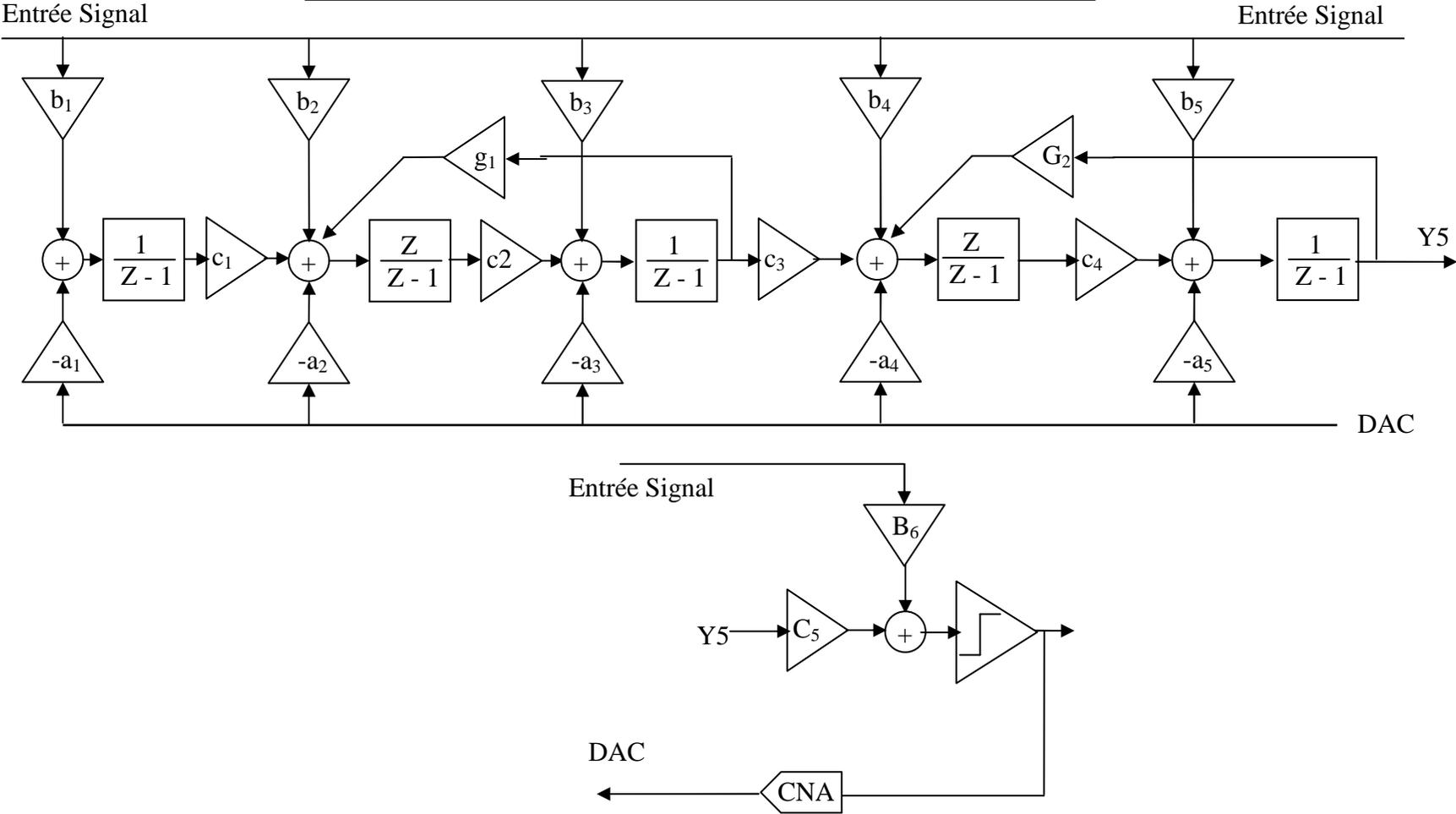


Figure I-11: Modulateur Delta Sigma du 5éme ordre de Type CIFB



**Figure I-12:** Modulateur Delta Sigma du 5ème ordre de Type CRFB



### **I-5 Implémentation du Modulateur Avec les Techniques des Capacités Commutées (SC)**

Le bloc de base pour la réalisation du modulateur  $\Sigma\Delta$  est l'intégrateur décrit par la relation (I-12). Dans le domaine continu, on peut réaliser ce bloc avec seulement 2 éléments résistifs, 2 capacitifs et un ampli-op pour une implémentation complètement différentielle (Figure I-13 (a)). Néanmoins, l'intégration des éléments résistifs sur silicium est rendue difficile à cause de la surface nécessaire pour l'obtention de grandes valeurs de résistance. L'alternative à cet inconvénient est le passage au domaine discret et la réalisation de circuits d'intégrateurs avec les techniques des capacités commutées (Switched Capacitors SC). En effet, ces techniques permettent la simulation d'un élément résistif en le remplaçant par un condensateur alternativement chargé et déchargé suivant une séquence de deux signaux d'horloge  $\Phi_1$  et  $\Phi_2$ . Cette technique est particulièrement fiable en technologie CMOS où les condensateurs occupent moins de surface et les commutateurs sont facilement réalisables.

La figure I-13 (b) illustre le circuit équivalent à l'intégrateur continu de la Figure I-13 (a). On peut démontrer [4] qu'avec la configuration appropriée des signaux d'horloges face ampli-op on peut obtenir :

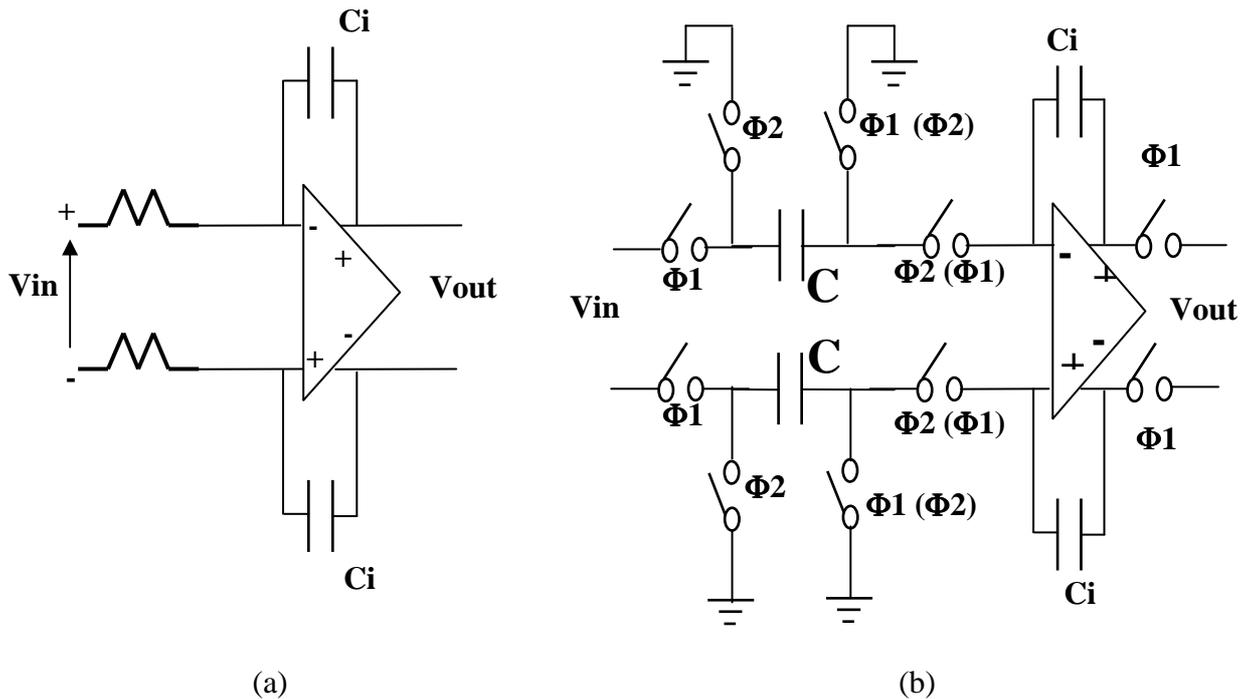
- 1- Un intégrateur non inverseur disposant d'un retard élémentaire décrit par la fonction de transfert :

$$H(z) = \left( \frac{C_s}{C_i} \right) \frac{1}{z-1} \quad (\text{I-18})$$

- 2- Un intégrateur inverseur avec retard zéro (Horloges entre parenthèses sur la figure I-13 (b)) décrit par la fonction de transfert :

$$H(z) = - \left( \frac{C_s}{C_i} \right) \frac{z}{z-1} \quad (\text{I-19})$$

Le circuit de la Figure I-13 est facilement extensible pour permettre l'implémentation d'intégrateurs avec branches multiples et munies de gains séparés. Cette réalisation est facilitée en incluant la technique du partage des commutateurs ce qui permet d'économiser la surface du circuit et d'en diminuer la complexité. Les figure I-14 (a) et (b) illustrent respectivement le schéma bloc d'un intégrateur discret muni de deux branches  $V_{in1}$  et  $V_{in2}$  et son implémentation en SC. Il est utile de noter que l'implémentation "*Fully Differential*" facilite la réalisation de coefficients négatifs.



**Figure I-13:** Circuit d'intégrateur complètement différentiel (a) Intégrateur à temps continu (b) Implémentation SC d'un Intégrateur discret.

### **I-6 Caractéristique RSB-Amplitude du Signal d'Entrée (ASE)**

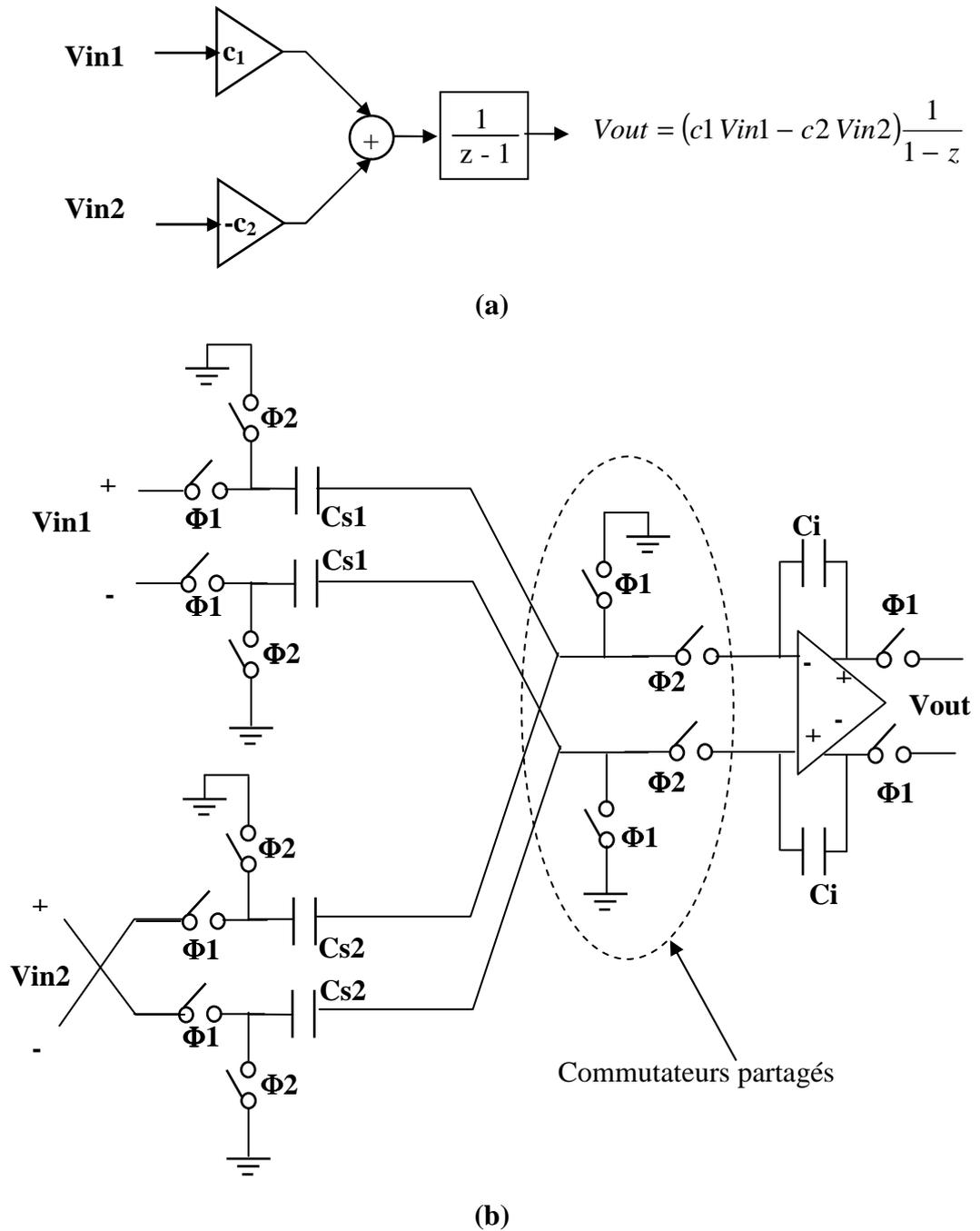
Comme mentionné au paragraphe I-2, la valeur maximal du RSB donnée par la relation (I-5) (mais également (I-7) et (I-15)) décroît pour les niveaux réduits de la tension d'entrée.

La Figure I-9 donne la courbe typique du RSB en fonction de l'amplitude d'une sinusoïde teste présente à l'entrée du modulateur. L'allure du RSB théorique progresse exponentiellement en fonction de l'ASE pour atteindre sa valeur maximal pour une sinusoïde de pleine échelle (L'axe des « x » est normalisé : 0dB correspond à une amplitude pic à pic de pleine échelle).

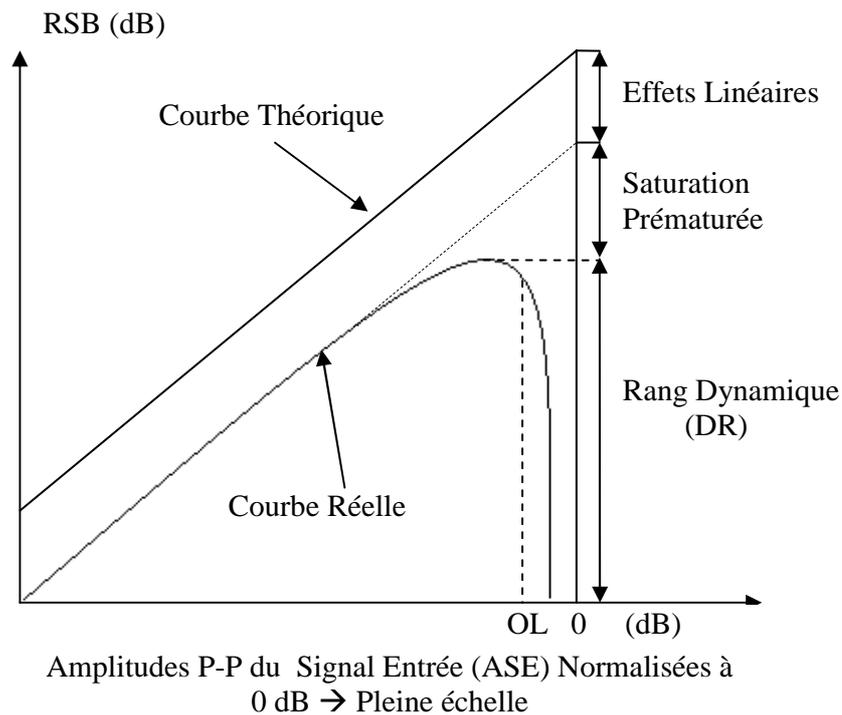
Cependant, dans les implémentations concrètes avec des transistors en technologie CMOS, le RSB est affecté par plusieurs non idéalités du circuit comme le produit finie du gain-bande passante des amplificateurs opérationnels ou le temps d'établissement ce qui cause un décalage de la courbe réelle par rapport à la prévision donnée par la théorie, en plus les niveaux élevés du signal d'entrée surchargent parfois le modulateur ce qui résulte en une diminution dramatique du RSB (courbe RSB-ASE réelle).

La caractéristique RSB-ASE est un important indicateur de la performance du modulateur  $\Sigma\Delta$  qui nous permet d'en tirer [5] :

- 1- Rang Dynamique (DR): le pic RSB, ceci est une mesure de la résolution maximal atteignable par le convertisseur.
- 2- Niveau de surcharge du modulateur ou « Overload » (OL) : c'est la valeur de l'entrée à laquelle la résolution du modulateur perd plus de 3dB après le pic RSB.



**Figure I-13:** Exemple d'un intégrateur non inverseur avec deux entrées (a) schéma bloc (b) implémentation SC avec partage des commutateurs



**Figure I-14 :** Caractéristique RSB-ASE théorique et réelle d'un modulateur  $\Sigma\Delta$  et définition du DR et OL

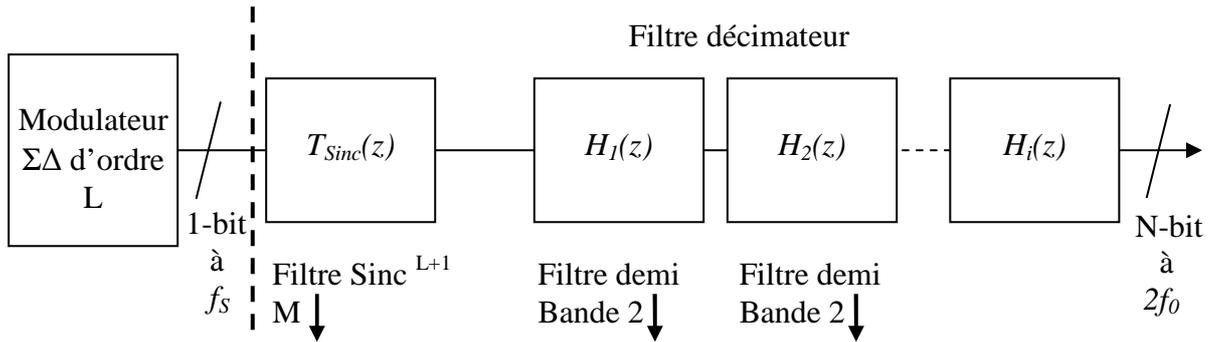
### **I-7 Décimation**

La méthode la plus populaire de réaliser des filtres décimateurs numériques est l'approche multi-étages illustrée dans la Figure I-15. Le premier filtre réalise la fonction  $T_{Sinc}(z)$  et permet de se séparer de la grande partie du bruit de quantification et afin de procéder au ré échantillonnage de la sortie à une fréquence intermédiaire  $f_D$  moins élevée. Cette sortie de faible débit est ensuite appliquée à une succession de filtres de type RIF (Réponse Impulsionnelle Finie ou FIR : *Finite Impulse Response*) avant de former la sortie souhaitée. Le passage par les différents étages du filtre décimateur est associé à l'augmentation de la résolution du mot de sortie de 1bit à N-bit.

La fonction  $T_{Sinc}(z)$  est réalisée avec la cascade de  $L+1$  ( $L$  étant l'ordre du modulateur  $\Sigma\Delta$ ) filtre  $T_{moy}(z)$  réalisant la moyenne de  $M$  entrées successives. La fonction de transfère  $T_{moy}(z)$  est donné par :

$$T_{Moy}(z) = \frac{1}{M} \sum_{i=0}^{M-1} z^{-i} \quad (I-20)$$

On peut réaménager (I-20) sous la forme [2]:



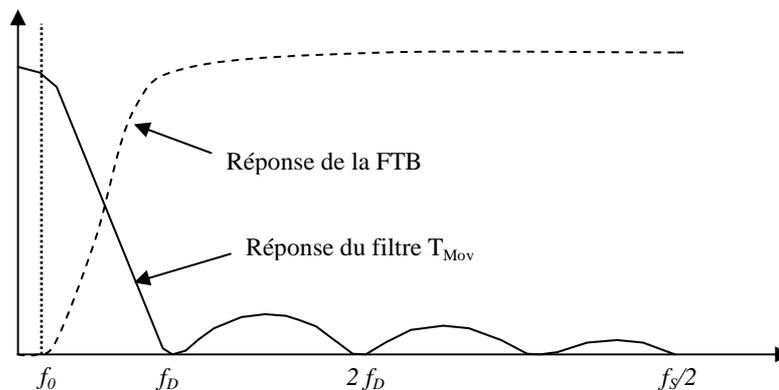
**Figure I-15 :** Architecture multi étages du filtre décimateur. N.B : les flèches dirigés vers le bas indiquent l’opération de ré échantillonnage à une fréquence moindre : ex.  $M \downarrow$  indique un rapport M entre la fréquence d’entrée et celle de la sortie.

$$T_{Moy}(z) = \frac{1}{M} \left( \frac{1 - z^{-M}}{1 - z^{-1}} \right) \tag{I-21}$$

Ce qui permet de faire apparaître la fonction sinus cardinal de ce filtre en remplaçant  $z$  par  $e^{jw}$  et en réaménagent à :

$$T_{Moy}(e^{jw}) = \frac{\text{Sinc}\left(\frac{wM}{2}\right)}{\text{Sinc}\left(\frac{w}{2}\right)} \tag{I-22}$$

Avec  $\text{Sinc}(x) \equiv \frac{\text{Sin}(x)}{x}$ . La Figure I-16 donne la réponse en amplitude de ce type de filtre.

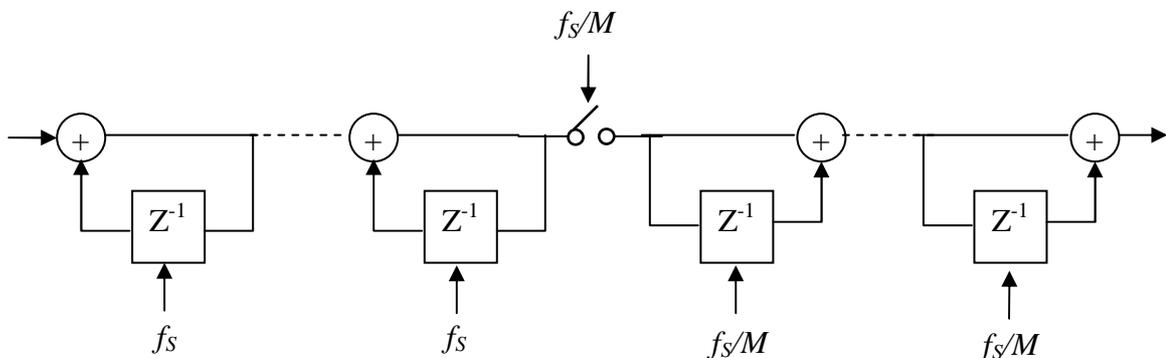


**Figure I-16 :** Réponse du filtre  $T_{Moy}$  :  $f_D = f_s/M$

Tandis que le filtre Sinc est efficace pour le filtrage du bruit en hautes fréquences, sa réponse en basses fréquences (fréquences légèrement supérieures à  $f_s$ ) n'est pas aussi raide pour obtenir de bonnes performances. La cascade de  $L+1$  filtres moyenneurs est connue pour être le choix optimum pour la plupart des applications. La fonction de transfert  $T_{Sinc}(z)$  s'écrit :

$$T_{Sinc} = \frac{1}{M^{L+1}} \left( \frac{1 - z^{-M}}{1 - z^{-1}} \right)^{L+1} \quad (\text{I-23})$$

Une possible implémentation de la fonction (I-23) est donnée dans la Figure I-17 [6], où on peut noter qu'une bonne partie des opérations mathématiques nécessaires au calcul de la sortie se fait à la fréquence réduite  $f_s/M$ .



**Figure I-17 :** Implémentation du filtre  $T_{Sinc}$

Le rôle des filtres FIR demis bandes qui suivent le filtre  $T_{Sinc}$  est de procurer une réponse passe-bas très raide pour éliminer toute composante en dehors de la bande du signal avant de rééchantillonner à nouveau la sortie à la fréquence finale  $2f_0$ .

### **I-8 : Méthodologie de Conception**

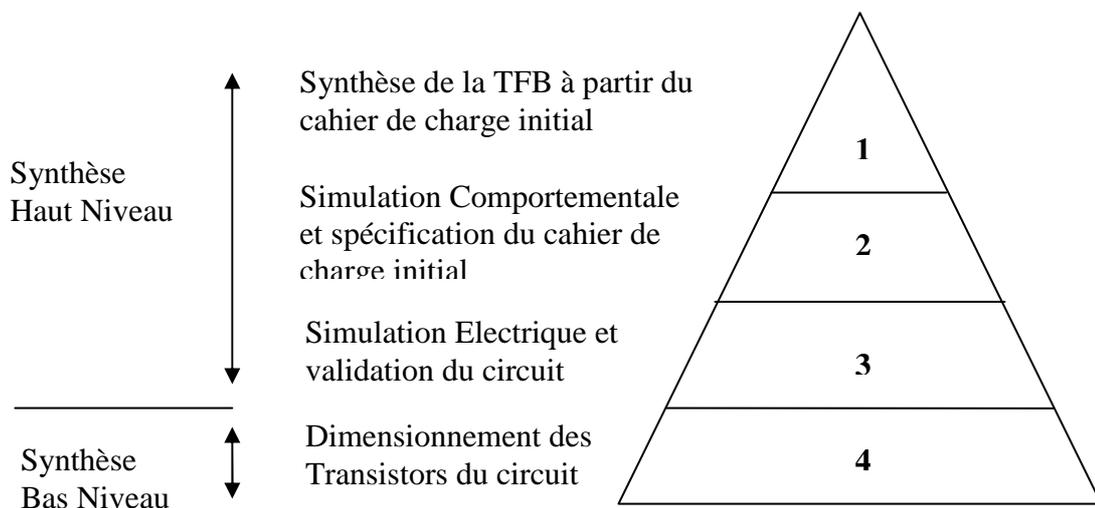
Comme énoncé dans l'introduction, nous nous concentrons sur la partie la plus importante du convertisseur qui est le modulateur  $\Sigma\Delta$  autour duquel nous développerons une méthode de conception pyramidale proche de celle proposée dans [3] (Figure I-18) composée de quatre étapes principales :

- 1- Synthèse de la FTB et extraction des coefficients du modulateur  $\Sigma\Delta$  : Cette étape est effectuée à l'aide d'un ensemble de fonctions groupées dans une boîte à outils sous MatLab®.

allons extraire les spécifications requis pour chaque bloc fonctionnel du modulateur.

- 3- Choix de la topologie à implémenter et élaboration du schéma électrique (comportemental) du circuit : le circuit électrique bâti avec des éléments idéaux permettra de vérifier la démarche de conception et servira de canevas pour le circuit à transistors.
- 4- Détermination des dimensions de tous les transistors du circuit : La synthèse des amplificateurs opérationnels se fera à l'aide d'un algorithme génétique alors que le comparateur et les commutateurs se feront par les méthodes conventionnelles.

La partie purement numérique du convertisseur sera étudiée dans le deuxième : chapitre conjointement avec la synthèse haut niveau du modulateur.



**Figure I-19 :** Etapes de conception du modulateur Delta-Sigma

### **I-9 : Conclusion :**

Une méthodologie « haut vers le bas » est adopté pour la conception du CAN delta sigma : le haut niveau de conception traitera les choix de la FT, la structure du modulateur, le degré d'échantillonnage ... et le circuit électrique idéal. Le bas niveau concerne le dimensionnement du circuit réel : switches, amplificateurs et comparateur.

## CHAPITRE II

### SYNTHESE HAUT NIVEAU ET SIMULATION STRUCTURELLE

#### II-1 Introduction

Dans ce chapitre nous étudierons avec plus de détails le convertisseur analogique numérique delta sigma. Nous concevrons à l'aide d'un ensemble de fonctions sous MatLab la fonction de transfère du système et nous tirerons les coefficients du modulateur pour cinq topologies différentes. Par la suite, un modèle structurel qui prendra en compte nombre d'imperfections du circuit sera développé pour tirer un cahier de charge pour chaque bloc fonctionnel.

Le filtre décimateur sera également étudié et nous terminerons le chapitre par la construction du circuit électrique idéal qui constituera le canevas pour le circuit à transistors.

## **II-2 Synthèse de la Fonction de Transfère du Bruit et Extraction des Coefficients du Modulateur Delta Sigma :**

### **II-2.1 Présentation de la Boîte à Outils $\Sigma\Delta$ :**

Pour la synthèse du modulateur  $\Sigma\Delta$  nous avons opté pour l'utilisation des fonctions « Clé en Main » écrites et mises à disposition à titre gratuit sur Internet [7] par Richard Schreier. L'ensemble des fonctions inclus dans cette boîte à outils sous MATLAB® constituent une base fiable et flexible sur laquelle on peut développer notre stratégie de conception.

L'algorithme de la figure II-1 présente les étapes de base pour la conception du modulateur  $\Sigma\Delta$  : La synthèse de la fonction de transfère du bruit (FTB) nécessite la spécification de l'ordre du modulateur, du degré de suréchantillonnage ainsi que la précision de la nature de la réponse de la fonction de transfère voulu (monotone ou optimisée). Après obtention de la FTB, la boîte à outils  $\Sigma\Delta$  offre la possibilité d'une estimation rapide des performances du modulateur ainsi obtenu. Une fois que la FTB a satisfait les critères recherchés (ceci nécessite parfois plusieurs tours en changeant à chaque fois les paramètres de la FTB), on peut extraire les coefficients de l'une des quatre topologies disponibles.

Les coefficients du modulateur doivent subir « *des modifications* » pour régler le gain de chaque étage du modulateur (sans modifier l'emplacement des pôles et zéros de la FTB) de façon à éviter la saturation précoce de l'un des amplificateurs opérationnels et d'éviter la formation de nœuds avec des forts chemins de bruit (Noise Path). Cette étape connue dans la littérature anglo-saxonne sous le terme « Scaling » permet de garantir l'obtention de la meilleure extension dynamique du modulateur  $\Sigma\Delta$ .

L'étape finale dans la synthèse haut niveau du modulateur  $\Sigma\Delta$  est d'opérer une évaluation plus approfondie des performances du modulateur à travers la construction d'une matrice espace-état (space-state matrix) décrivant le fonctionnement du système dans le domaine temporel.

### **II-2.2 Synthèse de la Fonction de Transfère du Bruit FTB :**

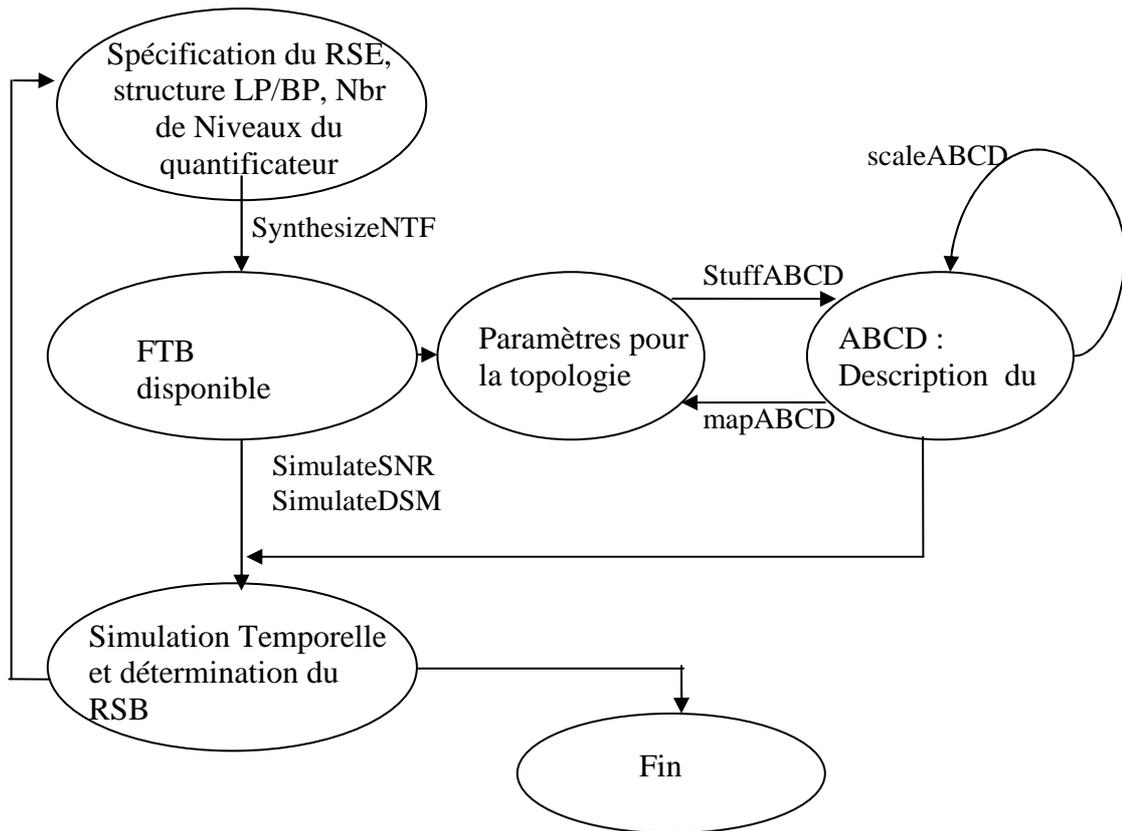
Les choix entrant dans la synthèse de la FTB sont dictés essentiellement par le cahier de charge initial. Ainsi, la bande passante assez élevée du signal objet de la conversion impose le choix d'un rapport de suréchantillonnage fort modeste pour garantir la faisabilité du circuit dans les limites technologiques et de consommation électrique imposés. Ce choix est compensé par l'augmentation progressive du degré du modulateur  $\Sigma\Delta$  jusqu'à l'obtention du Rapport Signal/Bruit (RSB) recherché. En procédant ainsi, nous avons implicitement « *sacrifier* » une partie de l'extension dynamique du futur modulateur au profit d'une plus grande résolution.

L'augmentation du degré du modulateur  $\Sigma\Delta$ , qui est un système fortement non linéaire, fait courir le risque de l'apparition de problèmes d'instabilités. Cependant, ce risque est largement anticipé et traité avec les outils de simulations modernes ce qui simplifie la tâche du concepteur. La règle empirique de « Lee » [8] stipule qu'une fonction de transfère avec un gain inférieur à 2 dans la bande passante garantira un modulateur « *binnaire* » stable.

Les simulations conduites révèlent qu'un RSE =32 et un modulateur d'ordre cinq associé avec le choix d'une fonction de transfère de réponse non monotone constituent les meilleurs compromis possibles pour la satisfaction des critères du cahier de charge. La fonction de transfère du bruit ainsi obtenue prend la forme suivante :

$$\frac{(z-1)(z^2 - 1.997z + 1)(z^2 - 1.992z + 1)}{(z-0.7778)(z^2 - 1.613z + 0.6649)(z^2 - 1.796z + 0.8549)} \quad (\text{II-1})$$

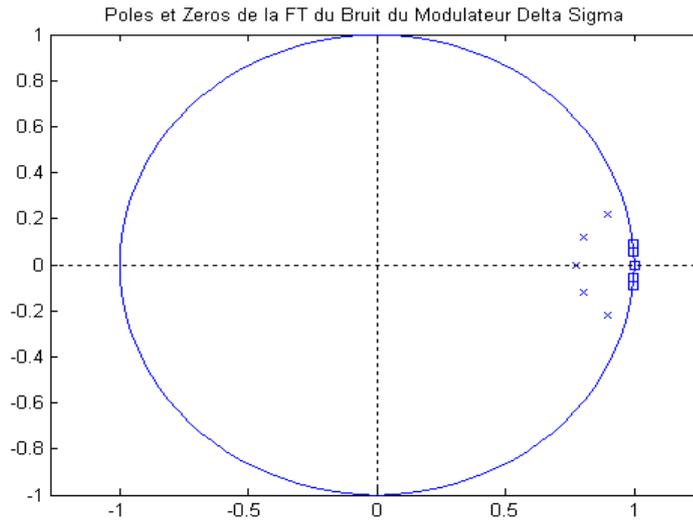
Le tableau II-1 liste les pôles et les zéros de cette FTB. Alors que la figure II-2 trace la répartition de ces derniers dans le plan Z.



**Figure II-1** : Etapes de base pour la synthèse haut niveau du modulateur  $\Sigma\Delta$  avec la boîte à outils de Richard Schreier

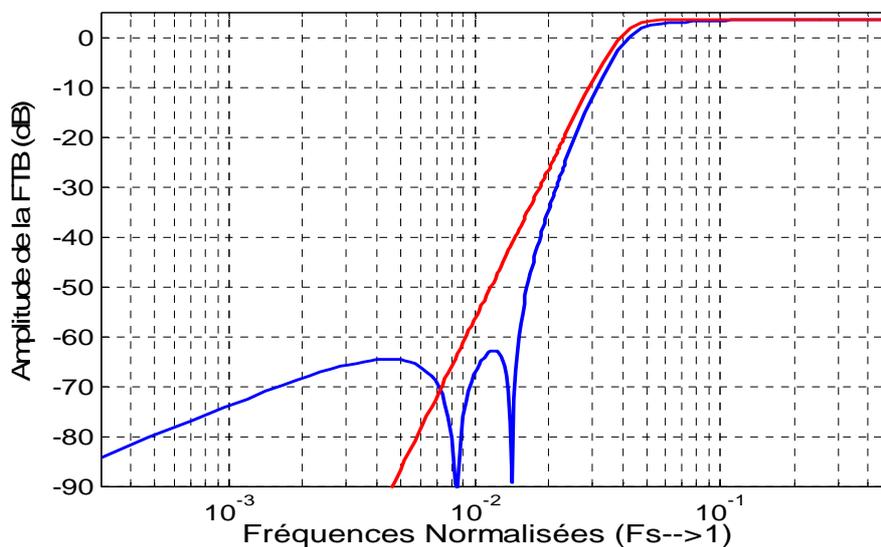
Pôles	Zéros
$0.8066 + j0.1198$	$0.9960 + j0.0888$
$0.8066 - j0.1198$	$0.9960 - j0.0888$
$0.8981 + j0.2198$	$0.9986 + j0.0528$
$0.8981 - j0.2198$	$0.9986 - j0.0528$
0.7778	1.0000

**Tableau II-1** : pôles et les zéros de la FTB obtenu avec la boîte à outils  $\Sigma\Delta$



**Figure II-2** : Répartition des pôles et zéros de la FTB dans le plan Z

La figure II-2 met en évidence la disposition des cinq zéros de la FTB où on remarque qu'un seul zéro est placé à la fréquence 0 (DC) alors que les quatre autres sont groupés en deux paires complexes conjugués répartis dans la bande de coupure de la FTB. L'effet d'une telle disposition des zéros sur la réponse en amplitude de la FTB est illustré sur la figure II-3 où on peut noter l'amélioration de la sélectivité (pente plus accrue) du filtre par rapport au cas où tous les zéros sont mis à l'origine.



**Figure II-3** : Réponse de la FTB : En rouge la réponse monotone et en bleue la réponse optimisée (répartition des zéros sur la bande de coupure)

L'étape suivante pour la synthèse du modulateur est l'extraction des coefficients du modulateur en précisant la topologie choisie (Tableaux II-2 à II-5). Une remarque

mérite d'être faite sur la structure CRFB qui se singularise par la possibilité d'éliminer les branches d'injection directes « Feed-Forward » (mise à zéro des coefficients  $b_2$  à  $b_5$ ) sans altération significative des propriétés du modulateur. Nous ferons référence à cette variante du modulateur dans le reste de ce mémoire par le nom CRFB (2). Le tableau II-6 liste les coefficients de cette structure.

	Etage					
Coefficients	1	2	3	4	5	6
a	0.3343	0.3123	0.3170	0.3521	0.5854	
g	0.0211	0.0125				
b	0.3343	0.3123	0.3170	0.3521	0.5854	1
c	0.0661	0.1326	0.2619	0.6339	1.3888	

**Tableaux II-2 :** Coefficients de la structure CIFB du 5<sup>ème</sup> ordre avec un RSE=32 et optimisation des zéros

	Etage					
Coefficients	1	2	3	4	5	6
a	2.1756	2.2729	1.7058	0.96692	0.10283	0.37368
g	0.0097426	0.050876				
b	0	0	0	0	0	1
c	0.37368	0.36494	0.28658	0.21077	0.15516	

**Tableaux II-3 :** Coefficients de la structure CIFF du 5<sup>ème</sup> ordre avec un RSE=32 et optimisation des zéros.

	Etage					
Coefficients	1	2	3	4	5	6
a	1.462	1.4504	0.9621	0.60486	0.16345	
g	0.0089602	0.057815				
b	0.38162	0	0	0	0	1
c	0.38162	0.44144	0.31182	0.22433	0.1368	

**Tableaux II-4 :** Coefficients de la structure CRFF du 5<sup>ème</sup> ordre avec un RSE=32 et optimisation des zéros.

	Etage					
Coefficients	1	2	3	4	5	6
a	0.38162	0.35699	0.31088	0.38538	0.39431	
g	0.021045	0.017651				
b	0.38162	0.35699	0.31088	0.38538	0.39431	1
c	0.075436	0.13276	0.27879	0.4481	1.4149	

**Tableaux II-5 :** Coefficients de la structure CRFB du 5<sup>ème</sup> ordre avec un RSE=32 et optimisation des zéros.

CRFB(2)	Etage					
Coefficients	1	2	3	4	5	6
a	0.0989	0.1667	0.2091	0.3542	0.3181	
g	0.0146	0.0201				
b	0.0989	0	0	0	0	0
c	0.1360	0.1912	0.3809	0.3933	1.7541	

**Tableaux II-6 :** Coefficients de la structure CRFB du 5<sup>ème</sup> ordre avec un RSE=32 et optimisation des zéros.

### **II-3 Analyse Monte-Carlo :**

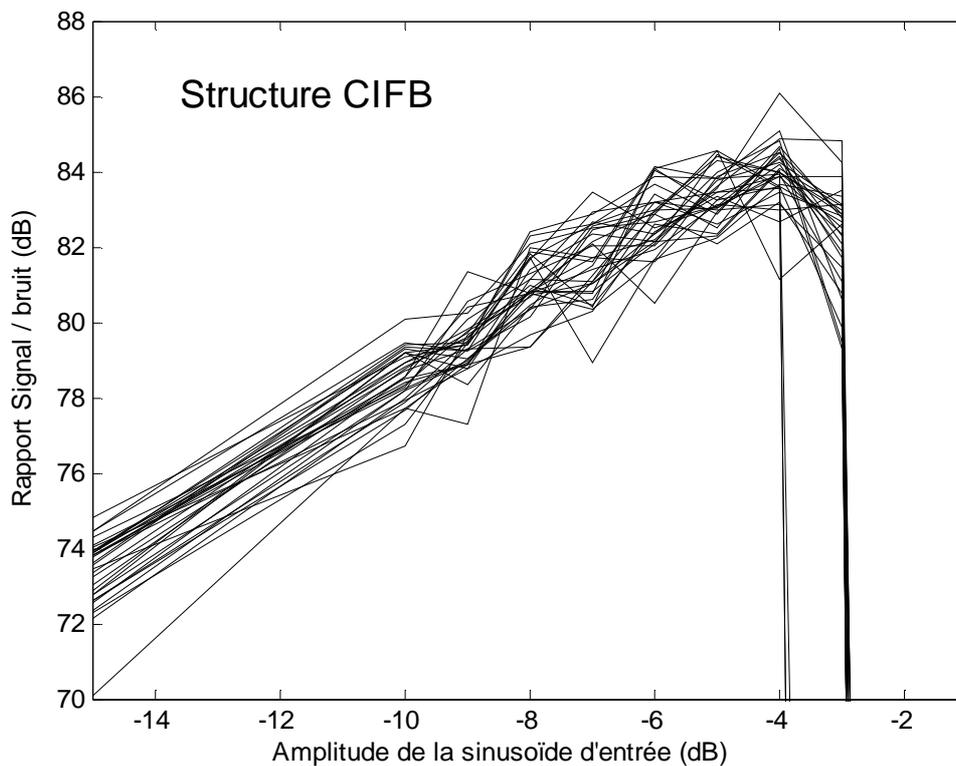
Une fois les coefficients des quatre topologies du modulateur  $\Sigma\Delta$  connus, une analyse Monte-Carlo est nécessaire pour déterminer à quel degré les structures « idéales » seront affectées par les variations dues au processus technologique.

Prenant en compte que le futur modulateur sera implémenté avec une technologie CMOS avec les techniques des capacités commutés où chaque coefficient du modulateur sera fixés par un rapport de 2 condensateurs intégrés sur la même puce (quatre dans une implémentation totalement différentielle), la précision qui peut être atteinte avec un Layout approprié est de l'ordre de 1% [4]. Pour simuler cette variation on a développé une « routine » sous MatLab® (voir code source MonteSWEEP.m Annexe C) qui génère une série de nombres pseudo aléatoire d'une densité uniforme pour faire varier les coefficients du modulateurs dans les limites imposées par le

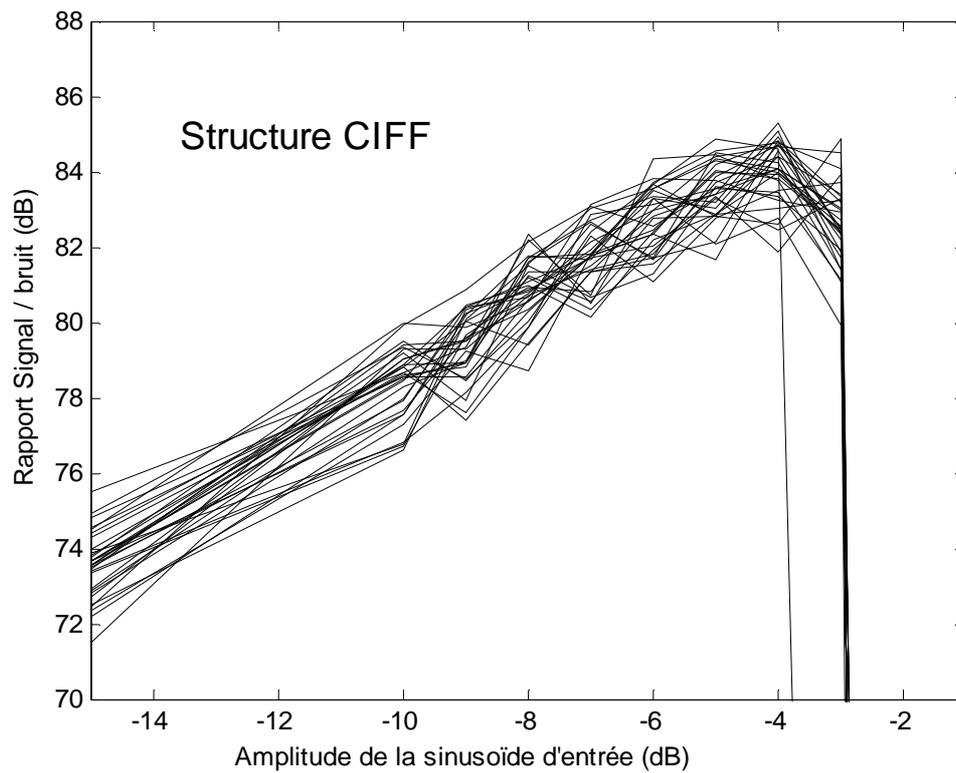
processus technologique puis évalue la performance de chaque topologie en terme d'immunité face aux variations et de distributions statistiques du rapport signal/bruit.

Les figures II-4 à II-7 illustrent la variation des caractéristiques SNR versus le niveau d'entrée pour les structures CIFB, CIFF, CRFB et CRFB (2) respectivement. La structure CRFF n'a pas été incluse dans cette analyse à cause de la similitude du comportement de cette topologie avec la structure CRFB.

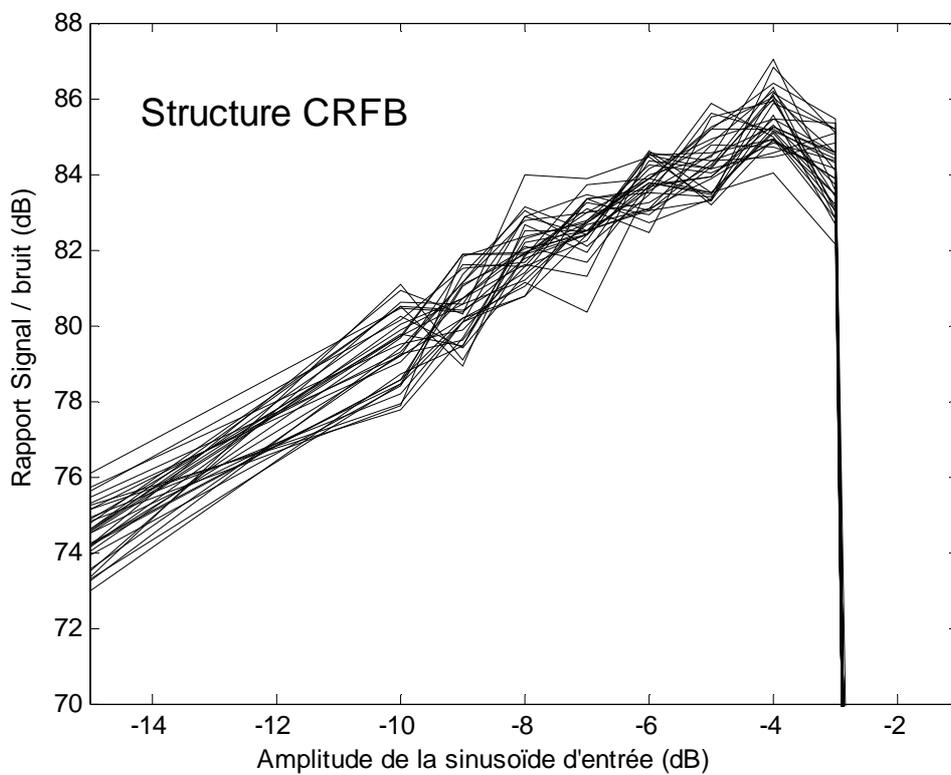
L'observation des figures II-4 à II-7 révèle que les quatre structures étudiées présentent une bonne immunité vis-à-vis des variations. Néanmoins, une tendance à l'instabilité (même si cela est statistiquement faible) est observée chez les structures à base d'intégrateurs lorsque l'amplitude de la sinusoïde d'entrée est assez élevée. Aussi, cette éventualité doit être prise en compte lors du choix de la topologie finale.



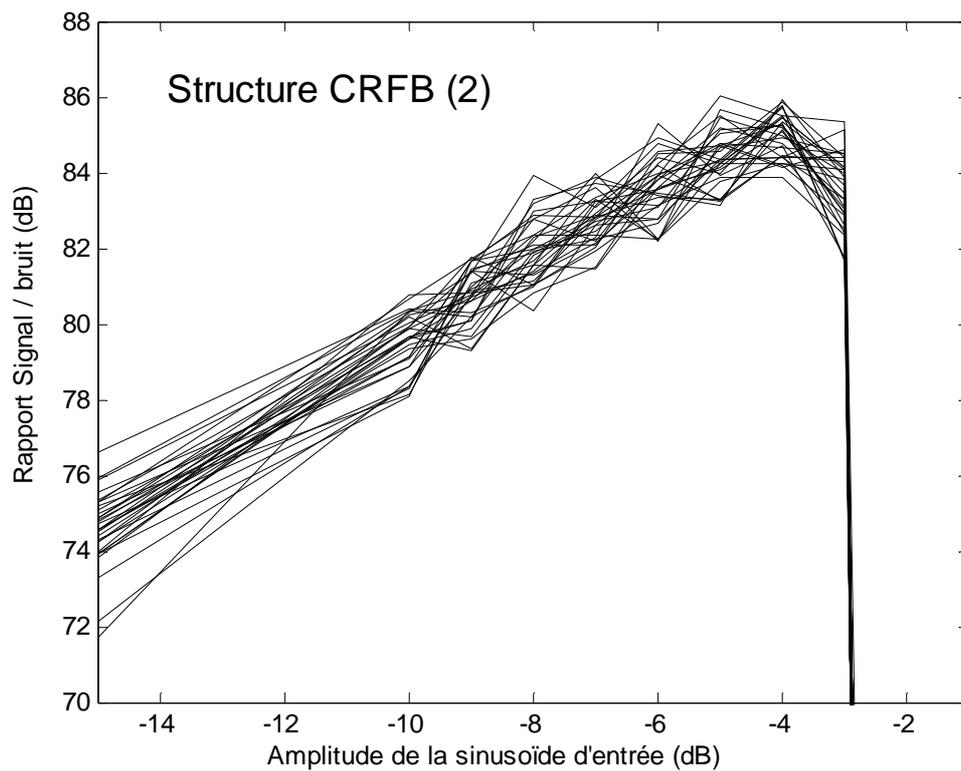
**Figure II-4** : Analyse Monte-Carlo du modulateur Delta Sigma Structure CIFB (la variation des coefficients est de 1%)



**Figure II-5** : Analyse Monte-Carlo du modulateur Delta Sigma Structure CIFF (la variation des coefficients est de 1%)

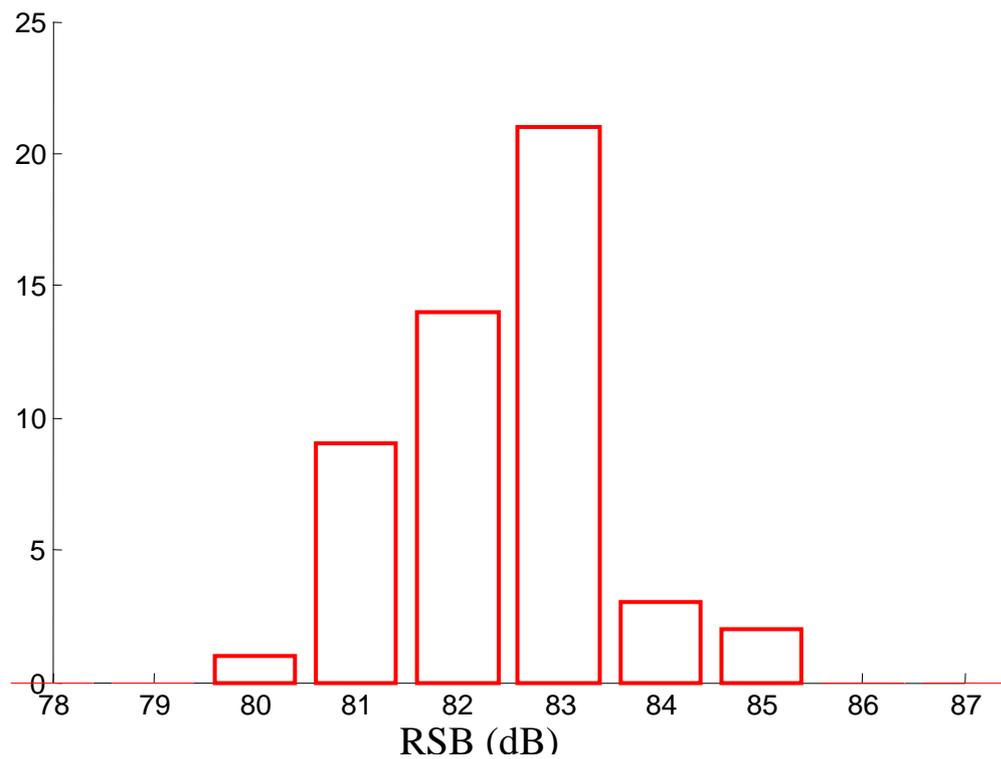


**Figure II-6** : Analyse Monte-Carlo du modulateur Delta Sigma Structure CRFB (la variation des coefficients est de 1%)

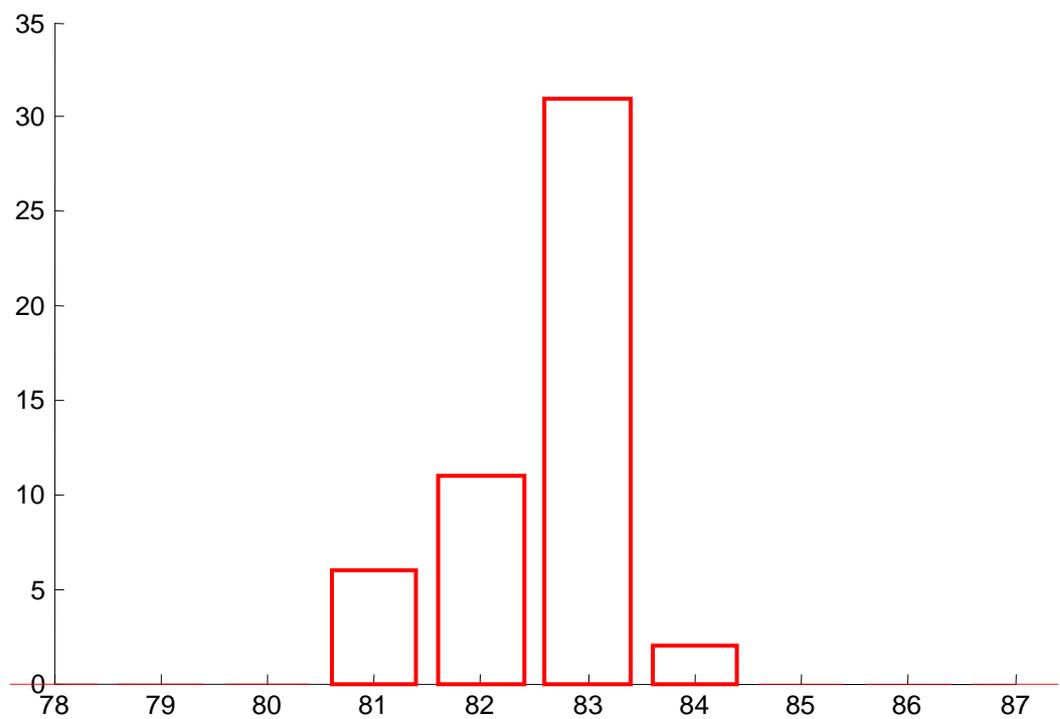


**Figure II-7** : Analyse Monte-Carlo du modulateur Delta Sigma Structure CRFB (2) (la variation des coefficients est de 1%)

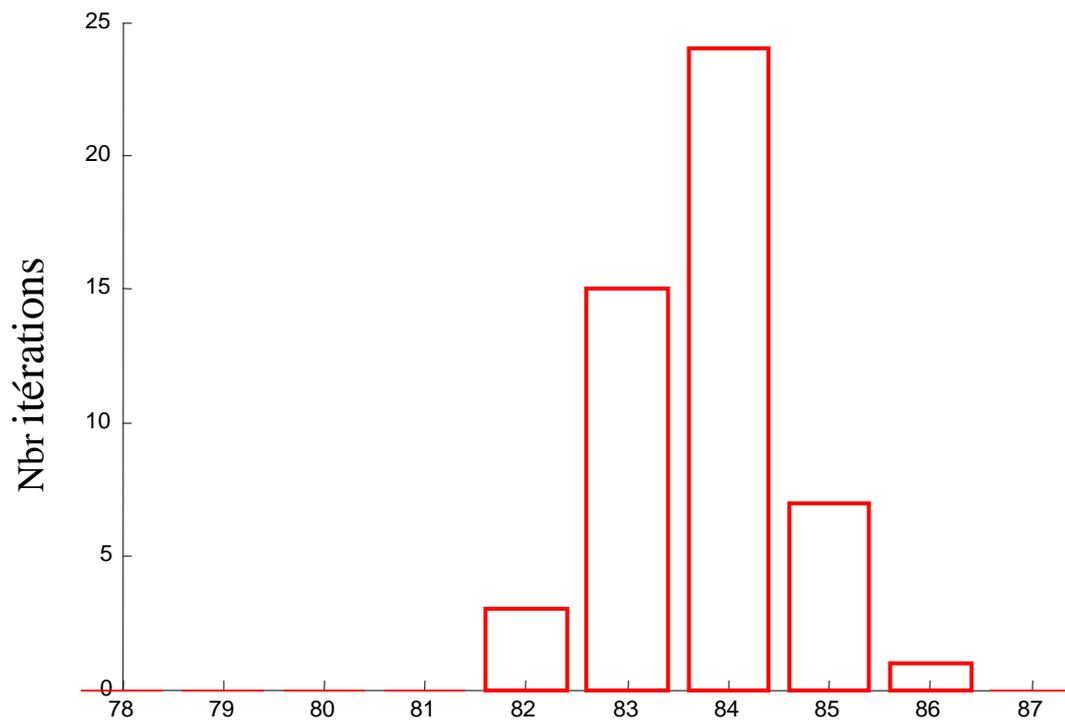
La suprématie des structures à base de résonateurs est confirmée en analysant les histogrammes des distributions statistiques du rapport Signal/Bruit de chaque topologie (figures II-8 à II-11). On peut énoncer que du point de vue statistique les modulateurs à base de résonateurs auront une plus grande résolution par rapport aux structures à base d'intégrateurs.



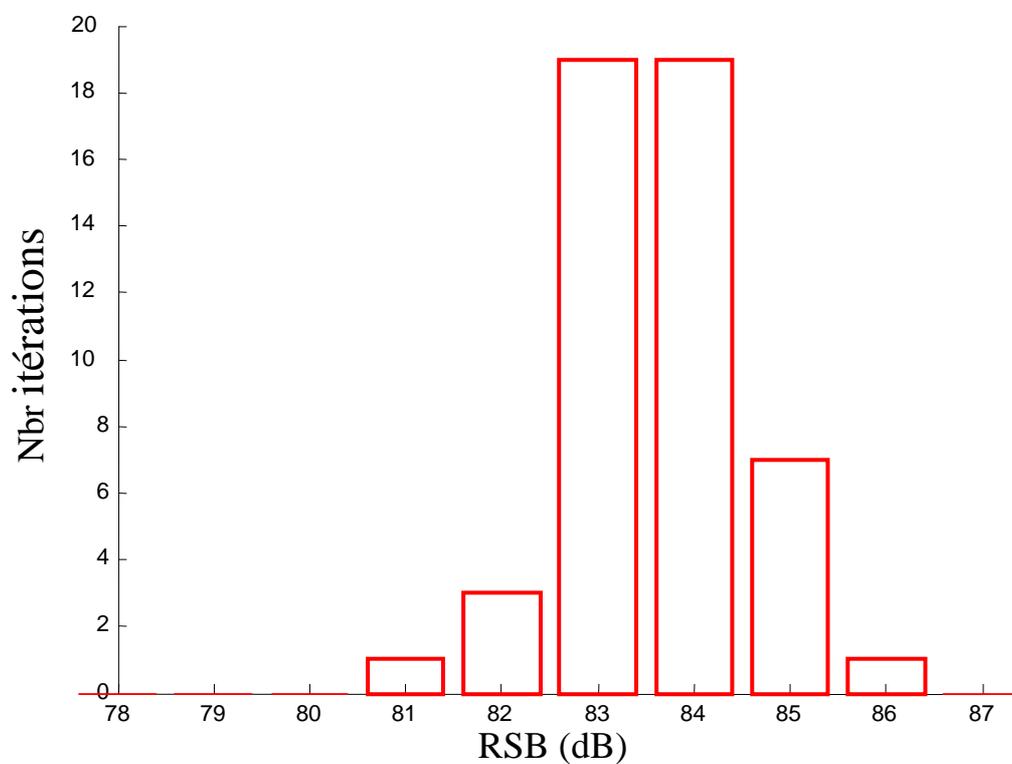
**Figure II-8** : Histogrammes de la distribution du RSB de la structure CIFB après Analyse Monte-Carlo avec 50 itérations (variation 1%)



**Figure II-9** : Histogrammes de la distribution du RSB de la structure CIFF après Analyse Monte-Carlo avec 50 itérations (variation 1%)



**Figure II-10** : Histogrammes de la distribution du RSB de la structure CRFB après Analyse Monte-Carlo avec 50 itérations (variation 1%)



**Figure II-11** : Histogrammes de la distribution du RSB de la structure CRFB (2) après Analyse Monte-Carlo avec 50 itérations (variation 1%)

Le tableau II-6 résume les performances des structures étudiées à l'issue de l'analyse Monte-carlo en termes de maximums, minimums, moyennes du RSB ainsi que les écarts types pour un total de 50 itérations.

	Min (dB)		Max (dB)		Moyenne (dB)		écart type (dB)	
	P1	P2	P1	P2	P1	P2	P1	P2
CIFB	80.49	82.53	84.59	86.07	82.42	84.10	0.963	0.851
CIFF	80.52	84.15	82.58	85.99	82.60	84.06	0.729	0.692
CRFF								
CRFB	81.96	85.89	83.42	86.96	85.04	85.04	0.859	0.788
CRFB (2)	80.63	85.52	83.30	87.21	83.59	85.03	0.910	0.820

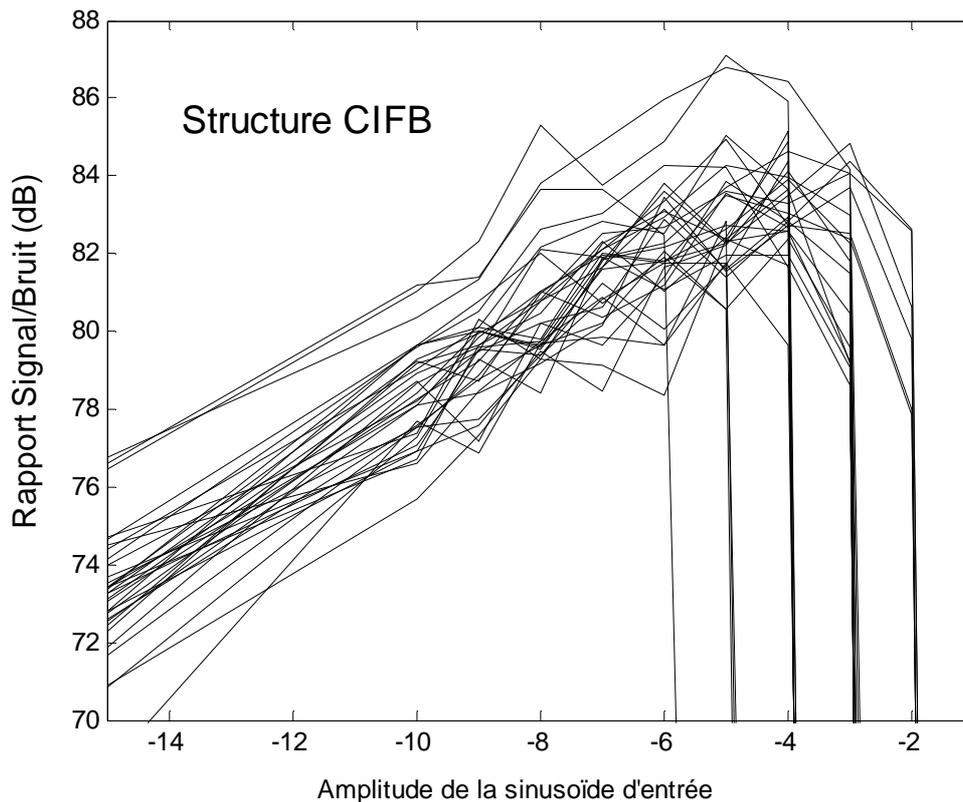
**Tableau II-7:** Performances des différentes structures du modulateur après l'analyse Monte-Carlo (50 itérations avec variation de 1%) : P1 et P2 indiquent les points -6 et -4 dB respectivement (points de mesure (axe des x) sur les caractéristiques RSB vs Amplitude).

Disposant de l'outil nécessaire, nous avons été tenté par l'augmentation des limites de variations des coefficients du modulateur pour prendre en compte d'une part la limitation des valeurs prises par les condensateurs (des multiples de 100fF) et d'autre part pour prendre d'autres effets comme le gain fini des amplificateurs opérationnels ou les capacités parasites qui *peuvent* affecter la fonction de transfert du modulateur d'une façon analogue à celle due au processus technologique.

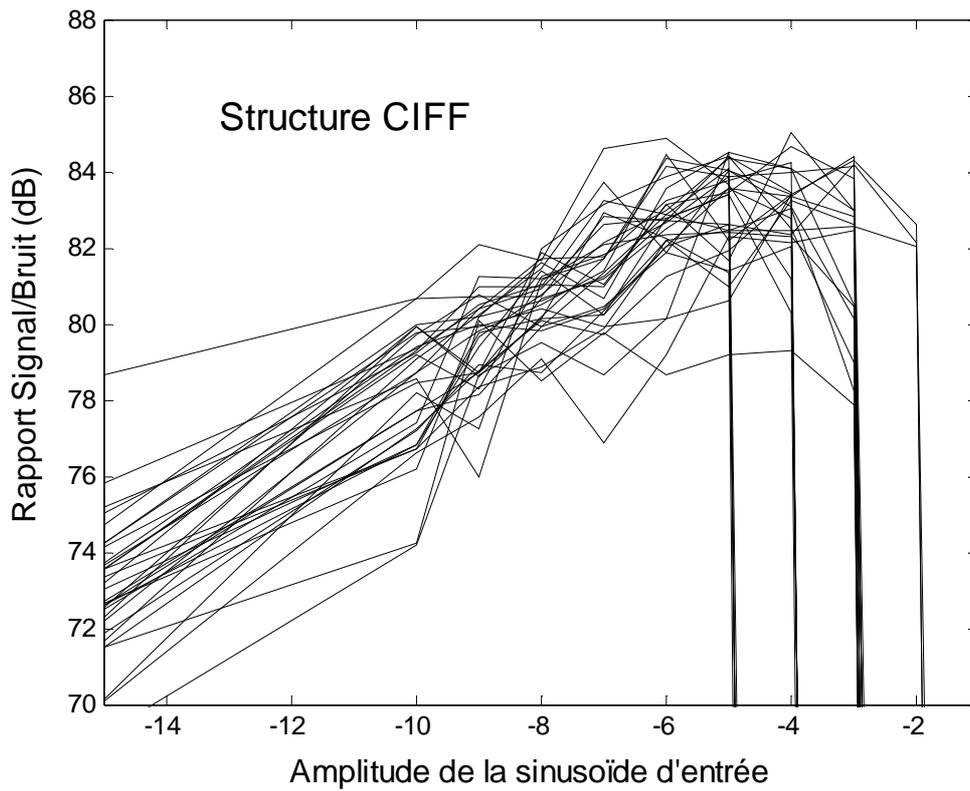
Les figures II-12 à II-15 illustrent le résultat de l'analyse Monte-Carlo avec une limite de variation des coefficients fixée à 10% : Ici encore, la tendance à l'instabilité des structures CIFB et CIFF est confirmée avec une réduction significative de la limite à laquelle le modulateur est en surcharge. L'examen des performances des différentes topologies à l'issue de 30 itérations (Tableau II-8) révèle que les structures CRFB (2), CRFB (et par voie de conséquence la structure CRFF) subissent de moindres détériorations de leurs performances et présentent des caractéristiques plus prédictibles (écart type moindre).

	Min (dB)		Max (dB)		Moyenne (dB)		écart type (dB)	
	P1	P2	P1	P2	P1	P2	P1	P2
CIFB	78,3	-26,2	85,9	86,4	82,1	71,3	1,58	31,38
CIFF	78,6	-41	84,8	85	82,4	59,4	1,44	47,96
CRFF								
CRFB	79,2	81	85,7	86,6	82,7	84	1,67	1,3
CRFB (2)	77	80,3	86,6	88,9	82,2	83,5	2,029	1,875

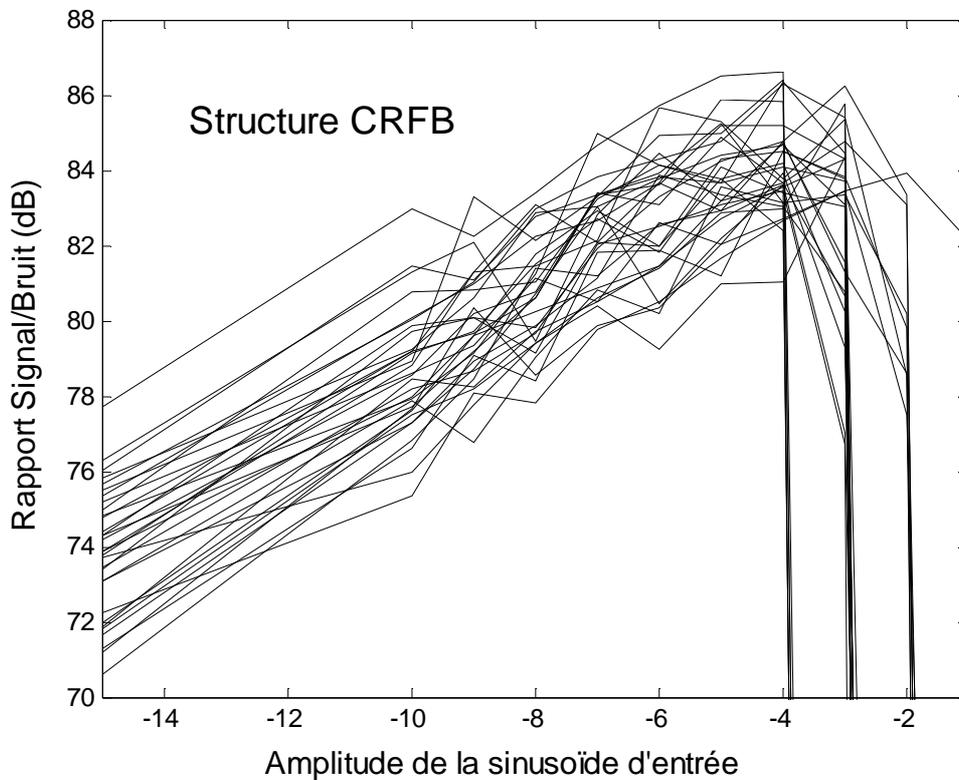
**Tableau II-8:** Performances des différentes structures du modulateur après l'analyse Monte-Carlo (30 itérations avec variation de 10%) : P1 est P2 indiquent les points -6 et -4 dB respectivement (points de mesure sur les caractéristiques RSB vs Amplitude).



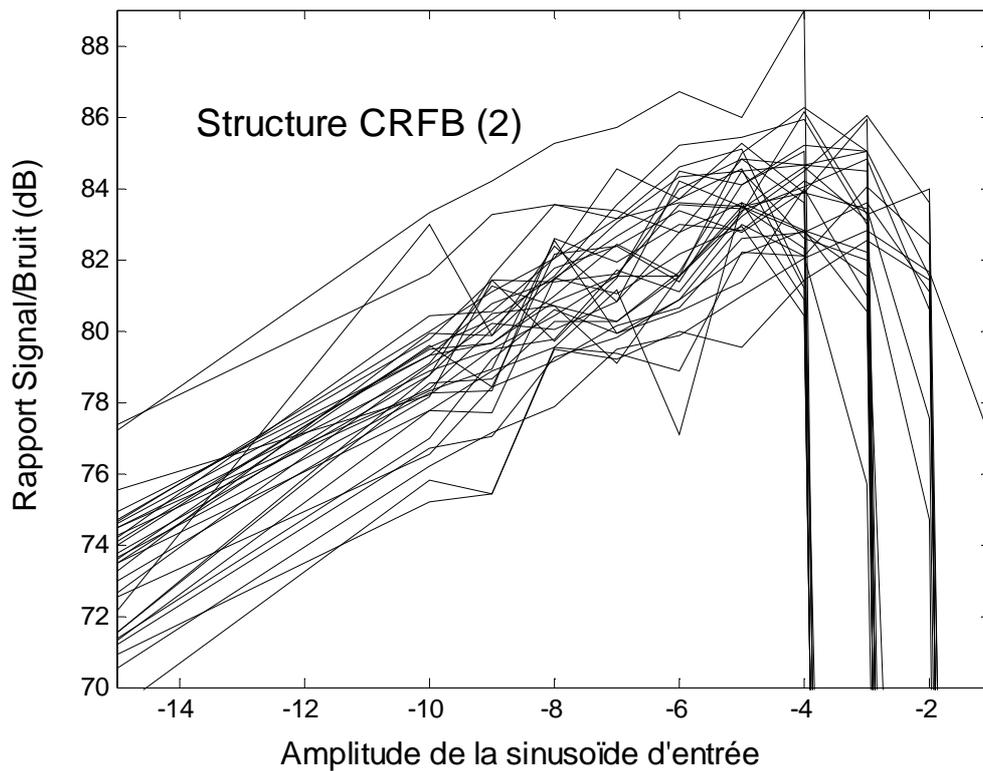
**Figure II-12 :** Analyse Monte-Carlo de la structure CIFB avec 10% de variation des coefficients



**Figure II-13 :** Analyse Monte-Carlo de la structure CIFF avec 10% de variation des coefficients



**Figure II-14:** Analyse Monte-Carlo de la structure CRFB avec 10% de variation des coefficients



**Figure II-15** Analyse Monte-Carlo de la structure CRFB (2) 10% de variation des coefficients

#### **II-4 Modèle Structurel du Modulateur $\Sigma\Delta$**

L'analyse de la réponse des différentes topologies du modulateur  $\Sigma\Delta$  s'est faite jusqu'à présent grâce aux fonctions incluses dans le ToolBox de Richard Schreier déjà présenté au paragraphe (I-1.1). Aux yeux du concepteur, ces fonctions constituent des boîtes noires qui font abstraction du modèle et de la méthode de simulation utilisée. Aussi, dans le but d'offrir un degré d'indépendance vis-à-vis des fonctions de Richard Schreier nous avons développé un programme basé sur un modèle structurel du modulateur  $\Sigma\Delta$  capable de prédire le fonctionnement des quatre topologies étudiées et permettant la prise en compte de nombres d'imperfections non incluses dans le modèle de Richard Schreier. Nous présentons dans les paragraphes suivants le principe de base de notre modèle et la comparaison de nos résultats avec celles obtenues à l'aide de la boîte à outil de Richard Schreier.

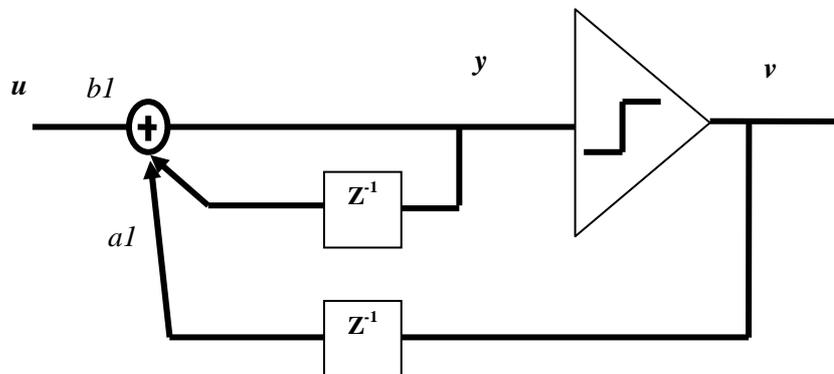
### II-4.1 Principe De La Simulation Structurale

Le développement de notre modèle structurel s'inspire de la méthode proposée dans [2]. Pour illustrer le principe revenant au modulateur du premier ordre introduit au chapitre I, la figure II-16 illustre le schéma bloc de ce modulateur qui est identique à la figure I-6 à la seule exception que maintenant le bloc principal (le filtre) est « éclaté » pour mettre en évidence l'élément de retard ( $Z^{-1}$ ) présent à la branche de rétroaction et qui renvoie la sortie à son entrée avec un retard élémentaire. Une telle disposition des éléments du modulateur offre une vue d'intérieur du modulateur et rend intuitive la tâche de modélisation : le code Visual Basic® suivant décrit le comportement du modulateur :

```

For i = 1 To N - 1
    Y(i, 1) = (Y(i - 1) + (b1 * u(i)) - (a1 * v(i - 1)))
    If y(i) >= 0 Then v(i) = 1 Else v(i) = -1
Next

```

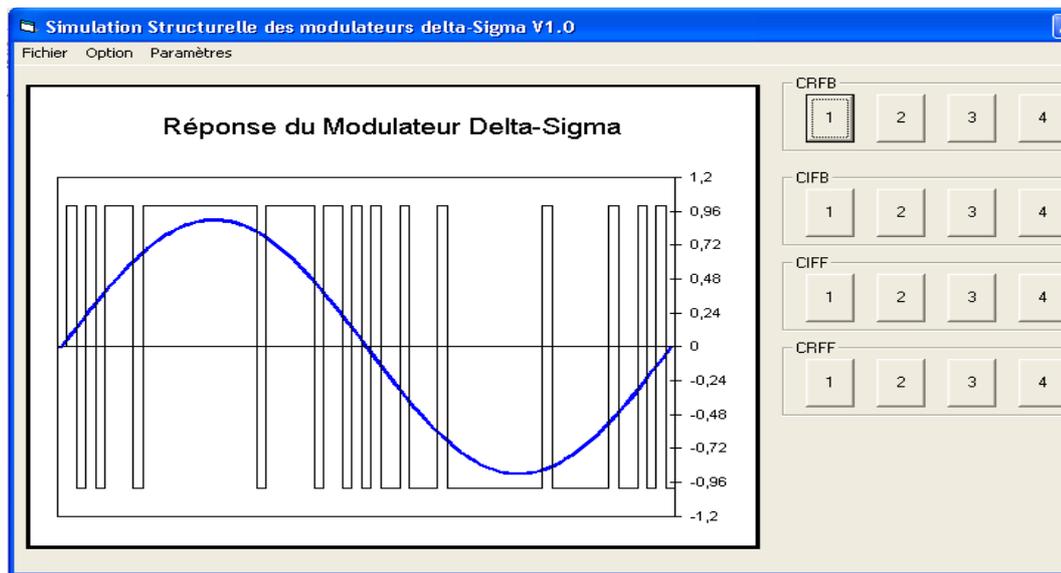


**Figure II-16** Modulateur Delta-sigma du 1<sup>er</sup> Ordre

La figure II-17 présente l'interface visuelle du programme développé où on peut voir la séquence générée par le modulateur juste décrit lorsqu'une sinusoïde de pleine échelle est présente à son entrée.

## II-4.2 Prise en Compte de des Excursions de Sortie des Amplificateurs Opérationnels (Output Swing)

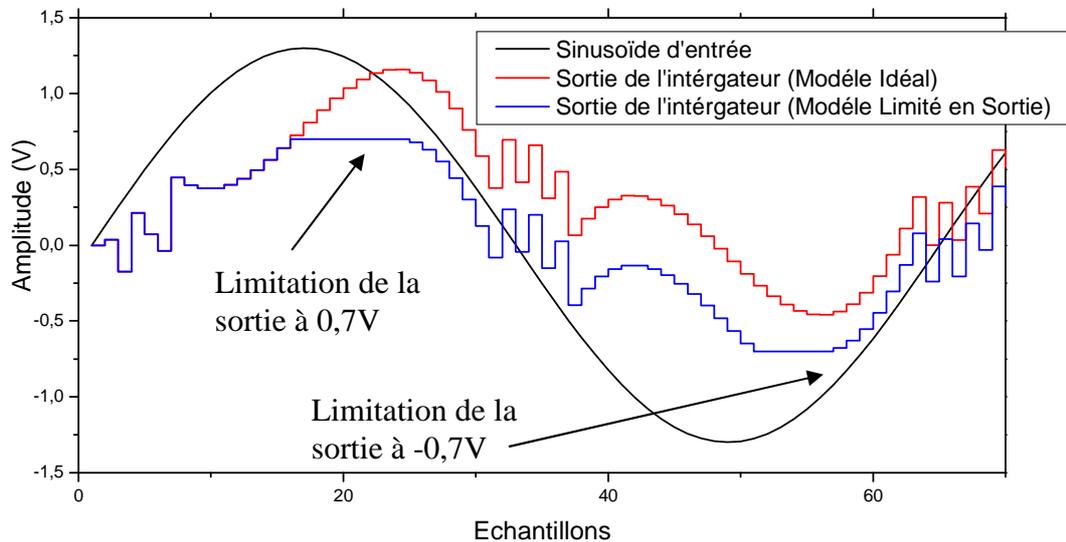
Le modèle rudimentaire décrit au paragraphe précédent peut être amélioré si on prend en compte l'excursion finie des signaux dans le modulateur. Cette limitation, qui peut-être de quelques centaines de millivolts au-dessous (et au-dessus) des tensions d'alimentations ou encore plus conséquente dans les amplificateurs opérationnels en technologies CMOS moderne, doit être modélisée afin de prévenir d'une part l'instabilité (divergence) du modèle (dépassement de capacité des variables de calculs) et d'autre part pour se rapprocher d'avantage du comportement du circuit.



**Figure II-17 :** Aperçu de l'interface visuelle du simulateur

La prise en compte de la limitation de sortie est simple du point de vue effort de programmation puisqu'elle ne nécessite que d'ajout de deux lignes de code mais elle offre la possibilité d'anticiper la dégradation des performances du convertisseur et offrira les informations pour compléter les cahiers de charge de la conception des amplificateurs opérationnels entrant dans la constitution du modulateur (voir paragraphe II-3.5.2).

La figure II-18 trace l'évolution du signal de sortie de l'intégrateur de la figure II-16 en présence d'une sinusoïde à l'entrée dans le cas idéal et dans le cas où l'excursion de sortie est prise en compte.



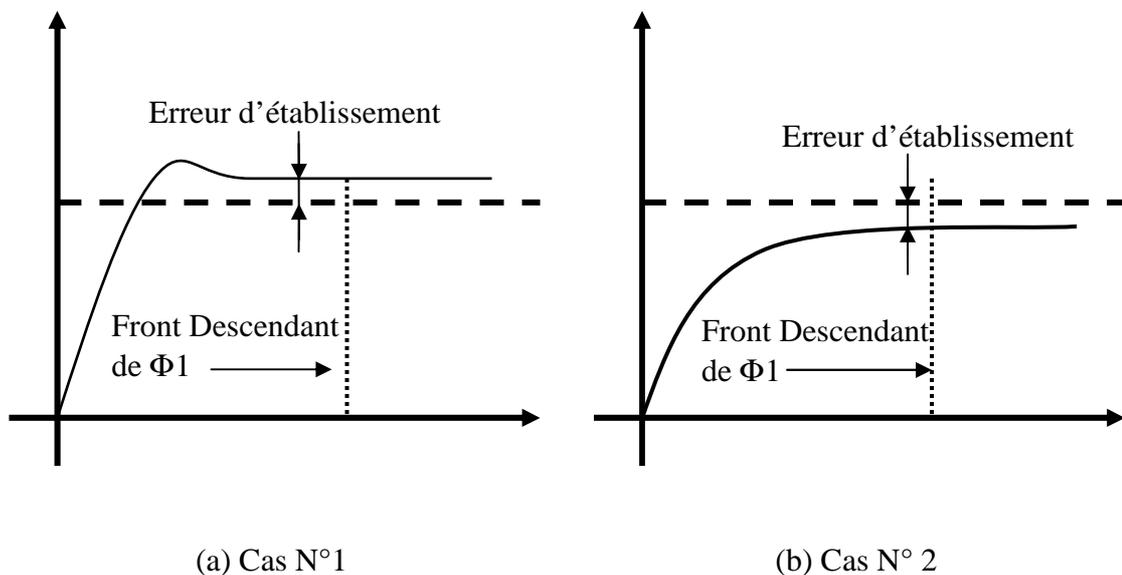
**Figure II-18** : Prise en compte de la limitation de sortie : 1- en rouge la réponse du modèle idéal et 2- en bleu la réponse du modèle limité en sortie

#### **II-4.3 Prise en Compte du Temps d'Etablissement (Settling Time) :**

Le modèle idéal du paragraphe II-3.1 assume implicitement que la sortie de l'intégrateur (et par voie de conséquence l'amplificateur opérationnel) atteint sa valeur théorique nominale sans erreur et en un temps infinitésimal (en tous cas assez petit pour être négligeable). Néanmoins, dans l'implémentation réelle avec des amplificateurs opérationnels imparfaits la sortie de ces derniers nécessite un temps non négligeable (appelé temps d'Etablissement) pour atteindre son niveau final (ou un domaine proche de ce niveau exprimé en pourcentage).

Les figures II-19 (a) et (b) illustrent cet état de fait dans deux cas distincts :

- 1- La sortie de l'amplificateur opérationnel s'établit au moment de la mesure (à la fin de la demi-période du signal  $\Phi 1$  dans l'implémentation SC) à un niveau inférieur à sa valeur théorique (on fera référence à cette première éventualité dans le reste de ce mémoire par le *Cas N°1*).
- 2- La sortie de l'amplificateur opérationnel s'établit au moment de la mesure à un niveau supérieur à la valeur théorique (on fera référence à cette deuxième éventualité dans le reste de ce mémoire par le *Cas N°2*).



**Figure II-19** : Établissement incomplet : Deux cas de figures ( $\Phi 1$  est le signal d'horloge)

La distinction entre ces deux cas de figures s'avère crucial à cause du comportement très différent des performances du modulateur selon le cas en question (voir paragraphe II-3.5.4).

Bien qu'il existe un degré d'incertitude sur la valeur que prendra la sortie de l'intégrateur au moment de la mesure, l'implémentation proposée ne prend en compte que « le pire cas », c'est-à-dire les limites du domaine d'incertitude prédéfinie par l'utilisateur.

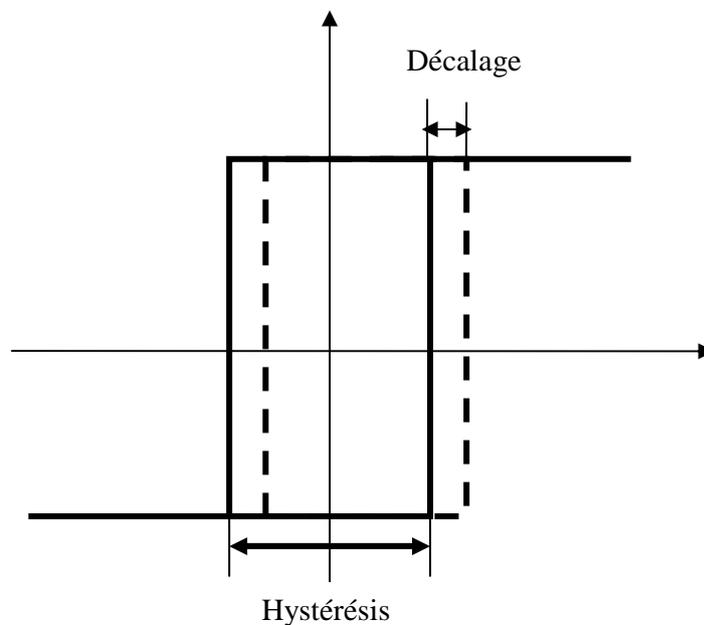
Comme dans le paragraphe précédent, la modélisation du temps d'établissement sera d'un grand bénéfice pour la prochaine étape de conception.

#### **II-4.4 Prise en Compte de l'Hystérésis et de la Tension de Décalage du Comparateur :**

Le modèle du comparateur introduit au paragraphe II-3.1 peut être amélioré en incluant deux phénomènes :

- 1- La tension de décalage (Offset) qui peut être présente à l'entrée du comparateur : cette tension a pour conséquence directe le déplacement de la barrière de transition entre le niveau Haut et niveau Bas du comparateur et ainsi limitera la précision de ce dernier.
- 2- L'hystérésis qui se manifeste par l'apparition de deux tensions de transition selon l'évolution du signal d'entrée du comparateur : L'hystérésis est souvent introduit dans ce genre de circuits intentionnellement pour éviter les transitions trop fréquentes induit par un signal bruité ou trop indécis.

La figure II-20 illustre ces deux phénomènes.



**FigureII-20** : Caractéristique de transfert du Comparateur avec

prise en compte de la tension de décalage et de l'hystérésis

#### **II-4.5 Validation du simulateur et comparaison des résultats :**

Le modèle rudimentaire introduit au paragraphe II-3.1 est maintenant plus raffiné et prend en charge plusieurs non idéalités du modulateur  $\Sigma\Delta$  que nous tenterons d'analyser leurs effets sur les performances globales du circuit.

Le code Visual Basic® modifié du modulateur d'ordre 1 est donné ici à titre d'exemple de l'implémentation finale, son extension à des modulateurs d'ordre plus élevé est directement extrapolable des schémas blocs présentés au chapitre I et ne comporte aucune difficulté particulière.

```

For i = 1 To N
    Y(i, 1) = Y(i - 1) + (b1 * u(i)) - (a1 * v(i - 1))
    '-----
    'Implémentation de la limitation de sortie
    '-----
    If y1(i) > HL Then y1(i, 1) = HL
    If y1(i) < -HL Then y1(i, 1) = -HL
    '-----
    'Implémentation de l'établissement partiel
    '-----
    Y1(i) = y1(i) - y1(i) * Er
    '-----
    'Implémentation de la tension de décalage du comparateur
    '-----
    sum(i) = Y1(i) + Voff
    '-----
    'Implémentation de l'hystérésis
    '-----
    If sum(i - 1) >= sum(i) Then
        If sum(i) >= (-Delta / 2) Then

```

```
        v(i + 1) = 1
    Else
        v(i + 1) = -1
    endif
Else
    If sum(i) >= (Delta / 2) Then
        v(i + 1) = 1
    Else
        v(i + 1) = -1
    Endif
End If
Next
```

Dans les paragraphes suivants nous validerons notre simulateur en comparant les résultats obtenus avec les prédictions théoriques et au modèle de Richard Schreier.

#### **II-4.5.1 Fonction de Transfère Théorique et Spectre du signal de sortie**

Pour vérifier que le modèle élémentaire (parfait) dont on a présenté le principe au paragraphe II-3.1 décrit bien la Fonction de Transfère de Bruit du modulateur pour les différentes topologies étudiées, nous avons comparé le spectre du signal généré par notre modèle à l'aide de l'analyse de Fourier ( $2^{18}$  échantillons) avec celui de la FTB théorique. Les figures II-21 à II-24 illustrent respectivement le spectre du signal modulé des structures CIFB CIFF CRFB et CRFB(2). L'axe de fréquence est normalisé à  $F_s$  (fréquence d'échantillonnage  $\rightarrow 1$ ).

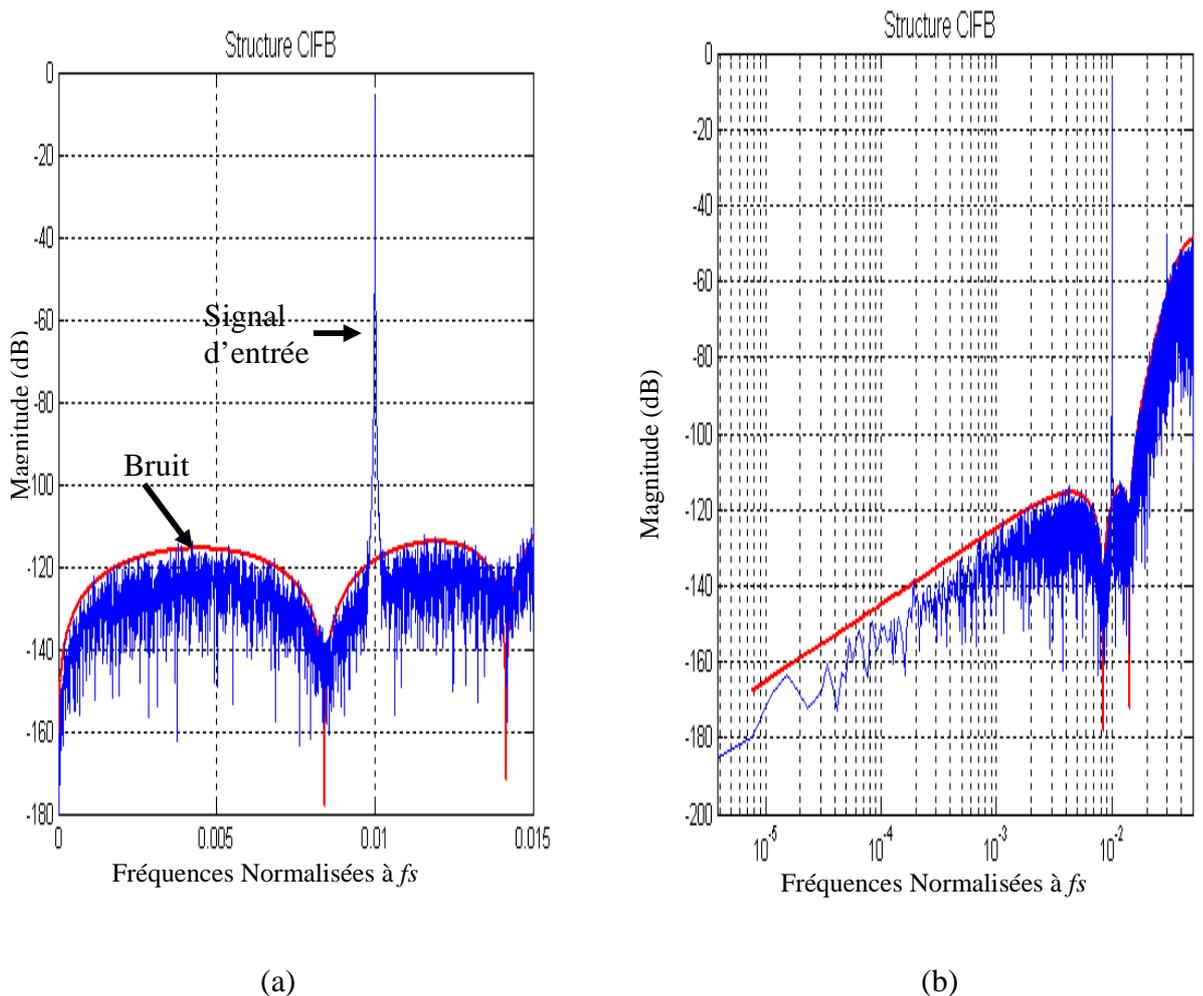
Il en ressort après l'observation de ces figures que le modèle idéal des quatre topologies étudiées suit l'évolution de la courbe théorique dans ces trois parties :

- 1- **Bande de coupure** : cette bande est marquée par un niveau de bruit (Noise floor) similaire à ce que prévoit la théorie et une parfaite positionnement des zéros de la fonction de transfère.

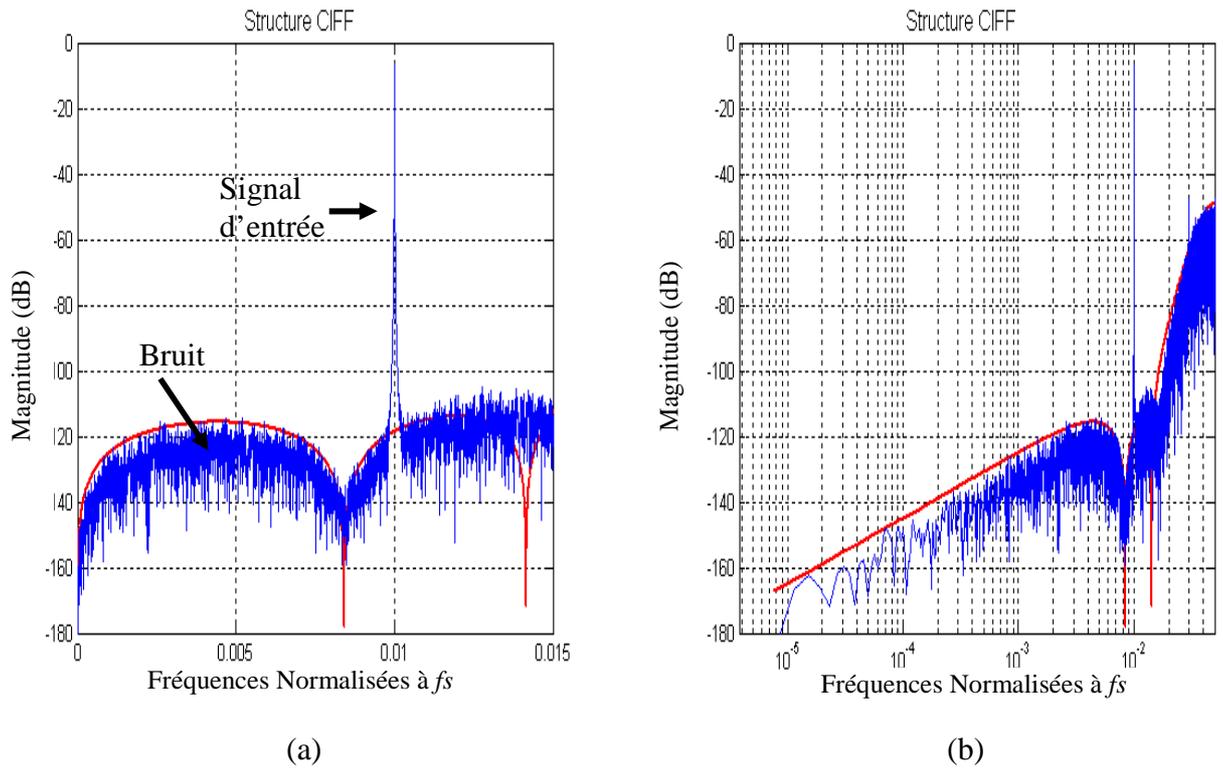
2- **Bande de transition** : le modèle parfait simule très bien la pente de transition de la bande de coupure à la bande passante.

3- **Bande passante** : le modèle exhibe un gain similaire à celui prédit par la courbe théorique.

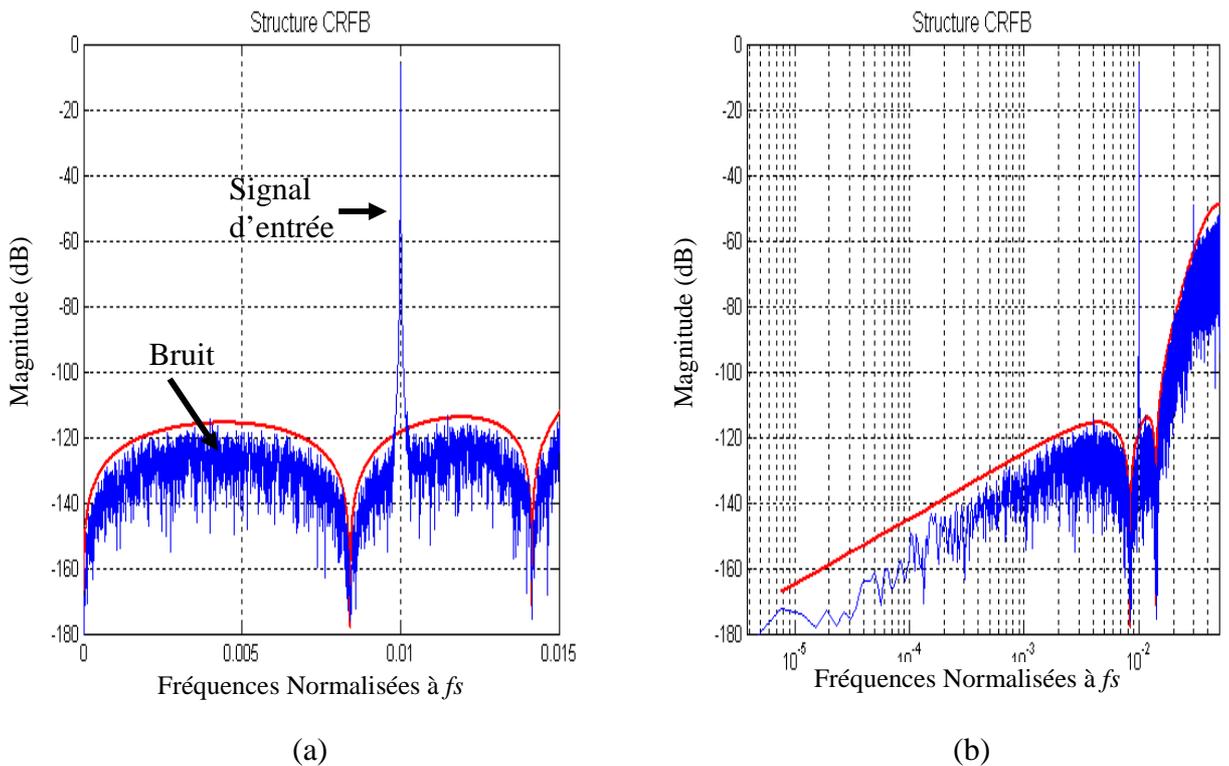
Comme dans la simulation avec la boîte à outils de Richard Schreier Le modèle idéal de la structure CRFF exhibe une caractéristique identique à la structure CRFB et donc n'est pas montrée ici. Toutefois, le comportement du modèle plus affiné de cette structure s'écarte sensiblement du comportement idéal et sera commenté dans les prochains paragraphes.



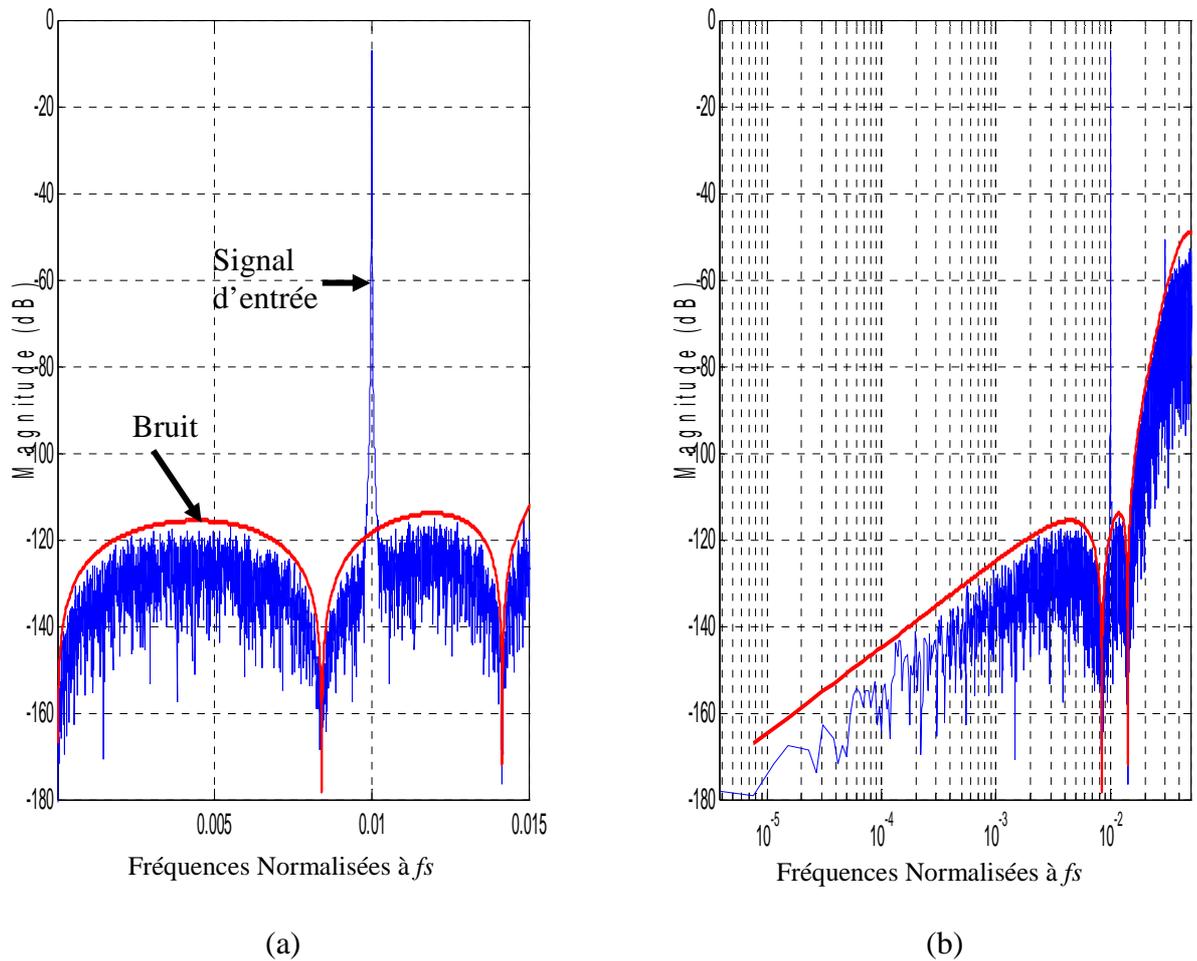
**Figure II-21** : En bleu le spectre du signal modulé de la structure CIFB et en rouge Courbe théorique de réponse de la FTB: (a) Bande de fréquences utiles (Amplitude du signal d'entrée de -6dB) (b) Spectre complet (échelle semi-log).



**Figure II-22 :** En bleu le spectre du signal modulé de la structure CIFF et en rouge Courbe théorique de réponse de la FTB: (a) Bande de fréquences utiles (b) Spectre complet (échelle semi-log).



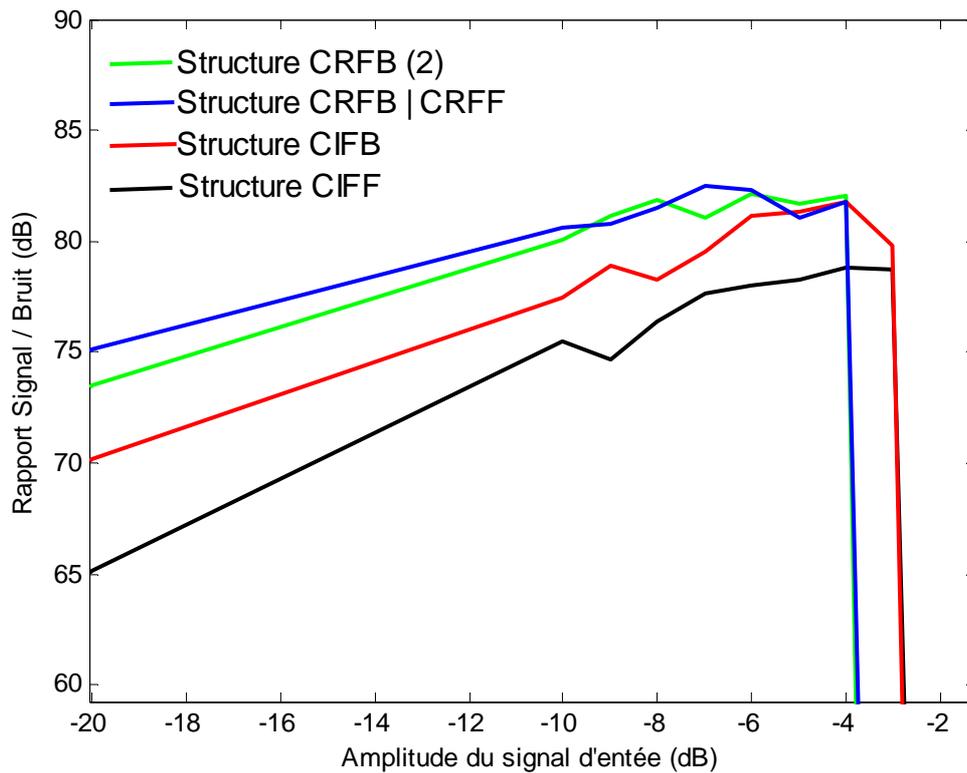
**Figure II-23 :** En bleu le spectre du signal modulé de la structure CRFB et en rouge Courbe théorique de réponse de la FTB: (a) Bande de fréquences utiles (b) Spectre complet.



**Figure II-24 :** En bleu le spectre du signal modulé de la structure CRFB(2) et en rouge Courbe théorique de réponse de la FTB: (a) Bande de fréquences utiles (Amplitude du signal d'entrée de -6dB) (b) Spectre complet (échelle semi-log).

#### **II-4.5.2 Caractéristiques RSB-Amplitude du Signal d'Entrée :**

Une fois le modèle idéal validé on peut tracer les caractéristiques RSB-Amplitude du signal d'entrée des structures étudiées (Figure II-25) et en comparer les performances avec celles obtenues avec les fonctions de Richard Schreier.



**Figure II-25 :** Partie des caractéristiques RSB-Amplitude du signal d'entrée des structures idéales étudiées (les coordonnées en « x » sont normalisés : 0dB correspond à une sinusoïde de pleine échelle)

L'examen de la figure II-25 confirme ce qui a été déjà prédit (en partie) par le modèle de Richard Schreier en ce qui concerne la meilleure résolution des structures à base de résonateurs par rapport aux structures à base d'intégrateurs. Néanmoins, notre modèle structurel idéal prévoit une légère dégradation de la limite de saturation (Overload) du modulateur. Toutefois, ce résultat doit être pris avec prudence car l'analyse Monte-Carlo (Paragraphe II-2) démontre que les structures CIFB et CIFF perdent vite cet avantage et montrent une immunité moindre vis-à-vis des fluctuations de ses coefficients.

Le tableau II-9 résume et compare les performances de chaque structure obtenues avec les deux modèles. Les légères différences entre les performances obtenues avec notre modèle par rapport à celui de Richard Schreier peuvent être attribuées à la nature

même du modèle structurel qui est plus proche de l'implémentation physique et donc plus bruyant.

	Simulation Structurelle (Modèle Idéal)		Simulation DSM Toolbox	
	OL (dB)	DR (dB)	OL (dB)	DR (dB)
CIFB	-3	81.74	-3	83.98
CIFF	-3	78.83	-3	84.34
CRFF				
CRFB	-4	82.49	-3	85.18
CRFB (2)	-4	82.12	-3	84.78

**Tableau II-9 :** Comparaison des performances des différentes topologies du modulateur  $\Sigma\Delta$  obtenues avec les deux modèles

### **II-4.5.3 Influence de l'Excursion de Sortie :**

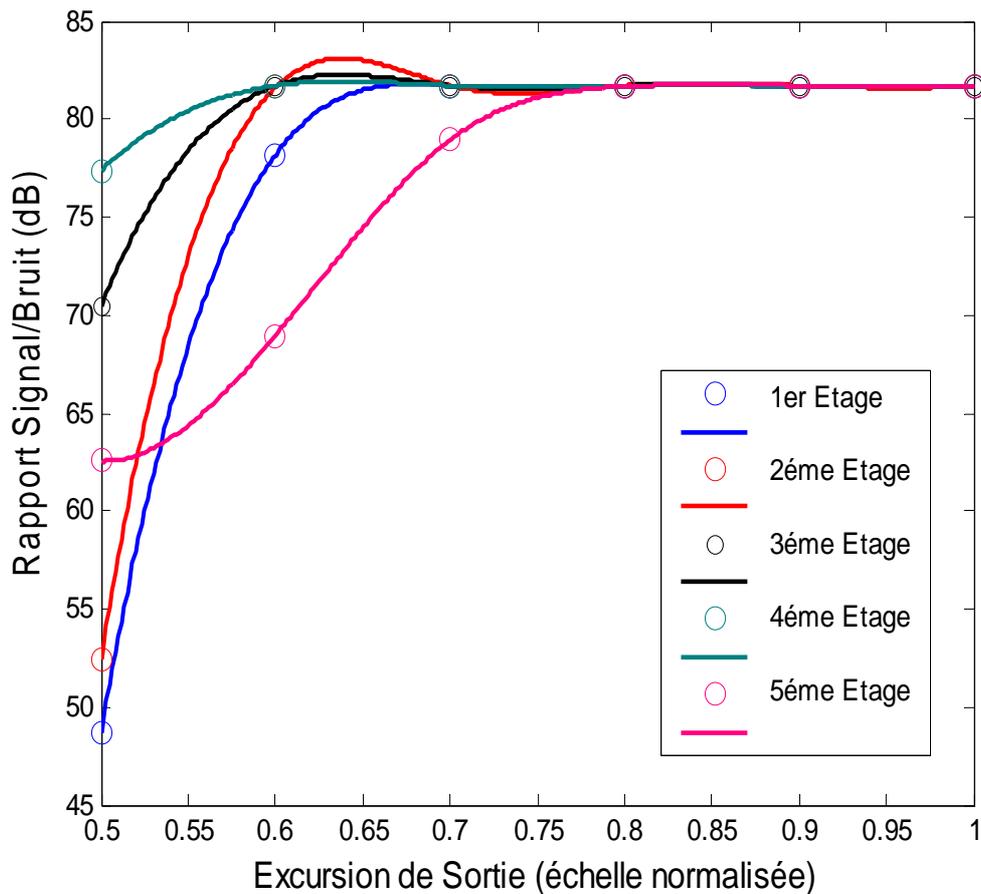
La modélisation de l'excursion de sortie fini des amplificateurs opérationnels (Paragraphe II-2) nous permet d'une part, de mener une analyse « individualisée » de tous les étages constituant une topologie particulière afin d'anticiper la dégradation des performances due à ce phénomène, et d'autre part acquérir des informations utiles susceptibles d'être ajoutées au cahier de charge lors de la conception bas niveau des éléments du modulateur.

Les figures II-26 à II-30 tracent l'influence de l'excursion de sortie de chacun des 5 étages constituant les cinq topologies étudiées sur la résolution du convertisseur  $\Sigma\Delta$  : une excursion de sortie égale à 1 correspond au cas idéal (c'est-à-dire que la sortie de l'amplificateur opérationnel peut atteindre les limites des tensions d'alimentations sans affectation de la linéarité du gain). Afin de construire un cahier de charge pour chacun des amplificateurs opérationnels constituant le convertisseur, nous avons procédé par étapes avec à chaque fois un seul étage est limité en sortie et le reste de la structure est considérée comme étant parfaite (pas de limitation). Les limites des excursions de sorties (exprimés en pourcentage des tension d'alimentation) qui peuvent être tolérés sans dégradation significative du RSB sont reportées dans le tableau II-10

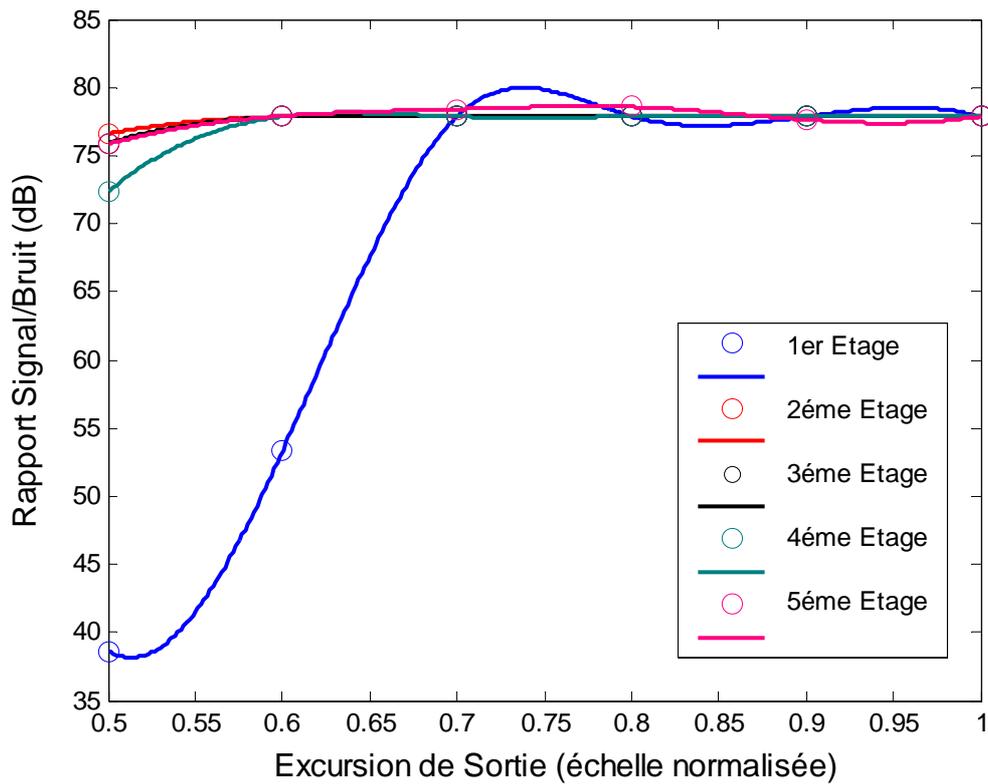
où on peut observer que l'excursion de sortie est majoritairement dominé par le premier étage et que les structures à base d'intégrateurs montrent de meilleures performances en étant moins « gourmandes » en plages de sortie.

Structure	Excursion de Sortie minimale requise (%)				
	Etage 1	Etage 2	Etage 3	Etage 4	Etage 5
CIFB	70	60	60	60	80
CIFF	70	60	60	60	60
CRFF	90	60	60	50	60
CRFB	90	90	80	95	80
CRFB(2)	80	90	80	100	50

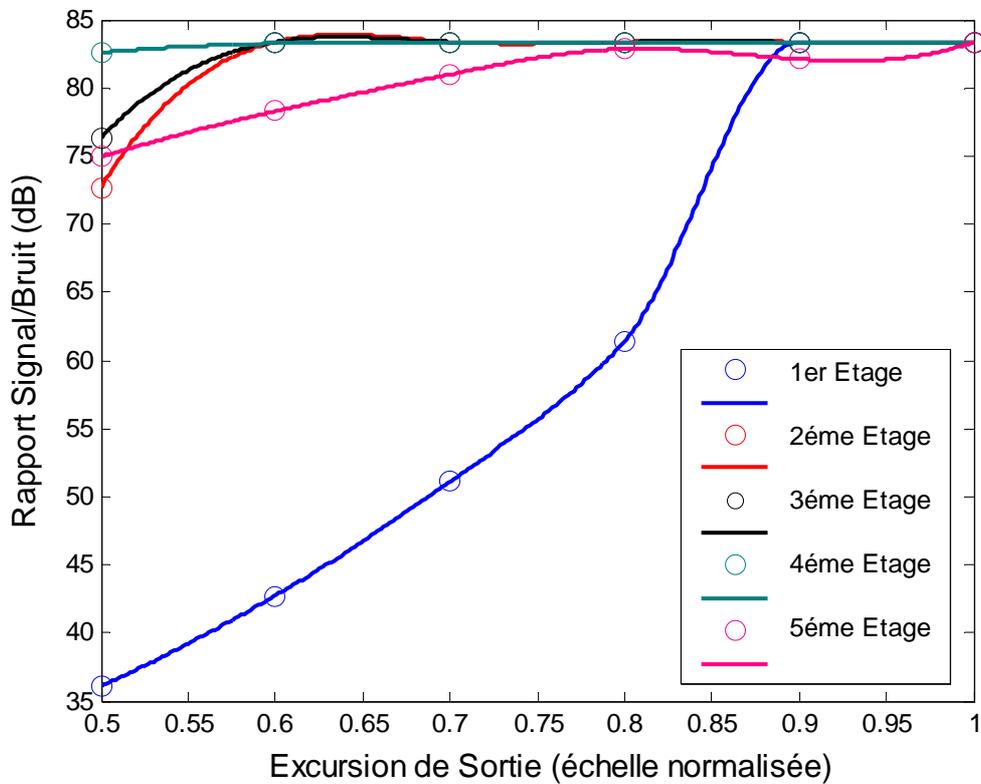
**Tableau II-10 :** Excursions de sortie minimales requises pour chaque étage de modulateur



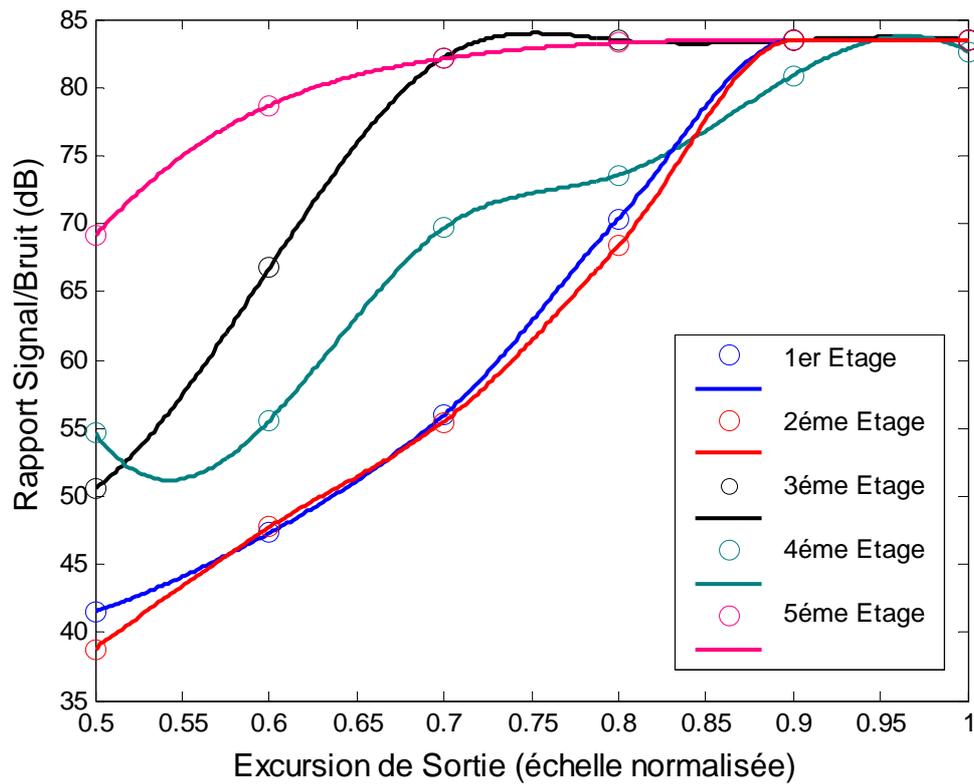
**Figure II-26 :** Influence de l'excursion de sortie sur le Rapport Signal/Bruit de la structure CIFB (l'échelle en « x » est normalisée : 1 correspond à une excursion maximale 100%)



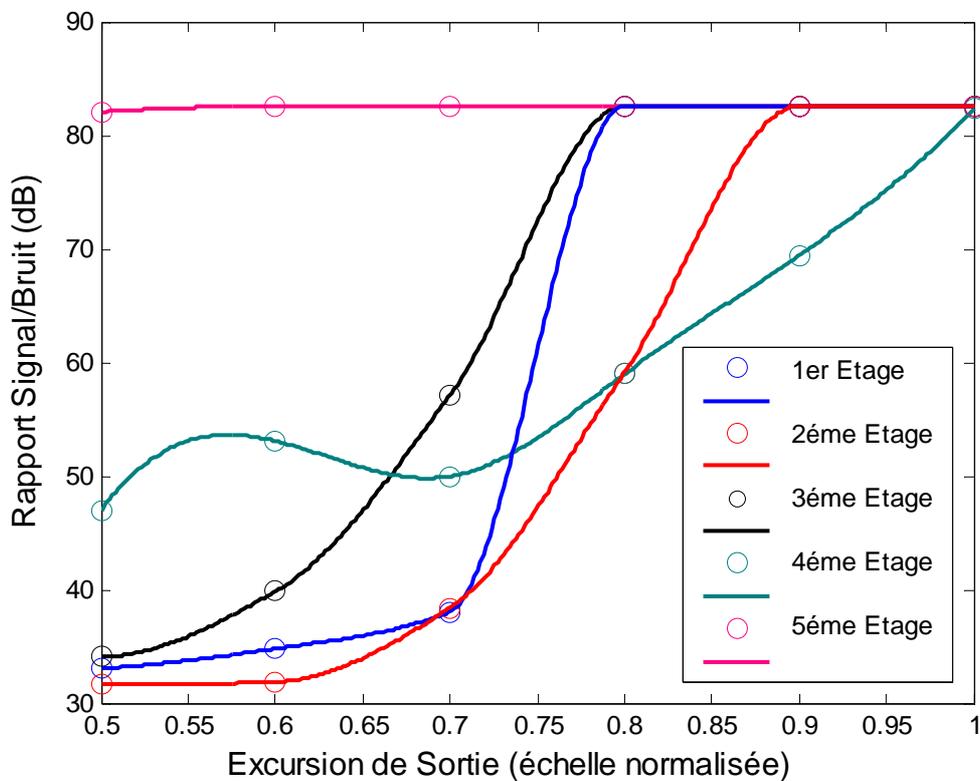
**Figure II-27 :** Influence de l'excursion de sortie sur le Rapport Signal/Bruit de la structure CIFF (l'échelle en « x » est normalisée)



**Figure II-28 :** Influence de l'excursion de sortie sur le Rapport Signal/Bruit de la structure CRFF (l'échelle en « x » est normalisée)



**Figure II-29 :** Influence de l'excursion de sortie sur le Rapport Signal/Bruit de la structure CRFB (1<sup>ère</sup> échelle en « x » est normalisée)



**Figure II-30 :** Influence de l'excursion de sortie sur le Rapport Signal/Bruit de la structure CRFB(2) (1<sup>ère</sup> échelle en « x » est normalisée)

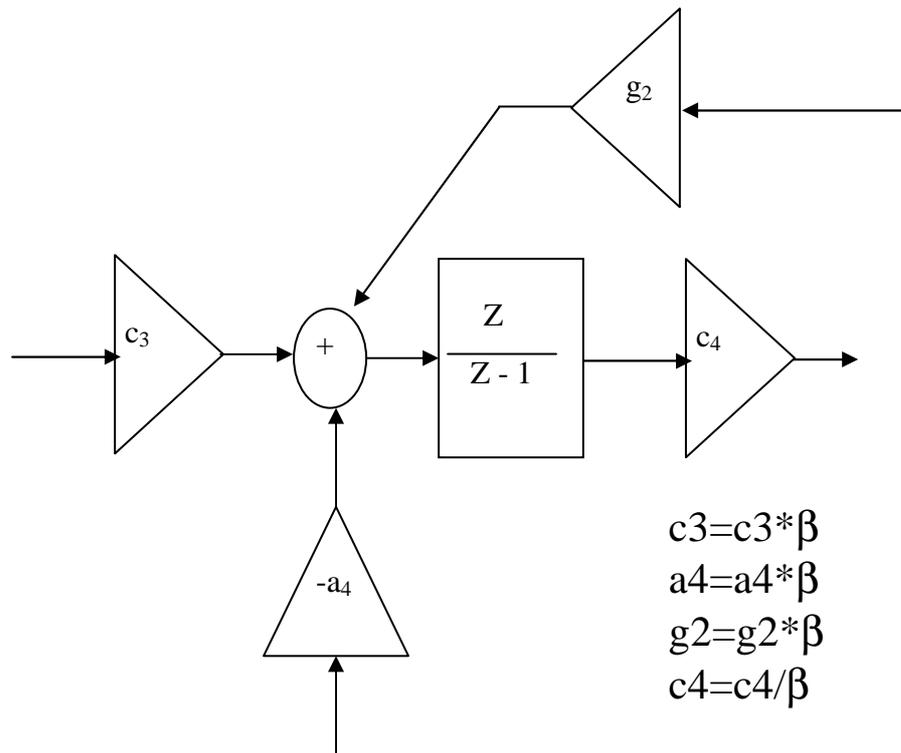
L'étude que nous avons faite nous permet d'avoir une vue d'intérieure sur les niveaux des signaux au sein du modulateur. En effet, les noeux de la structure qui passent des signaux d'amplitudes élevées nécessitent une excursion de sortie excessive, par contre les noeux de « basse énergie » sont moins demandeurs.

Les noeux avec des niveaux trop élevés introduisent des non linéarités et saturent le modulateur alors que les noeux avec des niveaux trop faibles favorisent l'apparition de chemins bruités (Noise Path). Pour prévenir ces deux problèmes un rééquilibrage des coefficients du modulateur est parfois nécessaire. Pour expliquer cette opération prenant l'exemple du quatrième étage de la structure CRFB(2) qui nécessite une excursion de sortie de 100% avec les coefficients de Richard Schreier. Le rééquilibrage consiste à :

- 1- Réduire le gain d'un facteur  $\beta$  de toutes les branches entrantes à cet étage.
- 2- Augmenter le gain du même facteur  $\beta$  de toutes les branches sortantes de l'étage.

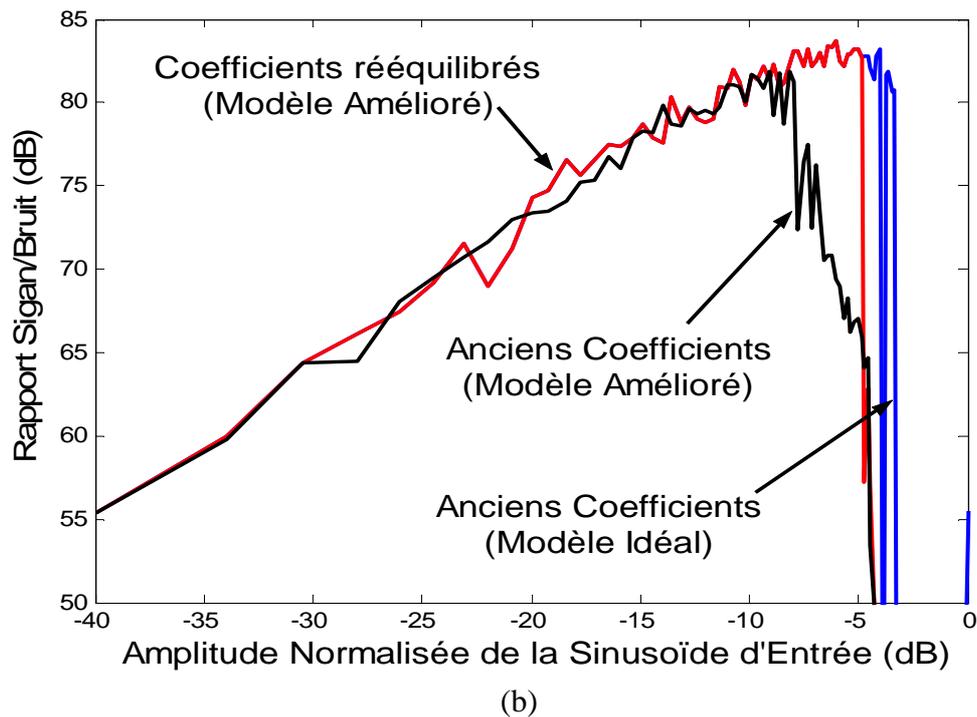
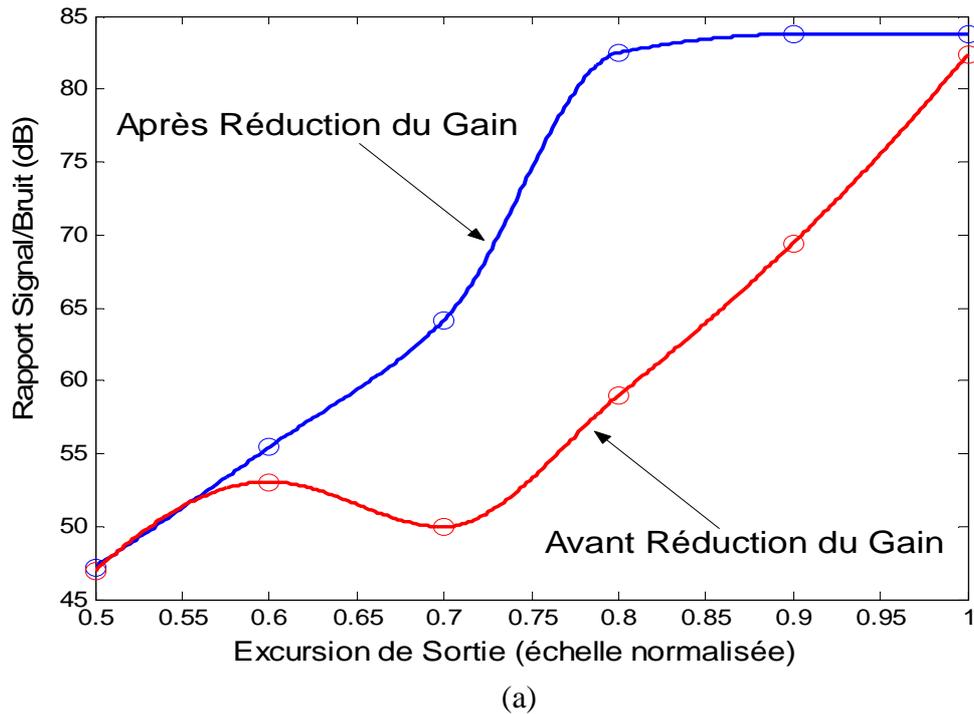
De cette façon on s'assure que la fonction de transfert du modulateur ne subit aucun changement de l'emplacement de ses pôles et zéros. La figure II-31 illustre les coefficients qui doivent subir le rééquilibrage pour notre exemple et les équations correspondantes.

Pour examiner l'influence que peut avoir cette opération sur les performances du convertisseur on a choisi, à titre d'exemple pour le cas cité ici, un facteur  $\beta=0,8$ . Les figures II-32 (a) et (b) tracent respectivement la dépendance du RSB vis-à-vis de l'excursion de sortie du quatrième étage de la structure CRFB(2) après le changement des coefficients et les caractéristiques RSB versus l'amplitude d'entrée pour une structure limitée en sortie à 90%.



**Figure II- 31 :** Quatrième étage de la structure CRFB(2) et les équations de rééquilibrages correspondantes

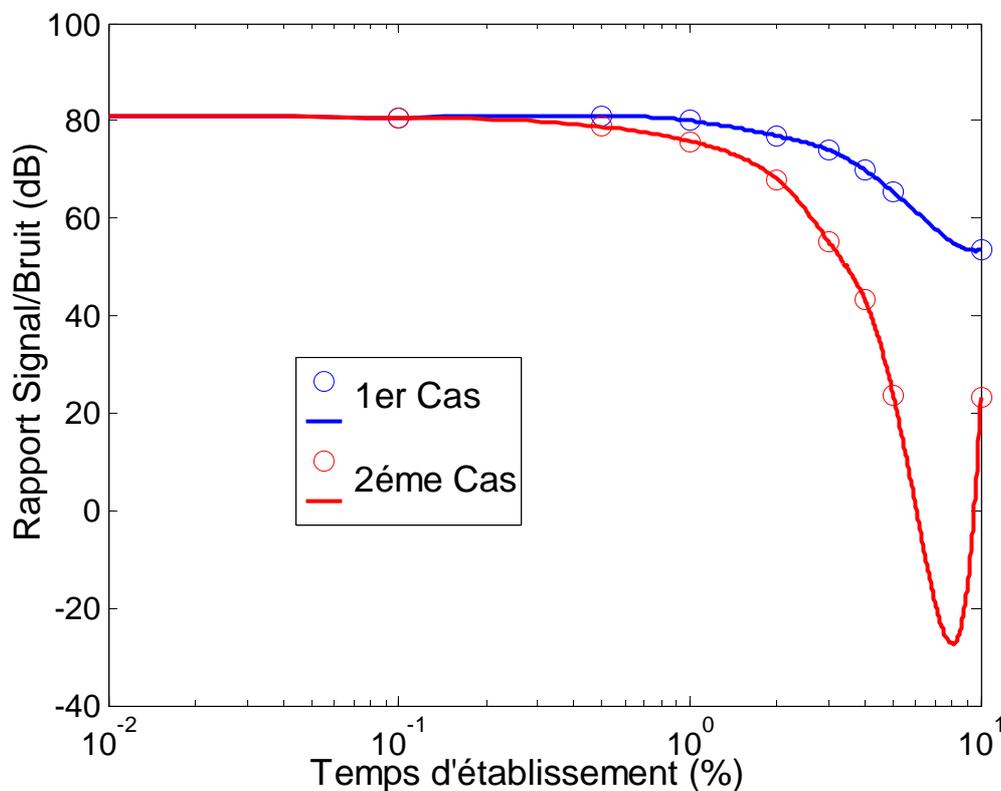
Il est évident, après l'examen de la figure II-18 (b), que le comportement de la structure limitée en sortie (avec les coefficients de Richard Schreier) s'écarte sensiblement du modèle idéal (courbe en bleue). En effet, la caractéristique RSB vs Amplitude d'entrée est sensiblement affectée par la prise en compte de l'excursion de sortie, cette dégradation dont la manifestation la plus patente est l'instabilité précoce du modulateur (après une amplitude d'entrée de plus de -10db) réduit dramatiquement la plage et la résolution dans laquelle le convertisseur peut opérer à un peu plus de 31% de la pleine échelle. Il est clair que le changement apporté améliore les performances du convertisseur tout en relaxant les exigences du cahier de charge. La structure modifiée se rapproche ainsi du comportement idéal.



**Figure II-32 :** Comparaison des performances de la structure CRFB(2) après l'opération de rééquilibrage : (a) dépendance du 4<sup>ème</sup> étage de la structure vis-à-vis de l'excursion de sortie avant et après la modification ( b ) caractéristiques RSB vs Amplitude d'entrée pour 1- une structure limitée en sortie à 90% (en noire) avec les coefficients de Richard Schreier et 2- (en rouge) avec les coefficients modifiés et 3- une structure idéale (en bleue).

**II-4.5.4 Influence de l'Établissement Partiel (Non Complete Settling) :**

La détermination de la précision requise pour garantir un fonctionnement adéquat du convertisseur est l'un des enjeux majeurs de notre modélisation à cause des importantes répercussions qu'a ce paramètre sur l'effort et le temps de conception d'une part et sur l'endurcissement des contraintes imposées aux amplificateurs opérationnels (vitesse de balayage, consommation, marge de phase...) d'autre part. Aussi, nous avons contraint les différentes topologies du modulateur à opérer avec une précision allant de 0 à 10% pour deux cas d'établissements distincts (Paragraphe II-3.3) : le « 1<sup>er</sup> Cas » suppose que les sorties des différents étages du modulateur se situent toujours au-dessous de leur valeur théorique alors que le « 2<sup>ème</sup> Cas » suppose que les sorties des différents étages du modulateur dépassent systématiquement les valeurs théorique. Le premier cas est notablement plus contraignant parce qu'il implique des marges de phases supérieures à  $75^\circ$  pour éliminer toutes possibilités de dépassements (Overshooting) [1]. Les figures II-33 à II-37 présentent les résultats obtenus pour des topologies limitées en sortie à 90%.

**Figure II-33 : Influence du temps d'établissement sur la résolution du convertisseur  $\Sigma\Delta$  CIFB**

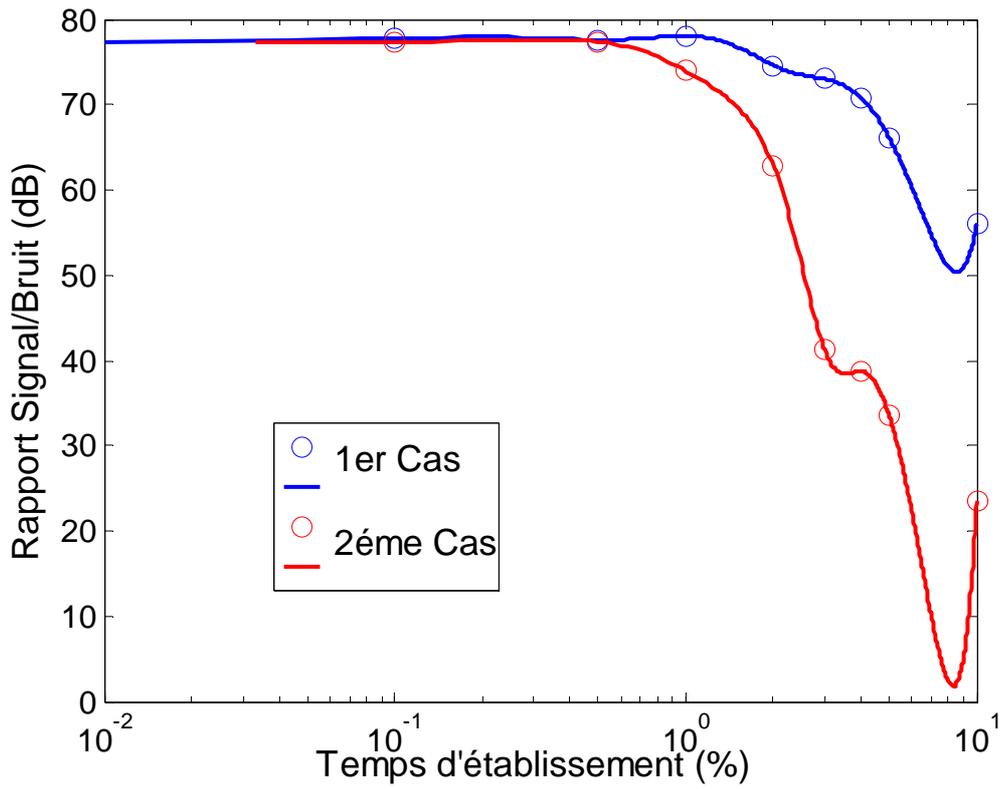


Figure II-34 : Influence du temps d'établissement sur la résolution du convertisseur  $\Sigma\Delta$  CIFF

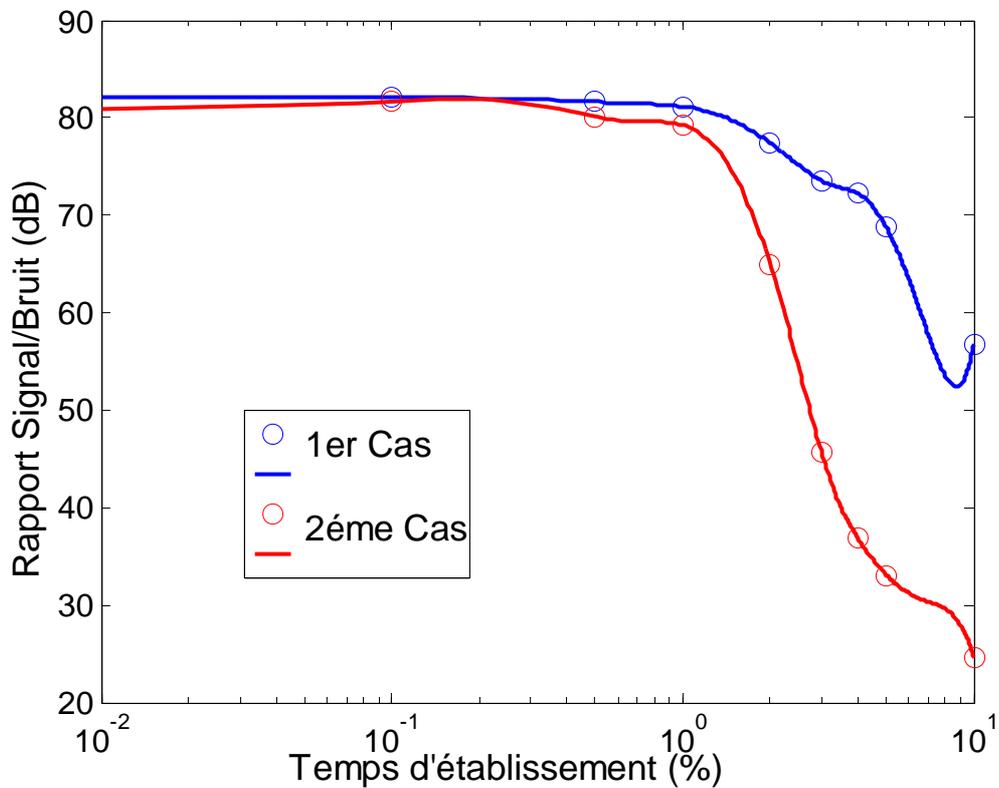


Figure II-35 : Influence du temps d'établissement sur la résolution du convertisseur  $\Sigma\Delta$  CRFF

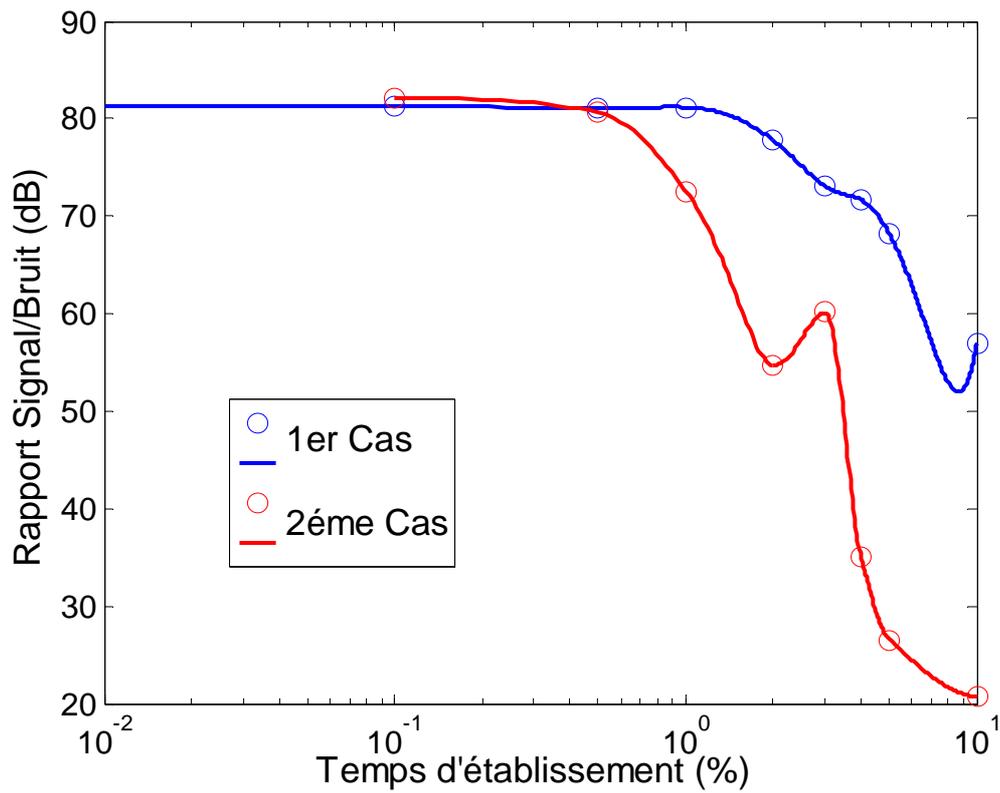


Figure II-36 : Influence du temps d'établissement sur la résolution du convertisseur  $\Sigma\Delta$  CRFB

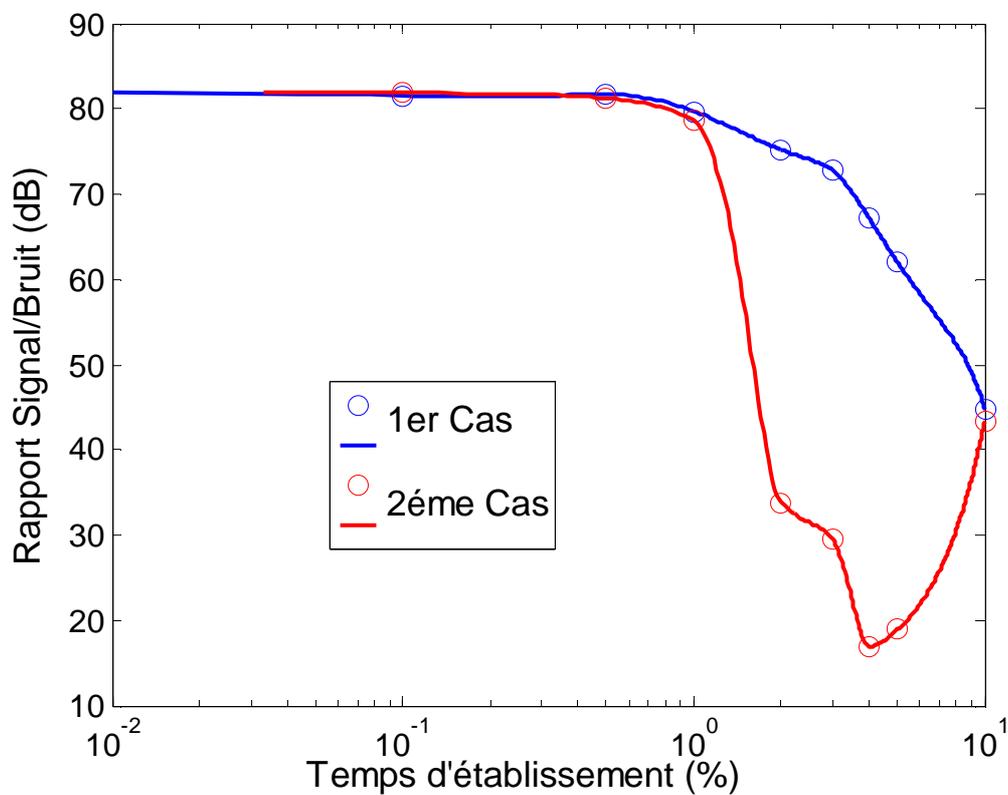


Figure II-37 : Influence du temps d'établissement sur la résolution du convertisseur  $\Sigma\Delta$  CRFB (2)

L'observation des figures II-33 à II-37 permet d'émettre des remarques suivantes :

- 1- Le modulateur  $\Sigma\Delta$  , contrairement à ce qui été attendu, ne nécessite pas une grande précision pour son bon fonctionnement : la simulation structurelle prévoit une résolution tout à fait raisonnable (70dB) avec des amplificateurs opérationnels opérant autour d'une précision de l'ordre de 4%.
- 2- Les écarts en performances se resserrent entre les topologies à base d'intégrateurs et leurs contres-parts à base de résonateurs : ceci est la conséquence de la limitation en sortie fixée à 90%.
- 3- Le comportement des structures étudiées se distingue par l'écart de performances enregistré, après une certaine limite de précision, selon que l'établissement est au-dessous (1<sup>er</sup> Cas) ou au-dessus (2<sup>ème</sup> Cas) des valeurs théoriques.

Se basant sur les résultats relatifs à la relation entre le dépassement (Overshooting) et la marge de phase exposée dans [1] et notre simulation structurelle, on peut énoncer qu'une marge de phase de l'ordre de  $65^\circ$  associée à un temps d'établissement égal à 0.5% constitue un compromis raisonnable pour atteindre l'objectif de résolution fixé à 80dB.

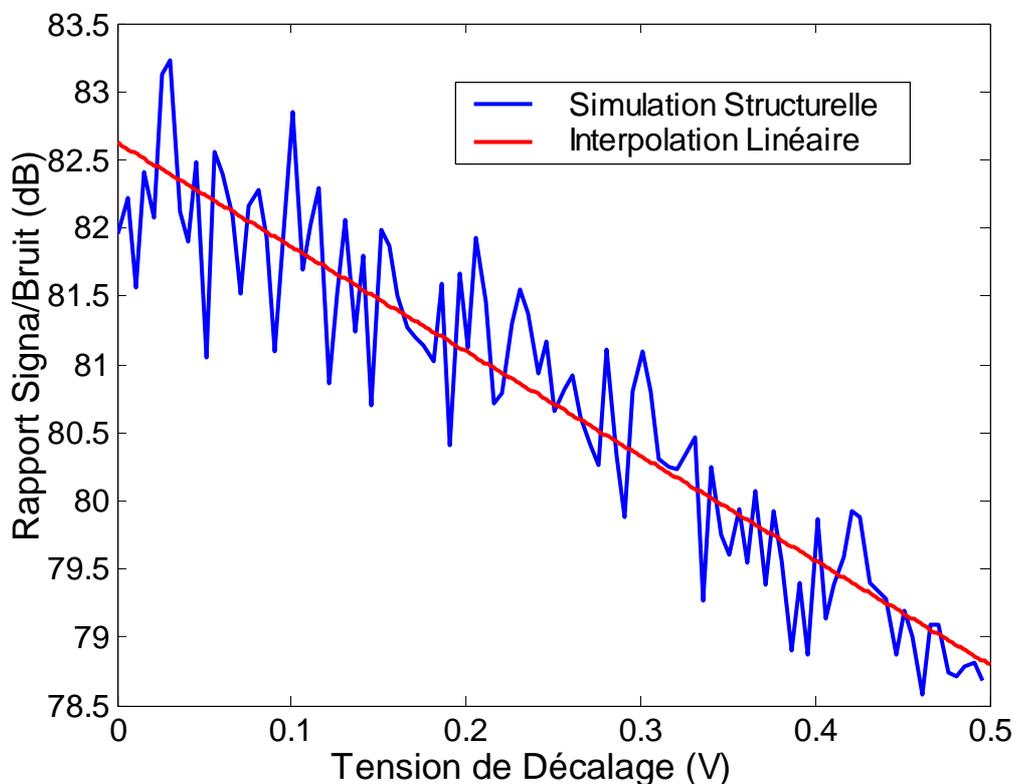
#### **II-4.5.5 Influence de la Tension de Décalage du Comparateur**

Les paragraphes précédents se sont focalisés sur les non idéalités qui touchent aux amplificateurs opérationnels qui constituent les blocs les plus important au sein du modulateur. Néanmoins, le comparateur présent à l'étage de sortie du modulateur est un élément clef du convertisseur et une attention particulière a été accordée lors de sa modélisation (paragraphe II-3.4). Aussi, ce paragraphe est consacré à l'étude de l'influence de la tension de décalage présente à l'entrée du comparateur sur la résolution du convertisseur et les limites tolérables pour chaque structure.

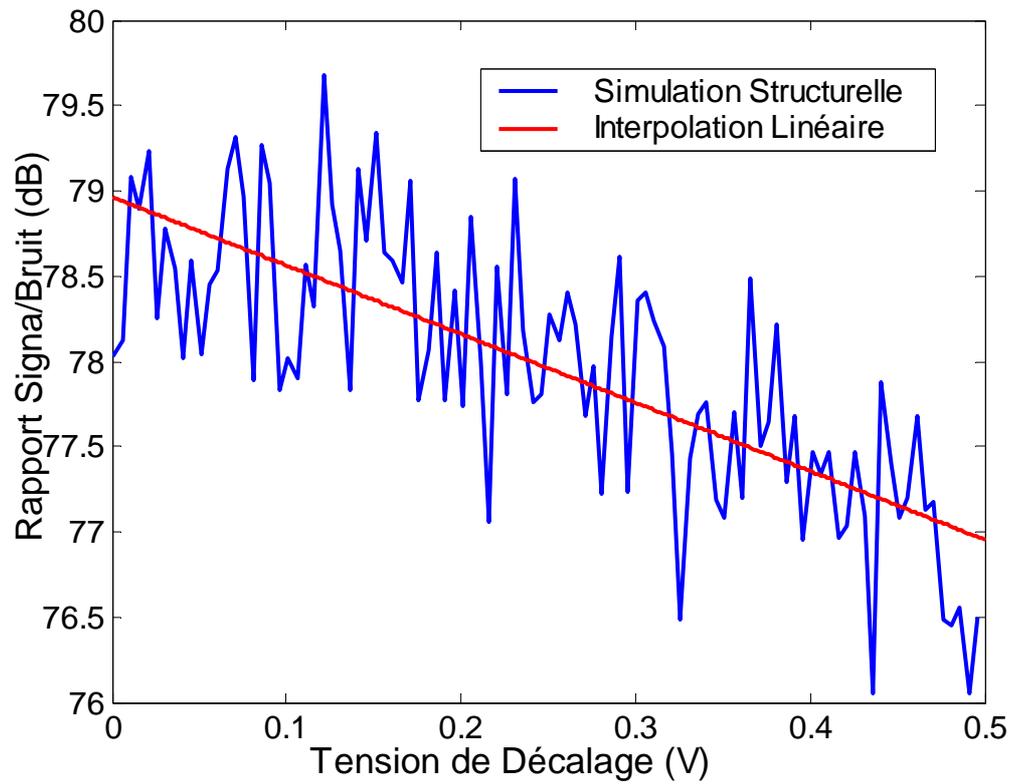
Les figures II-38 à II-42 tracent la dépendance de la résolution du modulateur vis-à-vis de la tension de décalage du comparateur pour des structures limitées en sortie

à 90% avec un établissement à 0.5% des amplificateurs opérationnels (1<sup>er</sup> Cas). Il convient de noter que pour avoir une vue d'ensemble sur l'effet induit sur le RSB nous avons porté les limites de variations de la tension de décalage du comparateur au-delà des valeurs courantes. L'observation des figures Les figures II-38 à II-42 révèlent :

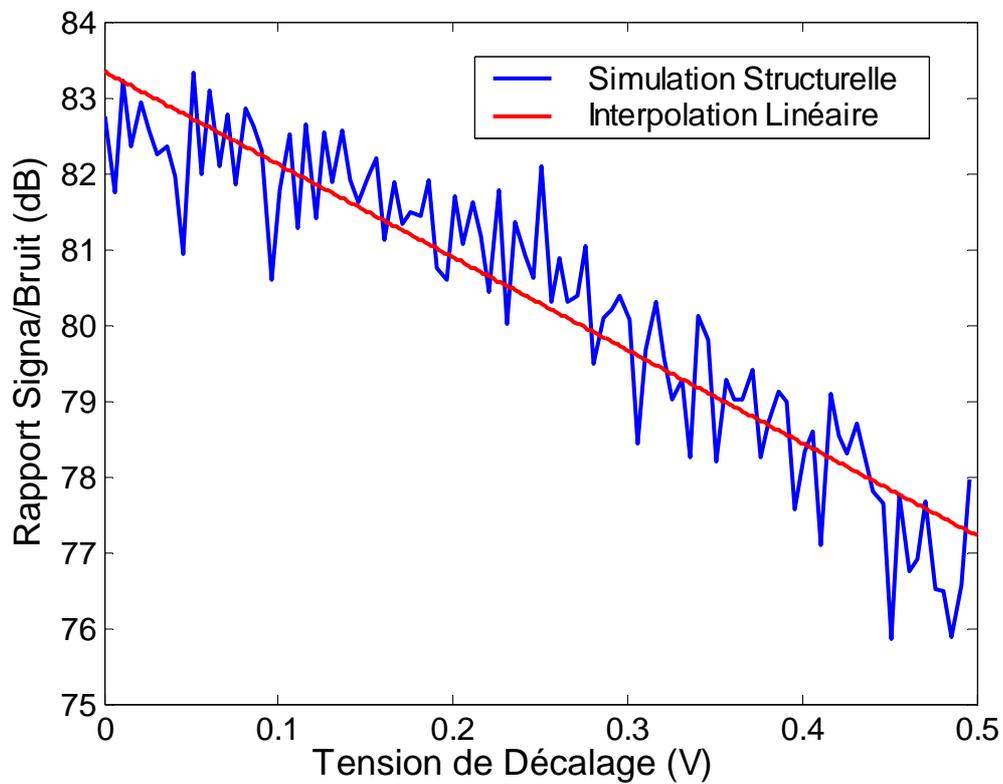
- 1- Une évolution quasi-linéaire du RSB vis-à-vis de la tension de décalage pour toutes les structures étudiées.
- 2- Le modulateur exhibe une très bonne immunité vis-à-vis de la tension de décalage et ne nécessite donc pas un circuit de compensation pour éliminer cette tension.
- 3- Une tension de décalage de quelques millivolts semble même être d'un effet positif sur la résolution du convertisseur. Ceci peut être compris si on garde à l'esprit que la tension de décalage « déplace » la limite de transition du comparateur de son origine et agit semblablement à l'effet de l'hystérésis.



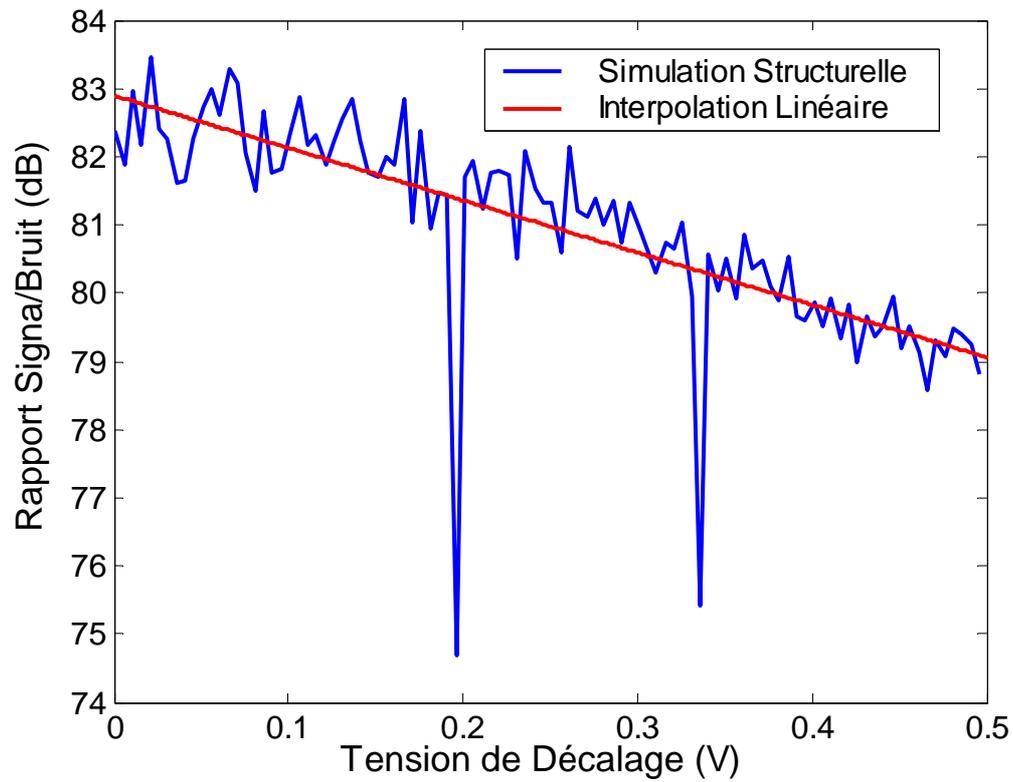
**Figure II-38** : Influence de la tension de décalage du comparateur sur la résolution de la structure CIFB



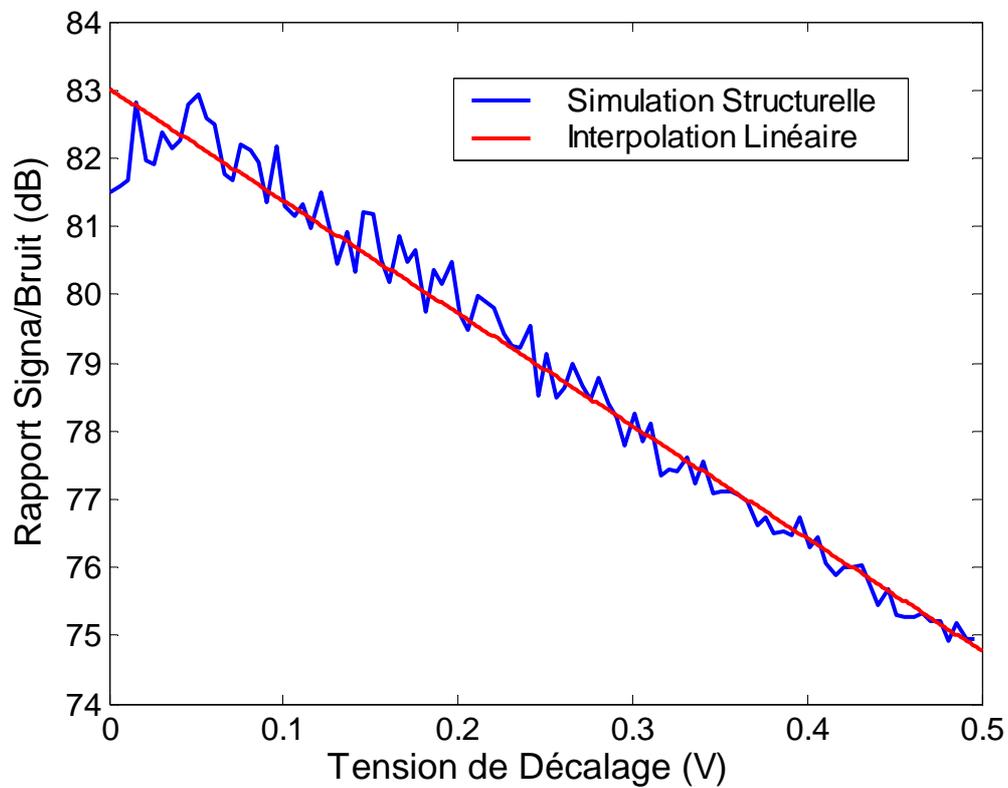
**Figure II-39** : Influence de la tension de décalage du comparateur sur la résolution de la structure CIFF



**Figure II-40** : Influence de la tension de décalage sur la résolution de la structure CRFF



**Figure II-41** : Influence de la tension de décalage du comparateur sur la résolution de la structure CRFB



**Figure II-42** : Influence de la tension de décalage sur la résolution de la structure CRFB(2)

#### **II-4.5.6 Influence de l'Hystérésis du Comparateur**

Comme énoncé au paragraphe II-3.4, l'hystérésis est souvent introduite volontairement par les concepteurs comme un remède à la « frilosité » du signal d'entrée qui est souvent altéré par des sources de bruits d'origines diverses et souvent incontrôlables. Mais la valeur optimum pour cette hystérésis reste à déterminer. Aussi, nous avons fait varier ce paramètre pour des structures non idéales comprenant :

- 1- Une limitation en sortie à hauteur de 90% de la tension d'alimentation.
- 2- Un établissement partiel à 0.5% des valeurs théoriques.
- 3- Une tension de décalage de 15mV est supposée présente à l'entrée du comparateur.

Les résultats obtenus sont illustrés dans les figures II-43 à II-47 où on peut relever qu'avec le bon choix de la valeur de l'hystérésis on peut améliorer la résolution du convertisseur de près de 3dB. Les domaines de conception susceptibles d'apporter cette amélioration sont marqués par les traits discontinus. On peut noter que ces domaines sont suffisamment larges pour résister aux fluctuations des processus technologiques.

#### **II-5 Détermination des Capacités des Condensateurs du Modulateur $\Sigma\Delta$ :**

Jusqu'à présent on ne s'est intéressé au modulateur que comme une succession de boîtes noires (schémas blocs) avec des branches d'entrées et de sorties munies de coefficients déterminant le gain et la fonction de transfert du circuit (Pôles et Zéros). Cette représentation nous a permis de mener l'étude du modulateur et ces différentes topologies en faisant abstraction de l'implémentation du circuit final. Néanmoins, comme énoncé au chapitre I, les coefficients du modulateur (supposant une implémentation SC) doivent être déterminés par des rapports de condensateurs. L'objectif est d'aboutir à des combinaisons de valeurs technologiquement réalisables qui représentent fidèlement la fonction de transfert voulue tout en minimisant la

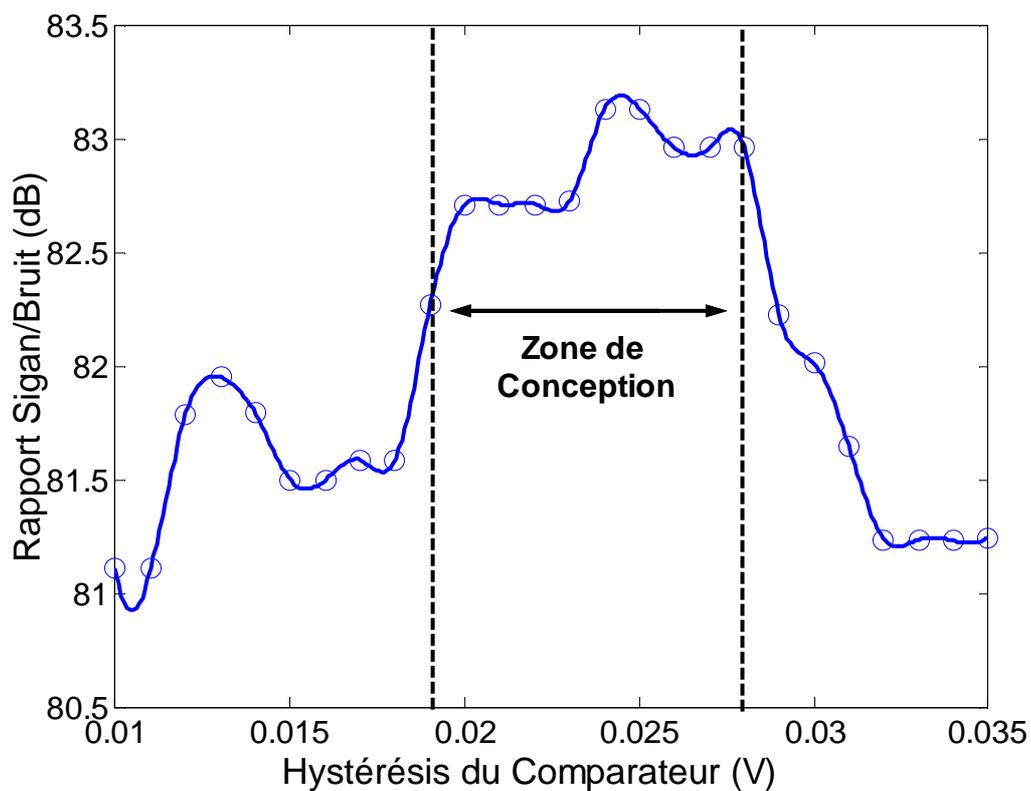
surface occupée. A cet effet, nous avons écrit une routine (Voir code source CalculateCapa.m C) sous MatLab® qui reçoit un tableau contenant les coefficients d'une topologie donnée puis renvoi les valeurs des capacités de la structure.

Pour illustrer la méthode de calcul [9] de ces éléments prenant l'exemple de 4<sup>ème</sup> étage de la structure CRFB(2) (figure II-31) dont l'implémentation est donnée dans la figure II-22. Les règles de conception (Chapitre I) sont comme suit :

$$c_3 = \frac{C_1}{C_I} \quad a_4 = \frac{C_2}{C_I} \quad g_2 = \frac{C_3}{C_I} \quad c_5 = \frac{C_5}{C_{I5}} \quad (\text{II-1})$$

Avec  $C_{I5}$  est la capacité du condensateur de rétroaction du 5<sup>ème</sup> étage.

La détermination des valeurs des condensateurs se fait par « Nœuds Sommateurs » (figure II-48). Aussi, nous nous intéressons ici qu'au calcul des trois premiers coefficients donnés plus haut.



**Figure II-43** : Influence de l'hystérésis du comparateur sur la résolution du modulateur  $\Sigma\Delta$  CIFB

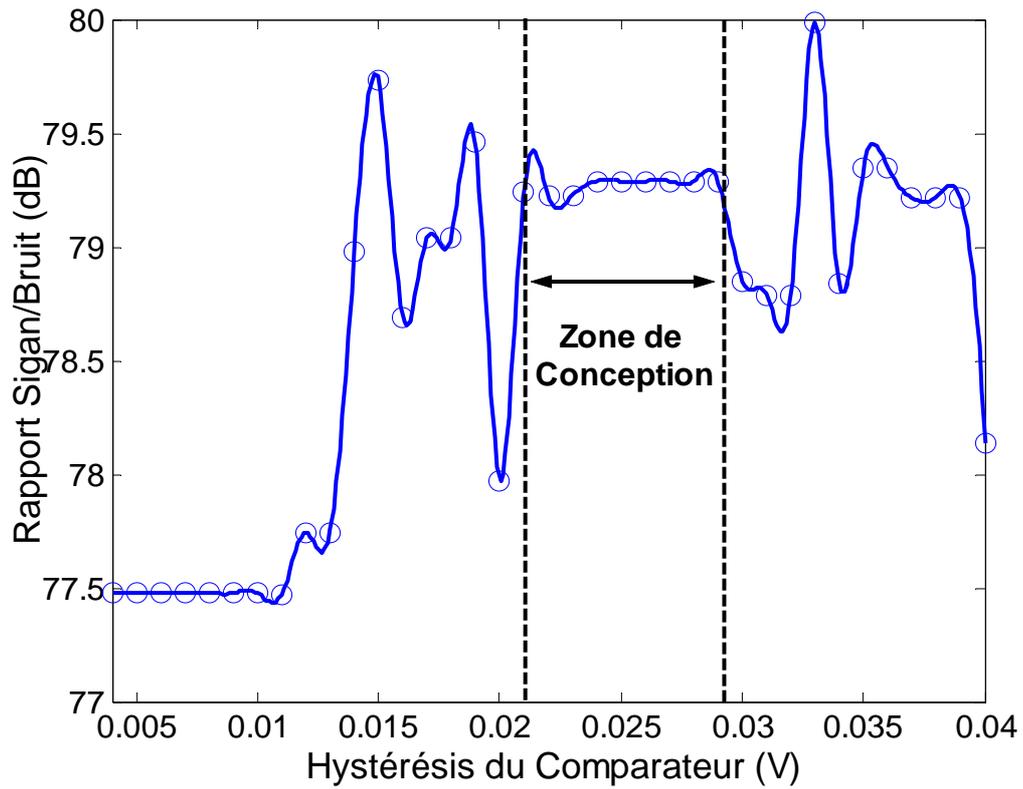


Figure II-44 : Influence de l’hystérésis du comparateur sur la résolution du modulateur  $\Sigma\Delta$  CRFF

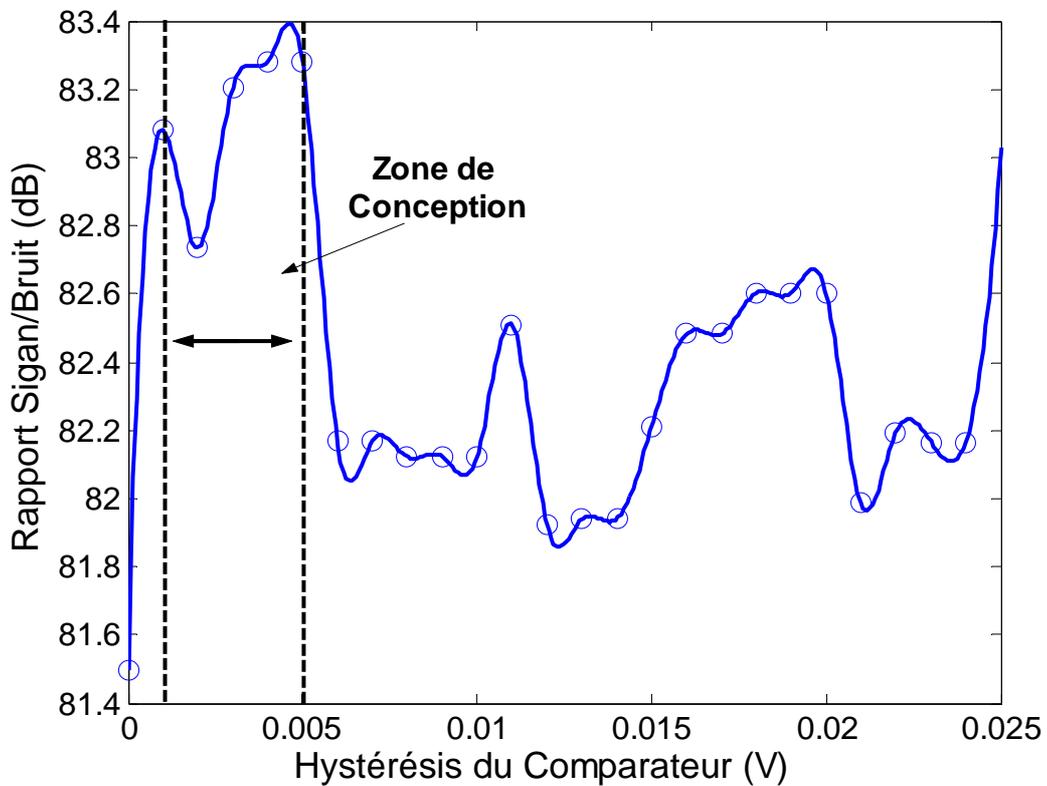
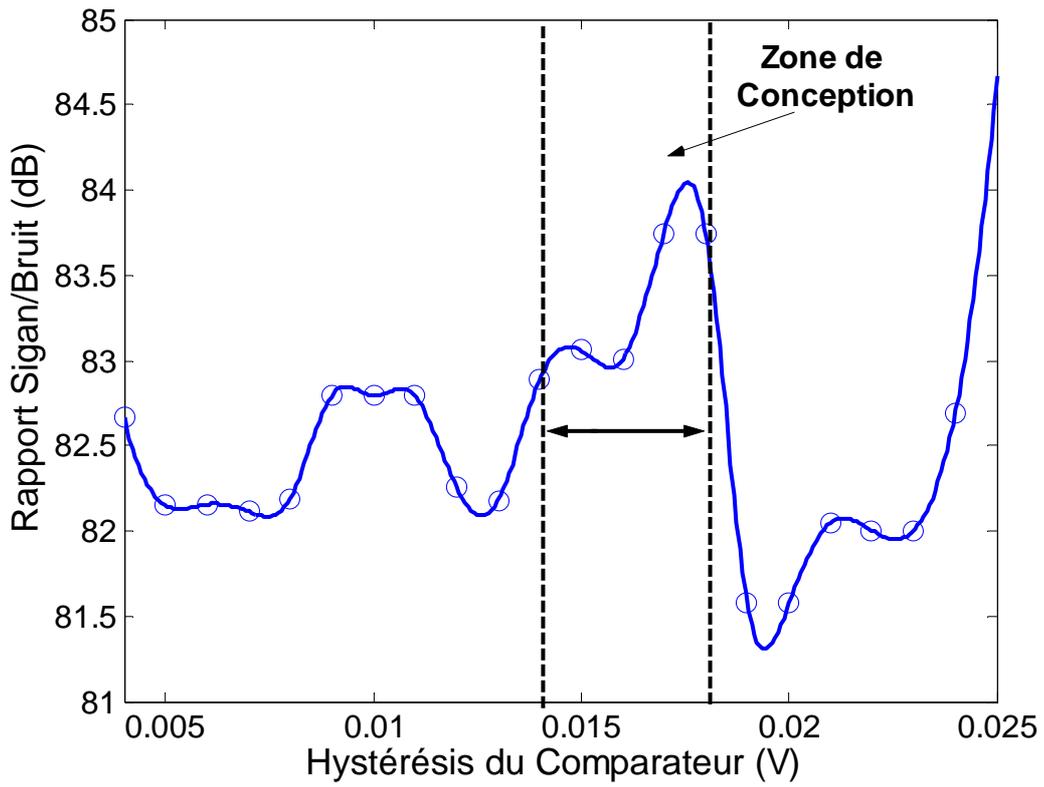
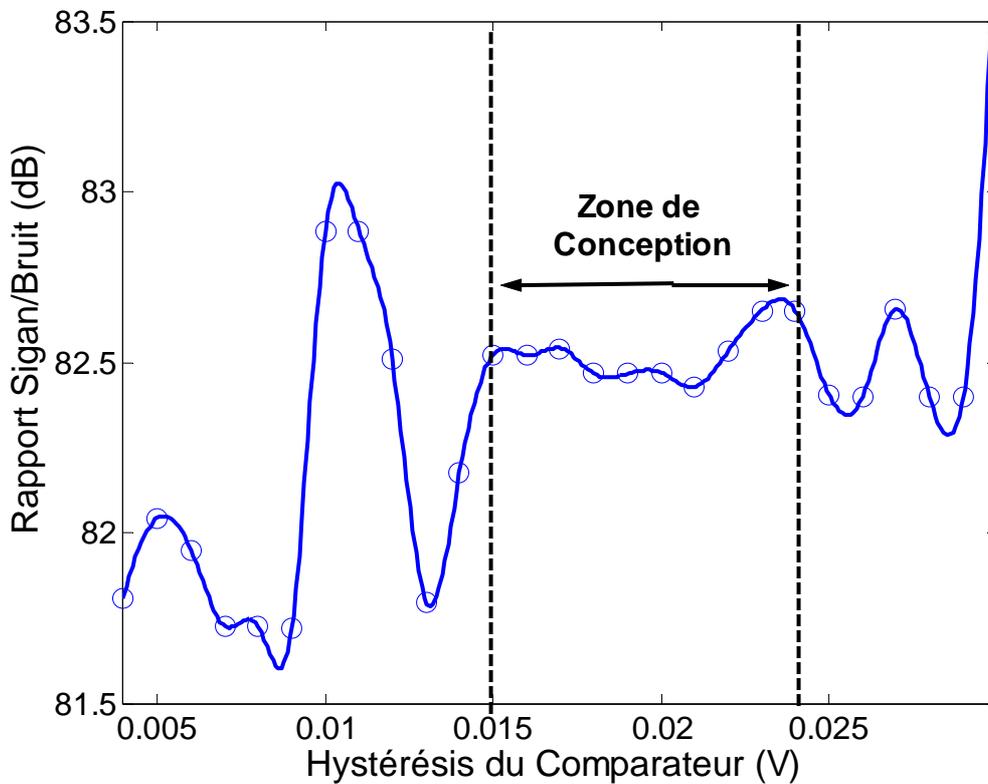


Figure II-45 : Influence de l’hystérésis du comparateur sur la résolution du modulateur  $\Sigma\Delta$  CRFF



**Figure II-46 :** Influence de l’hystérésis du comparateur sur la résolution du modulateur  $\Sigma\Delta$  CRFB



**Figure II-47 :** Influence de l’hystérésis du comparateur sur la résolution du modulateur  $\Sigma\Delta$  CRFB(2)

La procédure commence par une estimation rapide des valeurs des condensateurs (par exemple en fixant  $C_1$  égale à 1) puis suit les étapes donnés par le pseudo code suivant :

$$\begin{aligned}
 C_{Scale} &= \text{Minimum}(C_1, C_2, C_3, C_I) \\
 C_1 &= \left( \frac{C_1}{C_{Scale}} \right) \times C_{MIN} \\
 C_2 &= \left( \frac{C_2}{C_{Scale}} \right) \times C_{MIN} \\
 C_3 &= \left( \frac{C_3}{C_{Scale}} \right) \times C_{MIN} \\
 C_I &= \left( \frac{C_I}{C_{Scale}} \right) \times C_{MIN}
 \end{aligned}
 \tag{II-2}$$

Où  $C_{MIN}$  est la valeur de la capacité minimum acceptable (fixé par l'utilisateur).

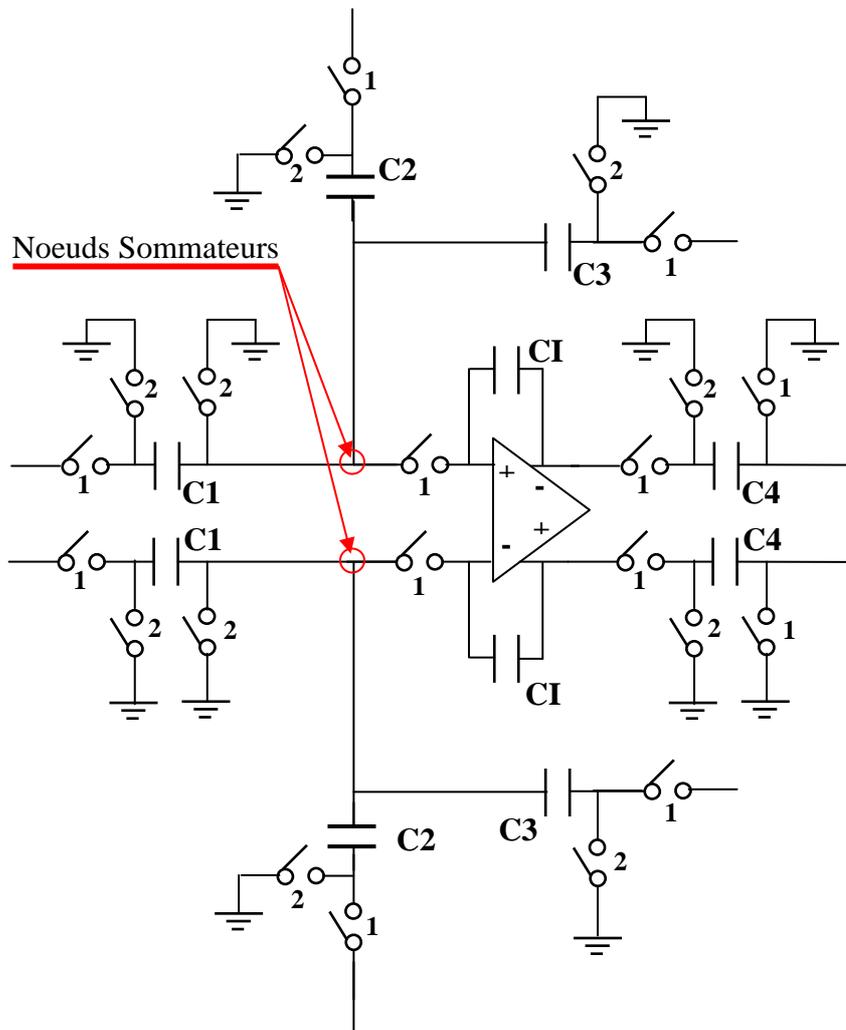


Figure II-48 : Implémentation du schéma bloc de la figure II-31

Le reste des valeurs des condensateurs de la structure sont déterminés d'une façon similaire en répétant la procédure pour chaque nœud sommateur. Une fois cette opération terminée on peut calculer :

- 1- La charge que chaque amplificateur opérationnel doit porter : Ceci est un élément déterminant du niveau de consommation électrique du modulateur.
- 2- La somme de tous les éléments capacitifs des cinq topologies étudiées : cette somme peut être l'élément déterminant de la surface occupé par le circuit.

Le tableau II-11 donne la charge de chaque amplificateur opérationnel et la somme des valeurs de tous les éléments capacitifs pour les cinq topologies étudiées supposant des structures simples (pas d'étage en CDS : Correlated Double Sampling) avec une capacité minimum de 0.5pF pour le premier étage et 100fF pour le reste de la structure.

	Charges pilotées par les amplificateurs opérationnels						Capacité
	Op-amp1	Op-amp 2	Op-amp 3	Op-amp 4	Op-amp 5	Op-amp 6	Totale
CIFB	1,5	4,9	2,5	6,8	0,6	0,4	55,8
CIFF	7,1	12,6	2,7	3	3,1	1	58,4
CRFF	7,1	12,6	1,5	2,2	2	0,6	52,2
CRFB	1,7	4,9	2,5	5,8	0,3	0,3	49,7
CRFB(2)	6	6,9	2,5	5,1	0,6		50

**Tableau II-11** : Charge des amplificateurs opérationnels et capacité totale de structures étudiées (Les valeurs sont en pF).

Les cinq topologies conduisent à des surfaces (occupées par les éléments capacitifs) relativement similaires. Mais l'examen des charges des différents amplificateurs opérationnels implémentant le modulateur révèle que les structures CRFB et CIFB suivie de la structure CRFB(2) exhibent de meilleurs performances (totale capacité de charge égales à 15.5, 16.7 et 21.1pF respectivement) et devons conduire à une consommation électrique moindre.

## **II- 6 Choix de la Structure à Implémenter et Modèle Electrique Idéal :**

### **II- 6.1 Comparaison des Structures**

L'étude comportemental nous a permis de construire une idée plus claire sur les cinq topologies étudiées et d'en comparer leurs avantages et inconvénients. On peut résumer par :

- 1- L'analyse Monte-Carlo a révélée que les structures à base de résonateurs montrent une plus grande immunité vis-à-vis des variations des valeurs des coefficients du modulateur alors que leurs contres-parts, basées sur les intégrateurs, entrent en instabilité plus prématurément.
- 2- La simulation structurelle, et notamment la partie concernant l'excursion de sortie et l'établissement partielle, nous mène à la conclusion que les performances des structures à base d'intégrateurs se dégradent moins avec les non idéalités du circuit et conduisent ainsi à un cahier de charge moins contraignant. Les structures à base de résonateurs et plus particulièrement la structure CRFB(2) a démontrée la nécessité d'un ré équilibrage de ces coefficients afin de prévenir la surcharge précoce du modulateur.
- 3- Le calcul des capacités des structures étudiés pour une implémentation SC révèle que les structures CRFB, CIFB suivis de la structure CRFB(2) conduisent à des amplificateurs opérationnels avec des charges moindres et donc devraient conduire à une économie de la surface et/ou de la consommation électrique.
- 4- La structure CRFB(2) permet de s'affranchir du 6ème ampli-op (implémentant le dernier élément sommateur avant le comparateur) avec en contre partie une légère réduction de la résolution.

Les remarques juste énumérées nous ont amené à choisir la structure CRFB(2) pour l'implémentation final de notre convertisseur. Cette structure, est le meilleur compromis entre résolution et contraintes imposées au cahier de charge. Le paragraphe suivant

introduit le circuit électrique idéal de cette structure implémentée en capacités commutées.

### **II- 6.2 Circuit Electrique du Modulateur $\Sigma\Delta$**

La construction du modèle électrique idéal du modulateur Delta-Sigma du 5<sup>ème</sup> ordre s'effectue en joignant les intégrateurs retardateurs et non retardateurs selon les schémas blocs présentés au Chapitre I. La Figure I-49 présente l'implémentation SC de la structure CRFB(2) . Le circuit comporte :

- 1- Cinq amplificateurs opérationnels totalement différentiels : ces dernier sont modélisés chacun à l'aide de deux sources de tensions commandées par tensions [10].
- 2- Un comparateur différentiel : cet élément est bâtie autour de deux échantillonneurs bloqueurs en plus de quatre commutateurs simulant le fonctionnement des bascules D de sorties dans l'implémentation réel [11].
- 3- Le convertisseur Numérique Analogique 1-bit qui ne doit distinguer que deux niveaux logiques est réalisé à l'aide de simples portes inverseuses.
- 4- Tous les éléments de commutations sont modélisés par des résistances commandées par tension [10].

A cause de l'importance du premier étage du modulateur qui est très sensible aux imperfections du circuit [12][13], il est implémenté par l'intégrateur proposé dans [14] qui use de la technique du double échantillonnage (*Correlated Double Sampling CDS*) pour réduire les effets du bruit  $1/f$  et la tension de décalage.

Le circuit proposé adopte la stratégie de commutation proposée dans [15] pour réduire les effets d'injection de charges et le passage du signal d'horloge [4][1] : concrètement cette technique est basée sur la fermeture anticipée des switches proches des entrées des ampli-ops (signaux d'horloges marqués par l'indice « a » dans la Figure II-49).

**Figure II-49 :** Implémentation du modulateur  $\Sigma\Delta$  du 5<sup>ème</sup> ordre **Partie -I-**. les caractères en minuscules en face des switches indiquent les signaux d'horloges  $\Phi 1$  et  $\Phi 2$  alors que l'indice « a » indique l'avancement du signal d'horloge.

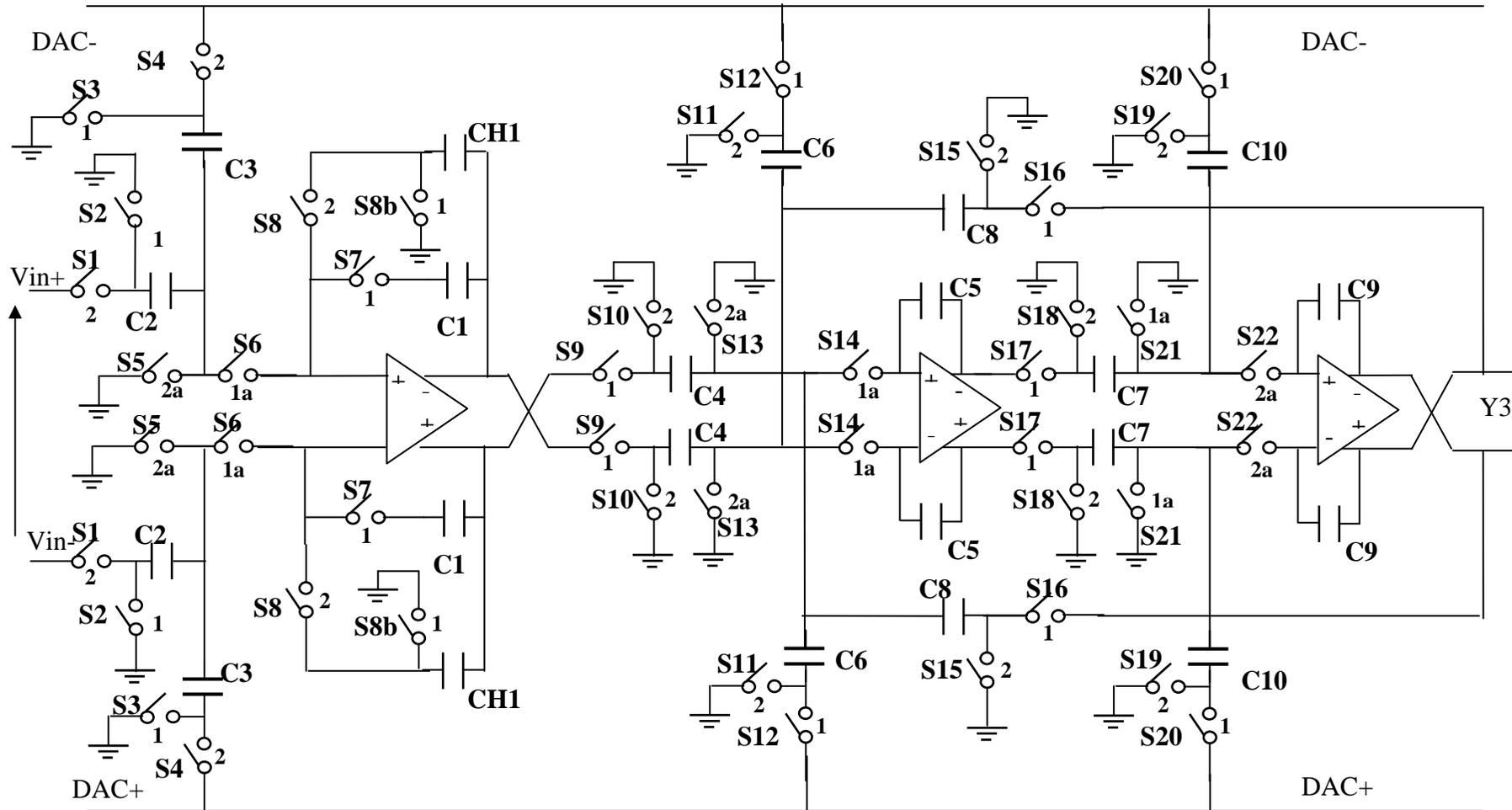
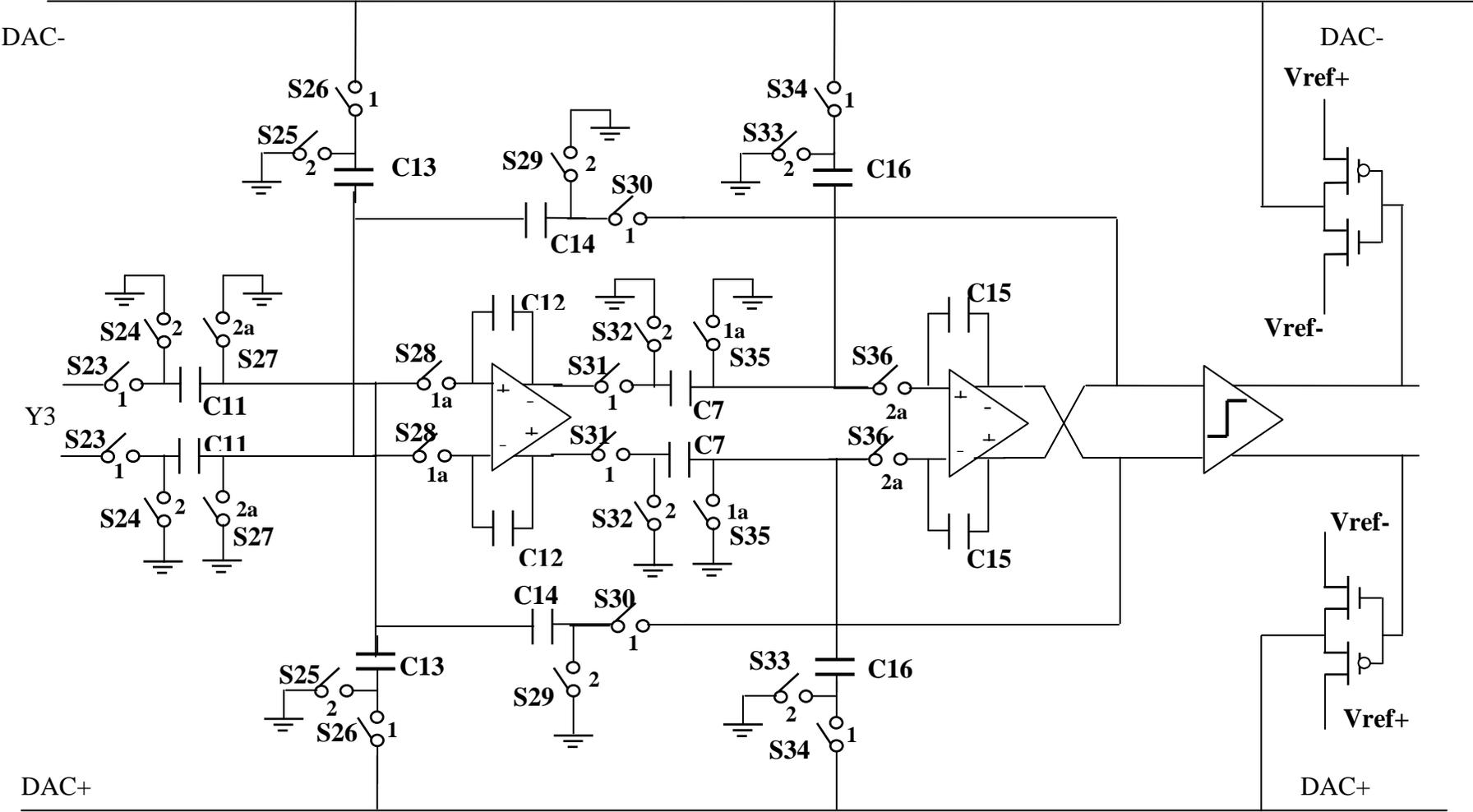
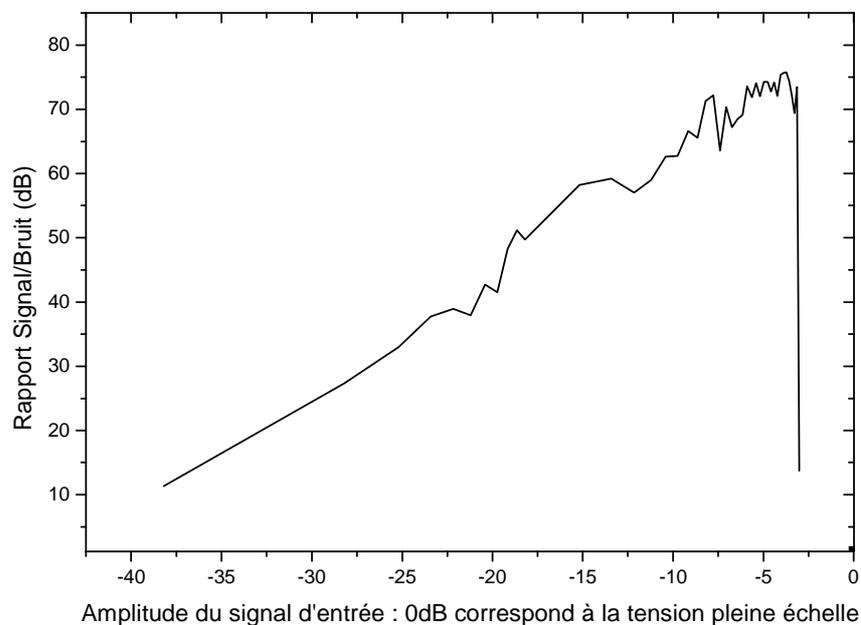


Figure II-49: Implémentation du modulateur  $\Sigma\Delta$  du 5éme ordre **Partie -II-**



Afin de valider le modèle électrique qui constituera un « canevas » pour l'implémentation à transistors nous avons simulé le circuit de la Figure II-49 pour différentes amplitudes d'une sinusoïde d'entrée de fréquence 0.5 MHz pour extraire la caractéristique RSB-ASE de la Figure II-50 : Pour des raisons de temps de simulation excessif la mesure du RSB est effectuée à base d'une analyse FFT de seulement  $2^{11}$  échantillons pour chaque point de la caractéristique.

Le modèle électrique idéal prévoit la surcharge du modulateur à -3,28 dB et un pic de résolution de 75,72 dB.



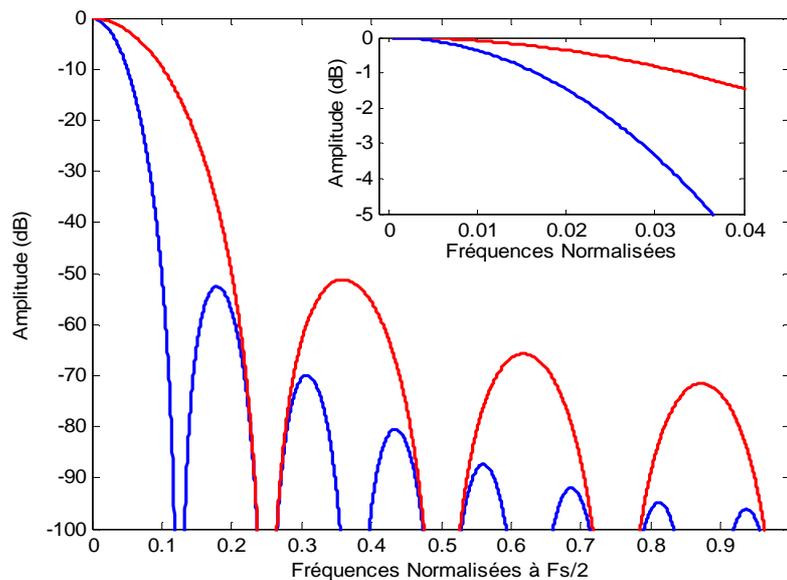
**Figure II-50:** Caractéristique RSB-ASE du modèle électrique idéal du modulateur Delta-Sigma du 5ème Ordre ( $2^{11}$  échantillons pour l'analyse FFT).

### **II- 7 Conception du Filtre Décimateur :**

Le premier étage du filtre décimateur est le filtre Tsinc (Chapitre I), sa conception implique le choix de l'ordre du filtre L et du rapport de décimation M. La

première préoccupation pour le concepteur après l'efficacité du filtrage opéré est le degré d'atténuation apporté à l'extrémité de la bande passante du signal.

A titre d'exemple la Figure II-51 trace les réponses en amplitude de deux filtres Sinc, où on peut constater (Figure d'agrandissement) que la réponse du filtre Sinc n'est pas plate dans la bande passante. La bonne conception du filtre doit mener à une atténuation de moins de 3db afin de faciliter la compensation dans un étage séparé [2].

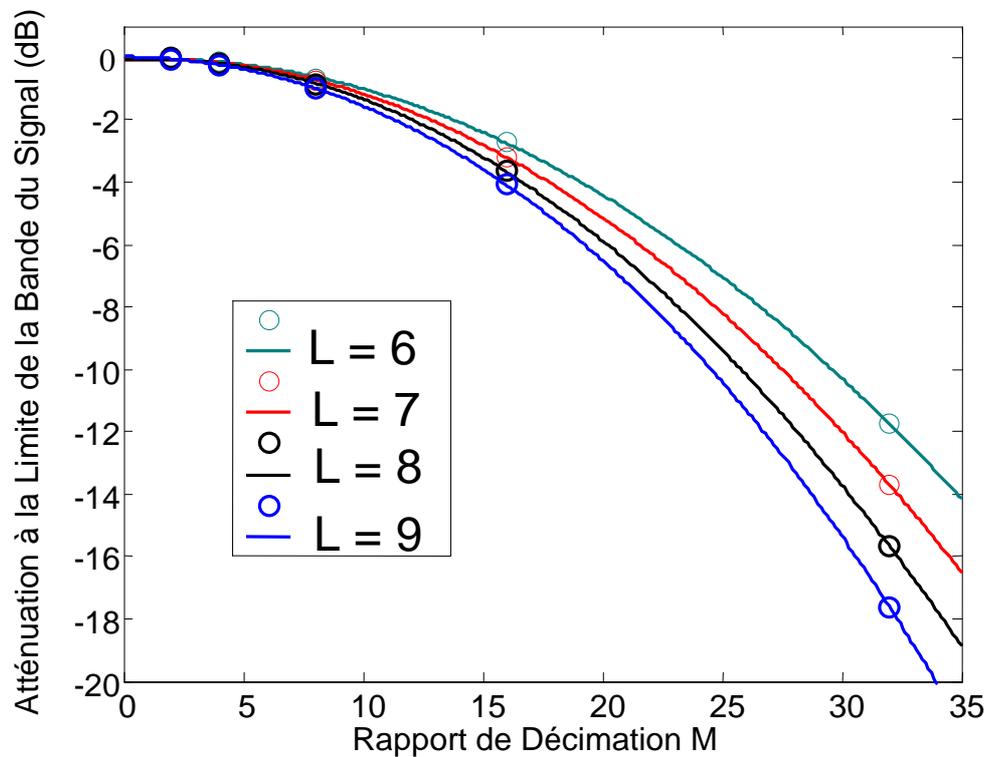


**Figure II-51:** Réponse en Amplitude de deux filtres SINC : (1) en rouge L=6 et M=8  
(2) en bleu L=8 et R=16

La figure II-52 trace l'atténuation apportée par le filtre Sinc en fonction de L et M : plus particulièrement on peut constater qu'avec un filtre d'ordre 6 (soit un ordre de plus que le modulateur ce qui constitue le choix standard pour la plupart des applications [2]) affecte la limite de la bande du signal par -2,73dB pour M=16 alors que cette atténuation augmente à - 4,09dB (soit plus d'un demi bit de résolution) pour un filtre d'ordre 9. Néanmoins, notre choix s'est porté sur un ordre de décimation plus modeste M=8 pour garder l'atténuation maximale au-dessous de 1dB vu que notre application ne prévoit pas un filtre de compensation.

Le choix d'un M=8 (soit une fréquence intermédiaire de  $64\text{MHz}/8=8\text{MHz}$ ) implique la constitution de deux filtre demi-bande pour la décimation final à 2MHz. A

cet effet nous avons utilisé une cascade de deux filtres HBF identiques présenté dans [16].



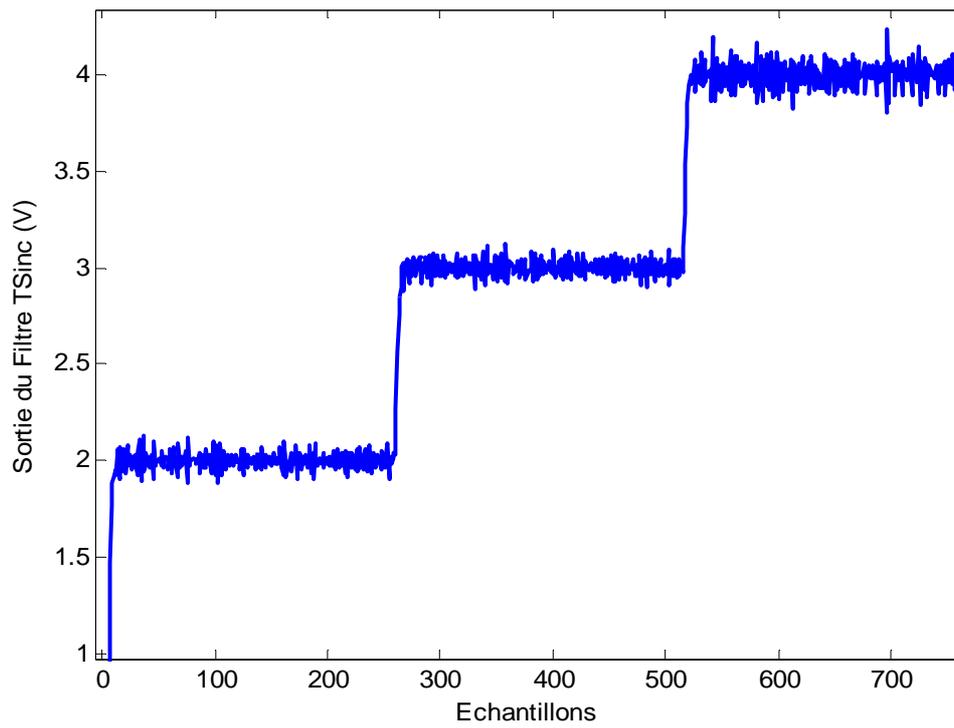
**Figure II-52:** Atténuation maximal à la limite de la bande du signal apportée par le filtre Sinc en fonction rapport de décimation M et du degré du filtre L.

Le Tableau II-12 donne le RSB et la résolution effective en bits de convertisseurs décimation pour trois valeurs de L. Il en ressort qu'un filtre Sinc d'ordre 7 est le plus approprié pour notre application.

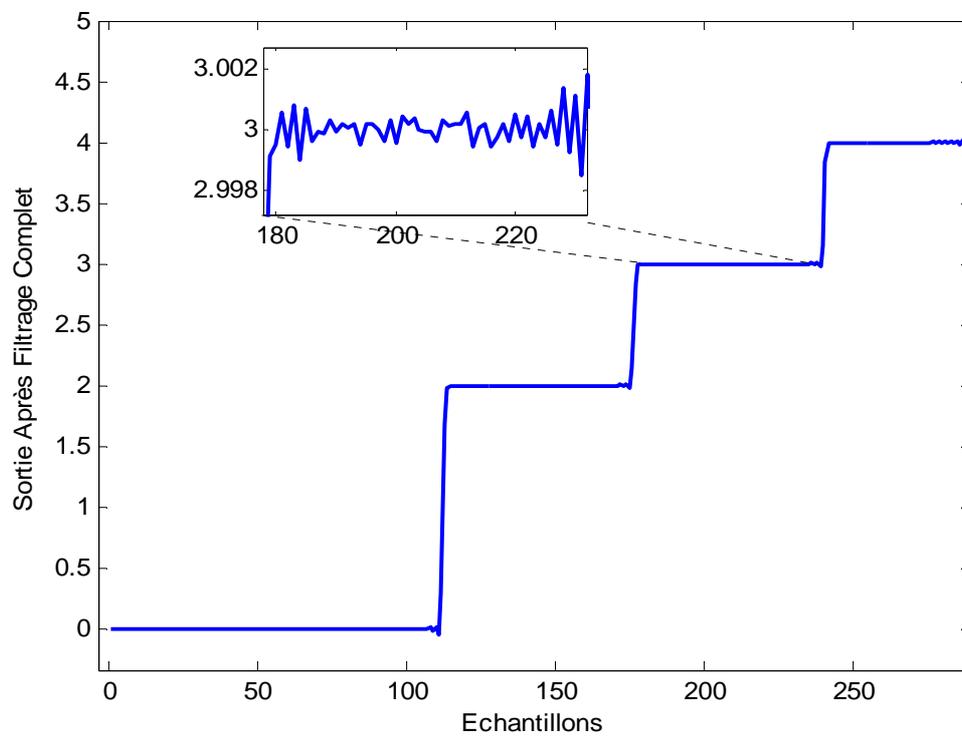
Ordre du filtre Sinc	RSB (dB)	Résolution Effective bits
6	79,61	13.26
7	85.5	14.25
8	83,62	13,93

**Tableau II-12 :** RSB et résolution effective du convertisseur A/N après décimation.

Les Figures II-53 (a) et (b) donnent respectivement la réponse du convertisseur Delta-Sigma à des paliers de tensions allons de 1 à 2 Volts après filtrage Sinc (L=7 et M=8) puis après décimation complète.



(a)



(b)

**Figure II-53 :** (a) Réponse du convertisseur après filtrage Sinc et (b) réponse après décimation complète.

---

Sur la figure II-53 (b) (agrandissement) il apparaît que même en présence d'un niveau constant d'entrée (DC) la sortie du convertisseur est en perpétuel changement. Ce changement de code [11][2] appelé aussi « renflement » est l'une des caractéristiques des convertisseurs Delta-Sigma.

## **II- 8 Conclusion**

La boîte à outils Delta sigma nous a permis de concevoir la fonction de transfert du modulateur et d'en étudier les performances pour cinq topologies différentes en termes de résolution, rang dynamique et d'immunité vis-à-vis des déviations des coefficients.

La modélisation structurelle a permis de tirer un cahier de charge pour les amplificateurs opérationnels et le comparateur qui constituent le convertisseur.

Un circuit électrique idéal est construit pour valider et vérifier le modèle théorique.

# **CHAPITRE III**

## **SYNTHESE BAS NIVEAU ET DIMENSIONNEMENT DES TRANSISTORS**

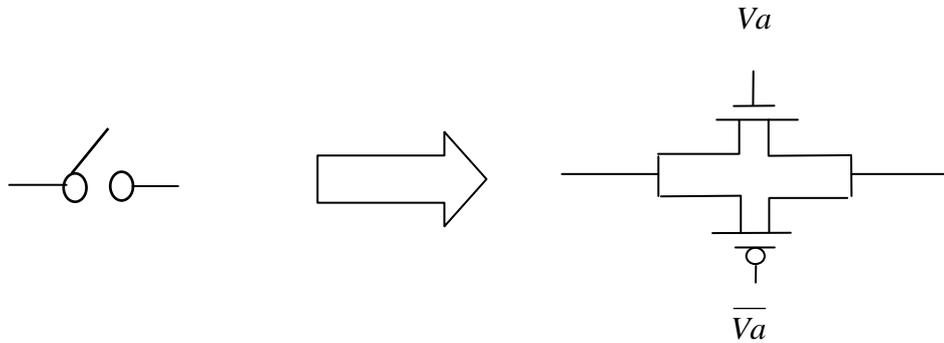
### **III- 1 Introduction**

Ce chapitre détaillera les méthodes utilisées pour la synthèse bas niveau des blocs fonctionnels constituant le modulateur Delta-Sigma que nous avons étudié au chapitre II. Chaque élément est conçu séparément en tenant compte des interactions possibles avec les autres blocs qui lui sont interconnectés puis remplacé dans le circuit idéal développé au chapitre II.

Les amplificateurs opérationnels qui sont les éléments les plus importants de la structure sont conçus tous d'abord par une méthode directe et puis à l'aide d'un Algorithme Génétique dont les détails sont explicités dans l'Annexe B. Tous les autres blocs sont conçus avec les méthodes classiques.

### III- 2 Dimensionnement des Switches

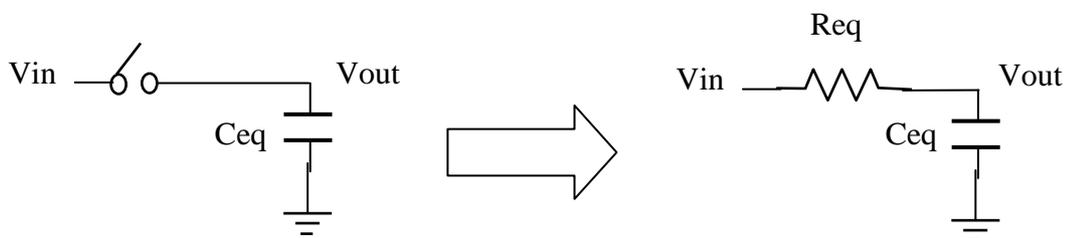
La première étape dans la synthèse bas niveau du modulateur est le remplacement des commutateurs idéaux de la Figure II-49 par des portes passantes (Pass Gates) comme illustré sur la Figure III-1.



**Figure III-1** : Implémentation des Switches

Notre choix s'est porté sur une configuration complémentaire avec des dimensions géométriques égales pour le NMOS et le PMOS pour augmenter l'excursion du signal [2] et réduire la résistance de passage ( $R_{on}$ ).

Afin d'expliquer la méthode de détermination des dimensions géométriques de chaque élément, considérons le modèle simplifié de la Figure III-2 où on a remplacé le commutateur en état passant (ON) par une résistance  $R_{eq}$  et le réseau de condensateur que le commutateur en question devra *piloter* par un seul élément capacitif  $C_{eq}$ .



**Figure III-2** : Modélisation du Switch

L'évolution de la tension au bords du condensateur dans le domaine temporel est bien connue et peut se mètre sous la forme :

$$V_{out}(t) = V_{in} \left( 1 - e^{-\frac{t}{R_{eq} C}} \right) \quad (\text{III-1})$$

Gardant à l'esprit que pour un bon fonctionnement du système, la tension  $V_{out}$  doit atteindre la valeur souhaitée (avec la précision fixée par le RSB) avant la fin de la phase active du signal d'horloge  $t_p$  ( $t_p$  est égal à la moitié de la période  $T$ ), on peut réaménager (III-1) sous la forme :

$$\frac{1}{R_{eq}} = \frac{C_{eq}}{t_p} \ln \left( \frac{V_{in}}{V_{out} - V_{in}} \right) \quad (\text{III-2})$$

On peut remarquer que le terme entre les crochés du logarithme népérien n'est autre que le RSB

$$\frac{1}{R_{eq}} = \frac{C_{eq}}{t_p} \ln(RSB) \quad (\text{III-3})$$

Etant donnée que la résistance du Switch est inversement proportionnelle aux dimensions géométriques des transistors :

$$\frac{1}{R_{on}} = \alpha \frac{W}{L} \quad (\text{III-4})$$

Et plus particulièrement on peut écrire pour un Switch de dimensions minimales :

$$\frac{1}{R_{Max}} = \alpha \left( \frac{W}{L} \right)_{Min} \quad (\text{III-5})$$

Si on fixe la longueur du canal  $L=L_{min}$  pour tous les transistors de telles façons qu'on aura qu'à déterminer  $W$  et en combinant (III-3) et (III-4) puis en remplaçant le résultat dans (III-3) On aura :

$$W = \frac{W_{Min} R_{Max} C_{eq} \ln(SNR)}{t_p} S \quad (III-5)$$

Où «  $S$  » dénote un facteur de « Sécurité » pour prendre en compte la non linéarité du Switch et les variations du processus technologique. Ce facteur a été fixé à 1,5. La largeur minimale du Switch  $W_{min}$  a été fixée à  $1\mu\text{m}$  pour éviter les effets non désirables des dimensions trop réduites alors que la longueur  $L$  est prise égale à  $0.4\mu\text{m}$  (dimension minimale).

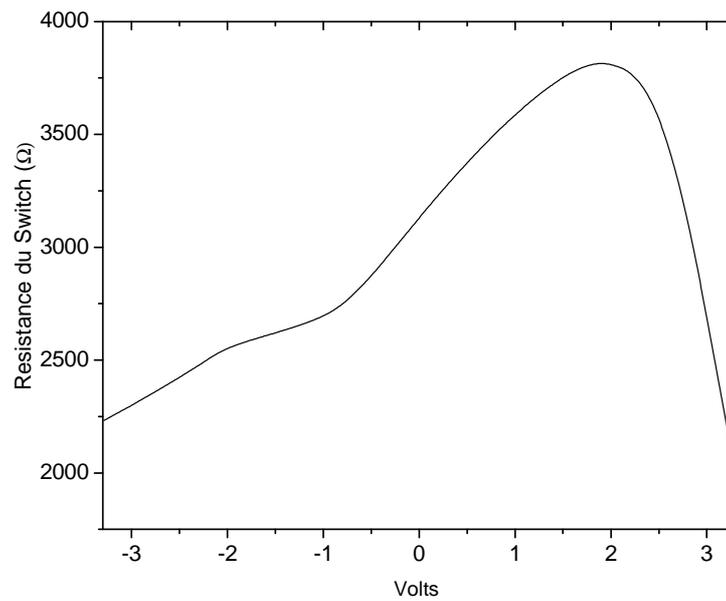
Ainsi, la synthèse des Switches de la structure passe par la détermination de la résistance  $R_{Max}$  d'un commutateur de dimensions minimales en état passant et les capacités équivalentes de chaque Switch.

### **III- 2.1 Résistance d'un Switch de Dimensions Minimales**

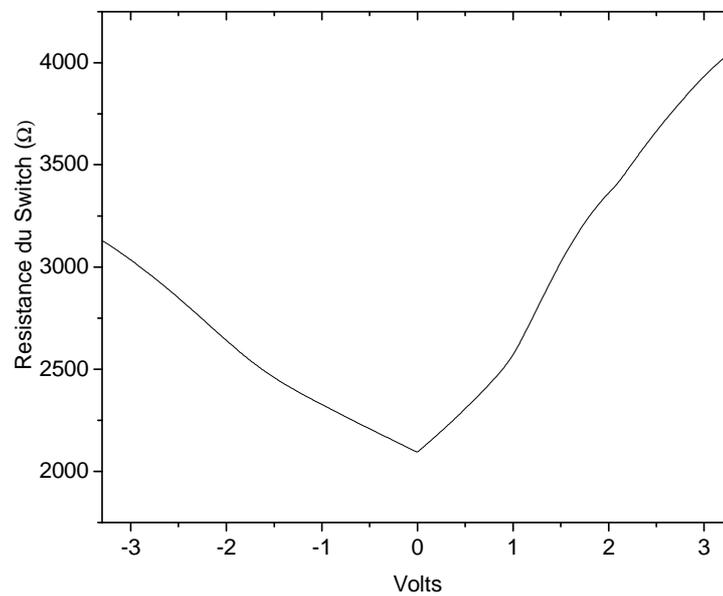
La détermination de la résistance maximale d'une porte passante de dimensions minimal  $R_{max}$  dans le cas le plus défavorable s'est basée sur les données de caractérisation fournies par MOSIS (voir annexe A pour les paramètres du Processus AMI-C3 035 $\mu\text{m}$  Lot t46w) [17].

Pour recréer les conditions de fonctionnement les plus défavorables nous avons porté l'un des terminaux du Switch (Figure III-1) à des potentiels fixes (-3.3V 0V et +3.3V) puis fait varier l'autre dans les limites des tensions d'alimentations. Les Figures III-3 à III-5 donnent respectivement les valeurs de la résistance  $R_{max}$  pour les trois cas cités.

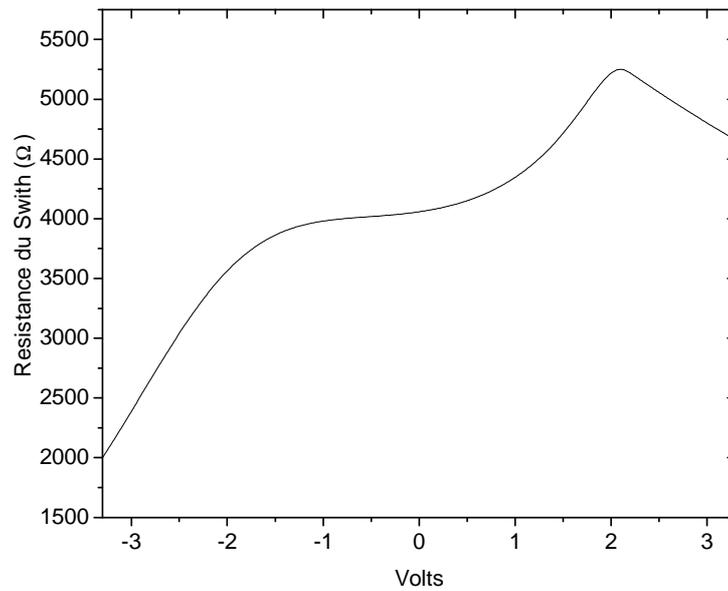
Notre simulation donne le cas où l'un des terminaux du Switch est porté à +3.3V comme étant le plus défavorable avec un pique de résistance de  $5250\Omega$ . Aussi, c'est cette valeur que nous prendrons dans notre calcul.



**Figure III-3 :** Simulation de la résistance  $R_{on}$  d'un Switch de dimensions minimales ( $W/L=1\mu m / 0.4\mu m$ ) avec un bord du Switch porté à  $-3.3V$



**Figure III-4 :** Simulation de la résistance  $R_{on}$  d'un Switch de dimensions minimales ( $W/L=1\mu m / 0.4\mu m$ ) avec un bord du Switch porté à  $0V$



**Figure III-5 :** Simulation de la résistance  $R_{on}$  d'un Switch de dimensions minimales ( $W/L=1\mu m / 0.4\mu m$ ) avec un bord du Switch porté à  $+3.3V$

### III- 2.2 Capacité Equivalente Piloté par Chaque Switch

Le Tableau III-1 donne Les dimensions des transistors de commutation de la structure calculées pour un  $RSB=85dB$  suivant les capacités équivalentes vues par chaque Switch. Les noms des Switches et des Condensateurs sont ceux de la Figure II-49.

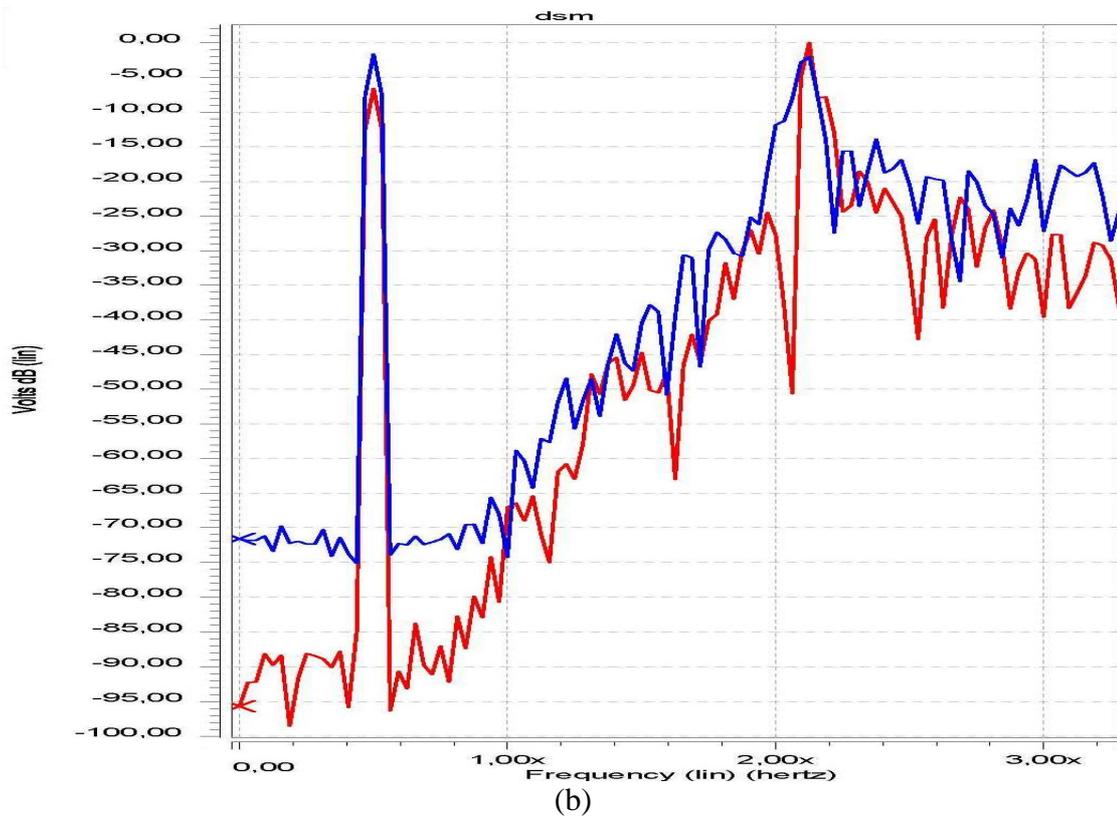
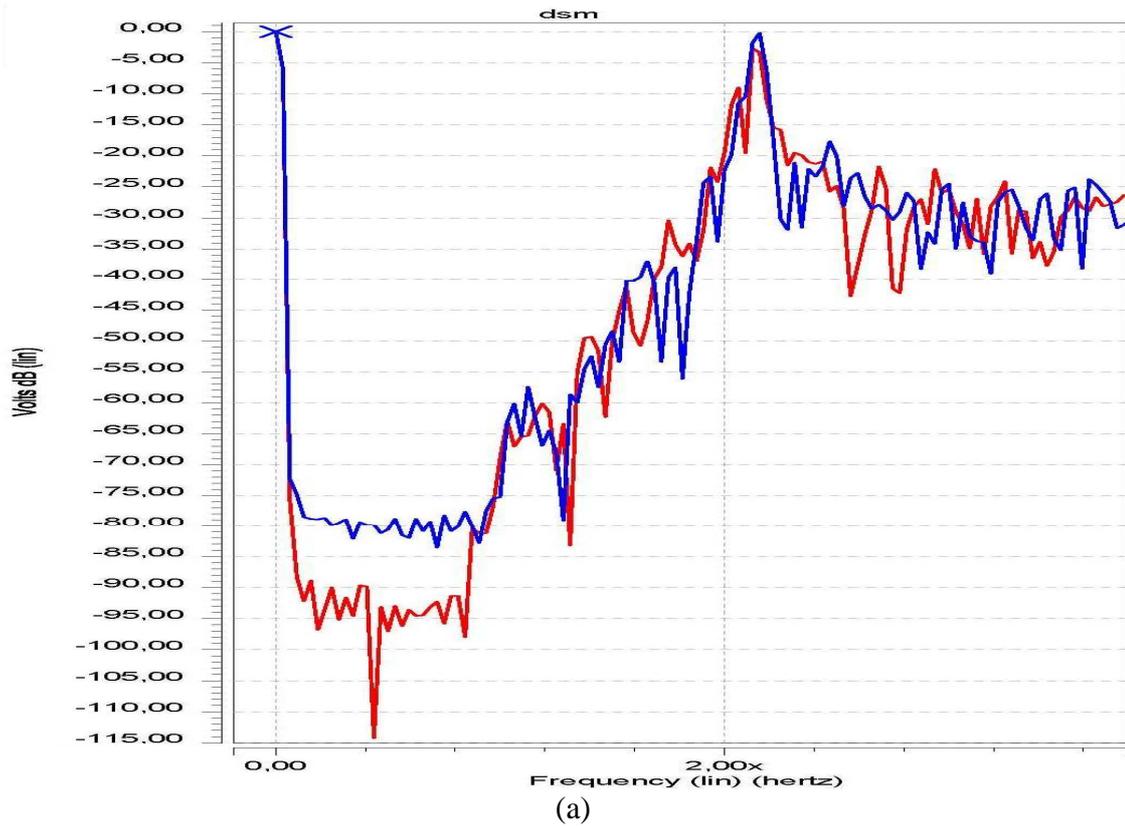
Pour des raisons qui seront expliquées au prochain paragraphe, les dimensions des Switches dont les noms sont marqués par une étoile, ont été doublées.

Les figures III-6 (a) et (b) illustrent respectivement la densité spectral du signal de sortie du modulateur Delta Sigma pour un signal continu de 1V et un signal alternatif constitué d'une sinusoïde de fréquence 0.5 MHz et d'amplitude 1V : Les courbes en bleue sont ceux du modèle électrique idéal alors qu'en rouge est le circuit avec switches CMOS.

Switch	Capacité à Commander	Valeur (pF)	Dimension $W$ du Switch ( $\mu\text{m}$ )
S1 ; S2	C2	0,5	11
S3 ; S4 (*)	C3	0,5	22
S5 ; S6	C2 // C3	1	23
S7	C1	5	114
S8 ; S8b	CH1	0,5	11
S9 ; S10	C4	0,9	20
S11 ; S12 (*)	C6	1,1	50
S13 ; S14	C6 // C8 // C4	2,1	48
S15 ; S16	C8	0,1	2
S17 ; S18	C7	0,1	2
S19 ; S20 (*)	C10	0,1	4
S21 ; S22	C7 // C10	0,2	5
S23 ; S24	C11	1,8	41
S25 ; S26 (*)	C13	1,7	78
S27 ; S28	C11 // C13 // C14	3,6	82
S29 ; S30	C14	0,1	2
S31 ; S32	C17	0,1	2
S33 ; S34 (*)	C16	0,1	4
S35 ; S36	C17 // C16	0,2	5

**Tableau III-1 :** Dimensions des transistors de commutations et Capacités équivalentes vues par les Switches de la structure.

Les simulations démontrent que l'introduction des commutateurs CMOS au lieu des switches idéaux n'apporte pas un grand changement à la fonction de transfert du modulateur. Néanmoins, on note le déplacement du seuil de bruit (Noise Floor) de l'ordre de 15 dB.

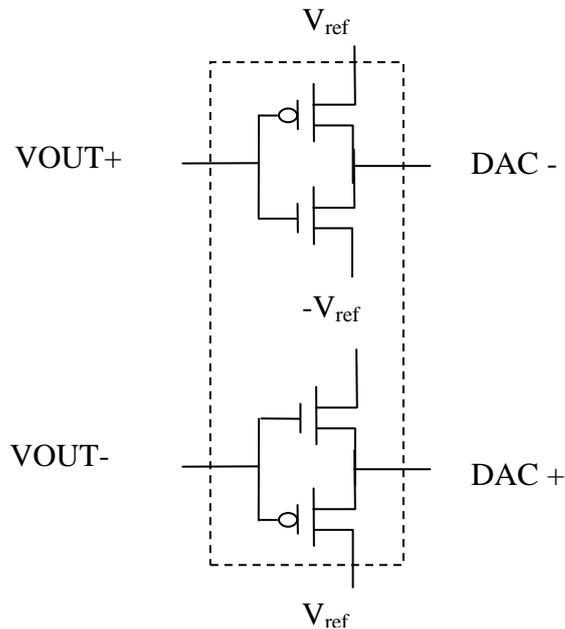


**Figure III-6 :** Densité spectrale du signal de sortie du modulateur Delta Sigma idéal (en rouge) et avec les Switches CMOS (en bleue) : (a) avec un signal d'entrée continu 1V et (b) avec un signal alternative de même amplitude.

### III- 3 Synthèse du Convertisseur Numérique Analogique 1-Bit

La synthèse du Convertisseur N/A 1-bit est rendu trivial à cause de la nature même de la structure implémentée comme cela est montré dans la Figure III-7. Les dimensions des transistors de ce bloc sont fonction des Switches qui leurs sont attachés. Ainsi, pour que les deux inverseurs (qui agissent comme des commutateurs) arrivent à passer correctement les tensions analogiques  $\pm V_{ref}$  nous avons fixé leurs  $(W/L)_s$  au double de la somme des dimensions de tous les Switches qui leurs sont attachés.

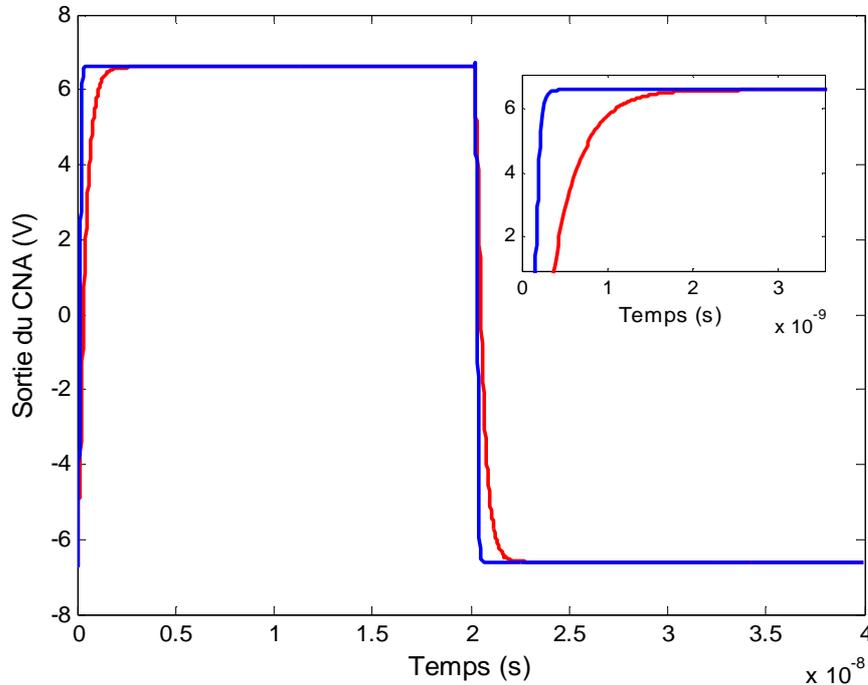
D'un autre coté, une précaution supplémentaire est prise en doublant les dimensions des transistors attachés au CNA (comme mentionné au paragraphe précédent) étant donné que les tensions de références qui doivent être rétro passées aux différents étages de la structures traversent deux commutateurs.



**Figure III-7 :** Convertisseur Numérique Analogique 1-bit pour le modulateur Delta Sigma

La figure III-8 trace la réponse du CNA 1-bit conçu dans le domaine temporel : On peut observer que ce bloc fonctionnel satisfait les exigences d'un établissement durant un période inférieure ou égale à 7ns (un demi la période d'échantillonnage de 64

MHz) même pour le cas où on a connecté deux condensateurs de valeur 10pF (représentant les éléments parasites) à la sortie du CNA.



**Figure III-8** : Réponse transitoire du CNA 1bit conçu : (en bleue) avec une charge de 1pF (en rouge) avec une charge de 10pF

### **III- 4 Synthèse du Comparateur**

Le comparateur est l'élément le plus important de la structure après les amplificateurs opérationnels. Toutefois, l'effet de la rétroaction de la boucle du modulateur relaxe sensiblement les exigences relatives à la tension de décalage et d'hystérésis (Chapitre II).

Pour notre application, nous avons opté pour le comparateur de Yukawa [18] (Figure III-9) auquel on a enlevé l'étage de pré amplification comme il est d'usage dans ce type d'application [2]. La détermination des dimensions géométriques des transistors de la structure s'est faite en extrapolant le design présenté dans [2] que nous avons adapté au processus visé (AMIS 0.35 $\mu$ m). Le tableau III-2 donne les dimensions de chaque transistor.

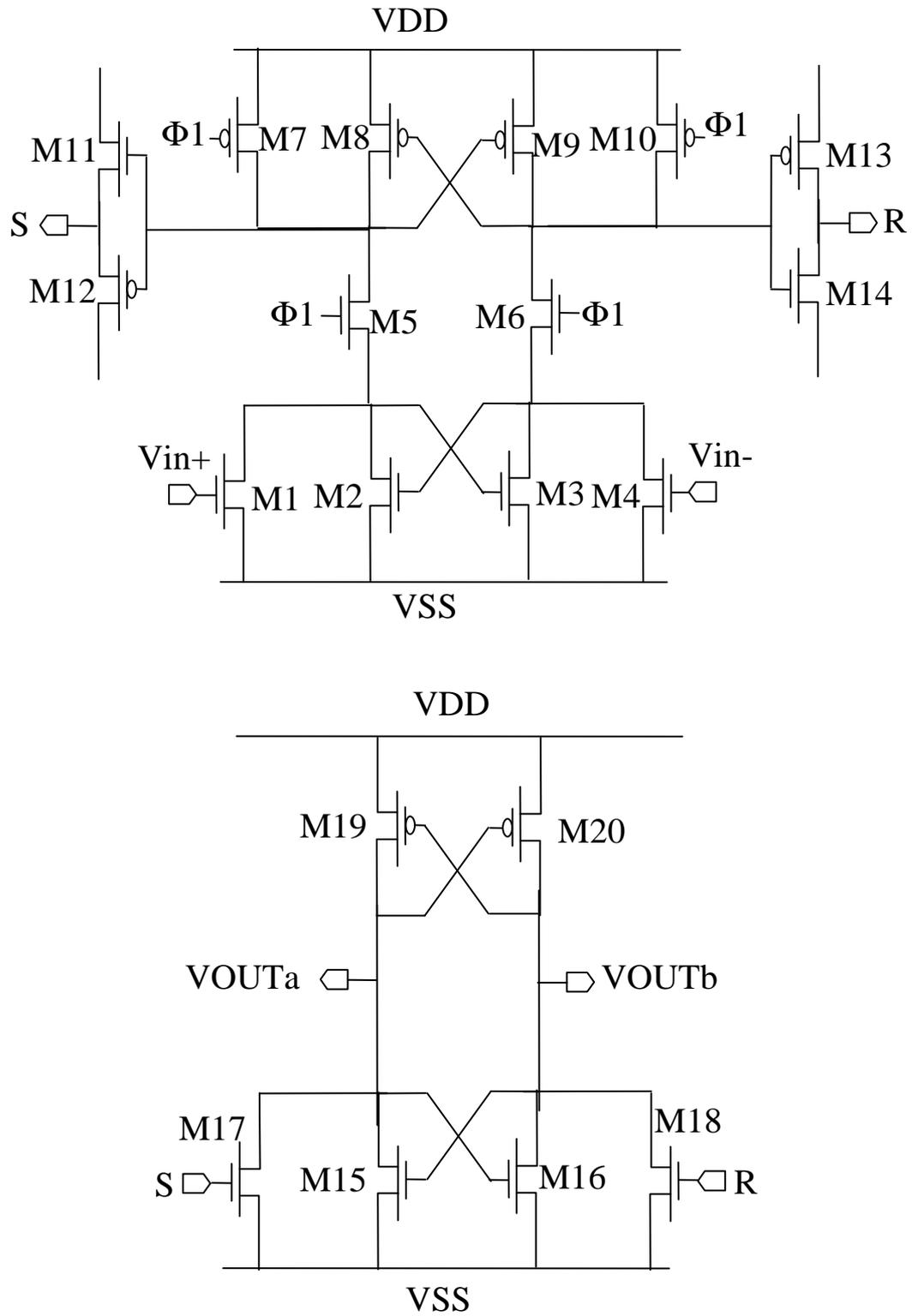


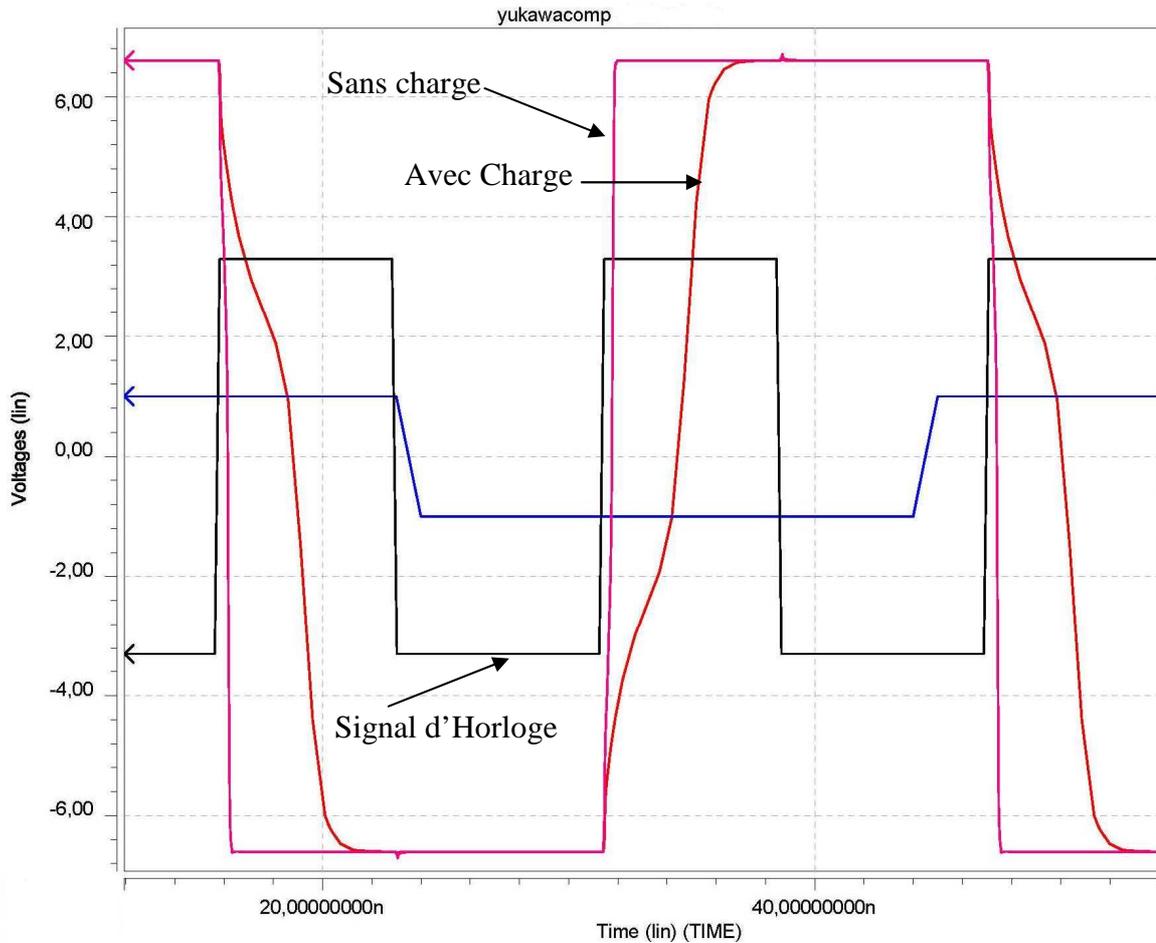
Figure III-9 : Schéma électrique du comparateur de Yukawa

Transistor	W (μm)	Transistor	W (μm)
M1	16	M11	40
M2	16	M12	40
M3	16	M13	40
M4	16	M14	40
M5	40	M15	16
M6	40	M16	16
M7	24	M17	12
M8	40	M18	12
M9	40	M19	24
M10	24	M20	24

**Tableau III-2 :** Dimensions des transistors du comparateur (tous les transistors ont une longueur minimal de  $L=0.4\mu\text{m}$ )

Le comparateur doit piloter d'une part le convertisseur numérique analogique CNA-1bit et d'autre part l'entrée du filtre décimateur. La charge due au CNA-1bit est estimée à moins de  $(W*L * C_{ox})$  0.5pF (voir paramètres annexe A). Toutefois, nous avons conçu le comparateur pour une charge de 2pF pour prendre les effets parasites et la charge du filtre décimateur.

L'une des exigences les plus importantes que le comparateur doit satisfaire est son habilité à piloter la charge constituée par le CNA-1bit et le filtre décimateur numérique. La figure III-10 donne la réponse du comparateur conçu dans le domaine temporel avec une charge de 2pF où on peut observer que la sortie atteint le niveau prévu avant la fin de la phase active du signal d'horloge.



**Figure III-10** : Simulation HSpice du comparateur avec et sans charge (2pF)

### III- 5 Synthèse des amplificateurs opérationnels

L'amplificateur opérationnel est l'élément le plus important de convertisseur analogique numérique. Nous avons opté pour une architecture à transconductance de type Folded Cascode OTA [2-3] (Figure III-11) qui offre plusieurs avantages du point de vue faible bruit thermique et meilleures performances fréquentiels [3-4].

#### III- 5.1 Synthèse directe

La synthèse directe des amplificateurs opérationnels suit les étapes suivantes

[19] :

- 1- Choix de la configuration appropriée de l'ampli-op : l'étude présentée dans l'annexe C révèle que la configuration P-OTA (transistors d'entrée de type P) conduit à de meilleures performances. Aussi c'est cette configuration qui est choisie.
- 2- Le choix des rapports de courants : les transistors M11 et M12 débitent l'essentiel du courant nécessaire à l'ampli-op pour son

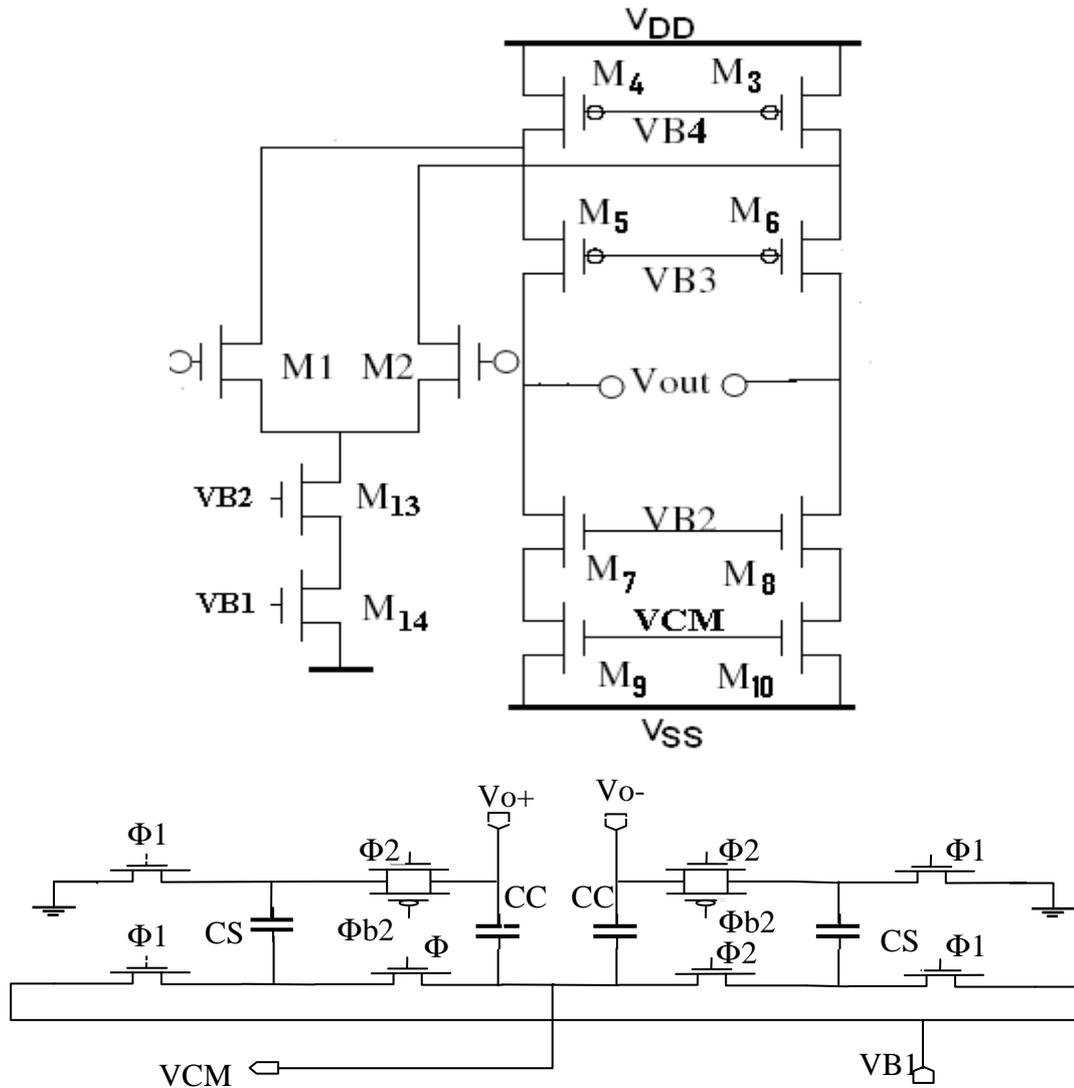
fonctionnement. Ce courant est réparti entre les transistors d'entrées et les transistors de sorties (ou les miroirs de courants). Nous avons opté pour un rapport de 4.

- 3- La détermination des dimensions géométriques de chaque transistor se fait à l'aide de la formule :

$$(W/L)_i = \frac{2I_{Di}}{\mu_i C_{OX}(V_{GS} - V_{TH})^2} \quad \text{III-6}$$

Où  $I_{Di}$  est le courant de drain du transistor « i »,  $\mu_i$  est la mobilité et  $C_{ox}$  la capacité d'oxyde par unité de surface. « L » est fixé à  $0.4\mu\text{m}$

( $V_{GS} - V_{TH}$ ) appelé aussi  $V_{OV}$  (Overdrive). Nous avons choisie  $V_{OV} = 0.25\text{ V}$



**Figure III-11:** Schéma simplifié d'un amplificateur opérationnel de type Folded Cascode OTA et son circuit de rétroaction en mode commun

### **III- 5.2 Synthèse par Algorithme génétique**

Nous avons développé un algorithme génétique [20-24] pour la synthèse bas niveau des amplificateurs opérationnels. Les détails du codage des variables et les opérateurs génétiques utilisés sont donnés en Annexe B. Nous nous contentons ici de donner quelques résultats concernant l'évolution globale de la population.

L'algorithme génétique proposé effectue une opération de recherche et d'optimisation en faisant *évoluer* une population de 30 solutions d'amplificateurs opérationnels en s'inspirant des processus biologiques de l'évolution. L'amélioration successive des individus de la population (les solutions d'OTA) passe par les opérations de sélection, croisement et mutation selon la théorie d'évolution de Darwin. La Figure III-12 donne les étapes essentielles de notre algorithme (En gras sont les fonctions Visual Basic 6 correspondant à chaque étape (voir annexe B) :

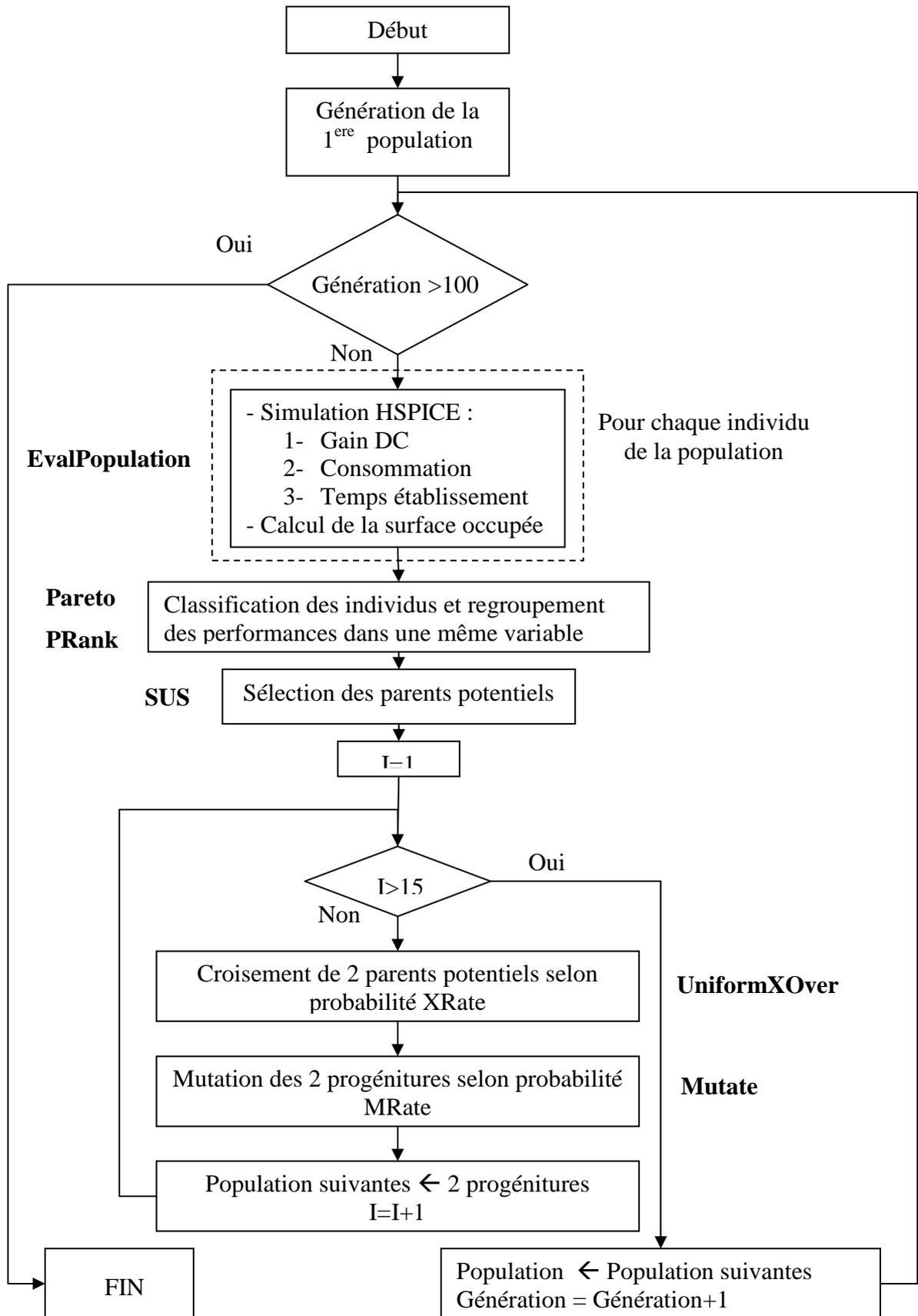
L'algorithme débute par la génération aléatoire d'un ensemble de solutions (30 ampli-ops) appelés *individus* codés sur 18 digits, cette opération est effectuée par la fonction « GetFerstGeneration ». L'algorithme est conçu pour optimiser quatre objectifs :

- 1- Surface occupée par l'ampli-op
- 2- Gain en continu
- 3- Temps d'établissement
- 4- Consommation électrique

Ces objectifs sont fixés par l'utilisateur et sont contenus dans une matrice nommée « UserGoals ».

L'algorithme fait appel à un simulateur électrique (HSpice) pour la détermination des performances de chaque individu (Figure III-13). Puis ces performances sont combinés selon la classification de Pareto [20] pour obtenir une valeur indicatrice de l'ordre d'adaptation qui sera la base de la sélection de 15 parents (suivant la méthode SUS : Stochastic Universal Selection).

La construction de la prochaine génération se fait par « croisement » entre 2 individus choisis aléatoirement parmi les 15 paires sélectionnés (parents) : cette opération créera deux nouveaux individus (enfants) dont le patrimoine génétique (dimensions géométriques, valeurs courants...) est la combinaison des codes des deux parents.

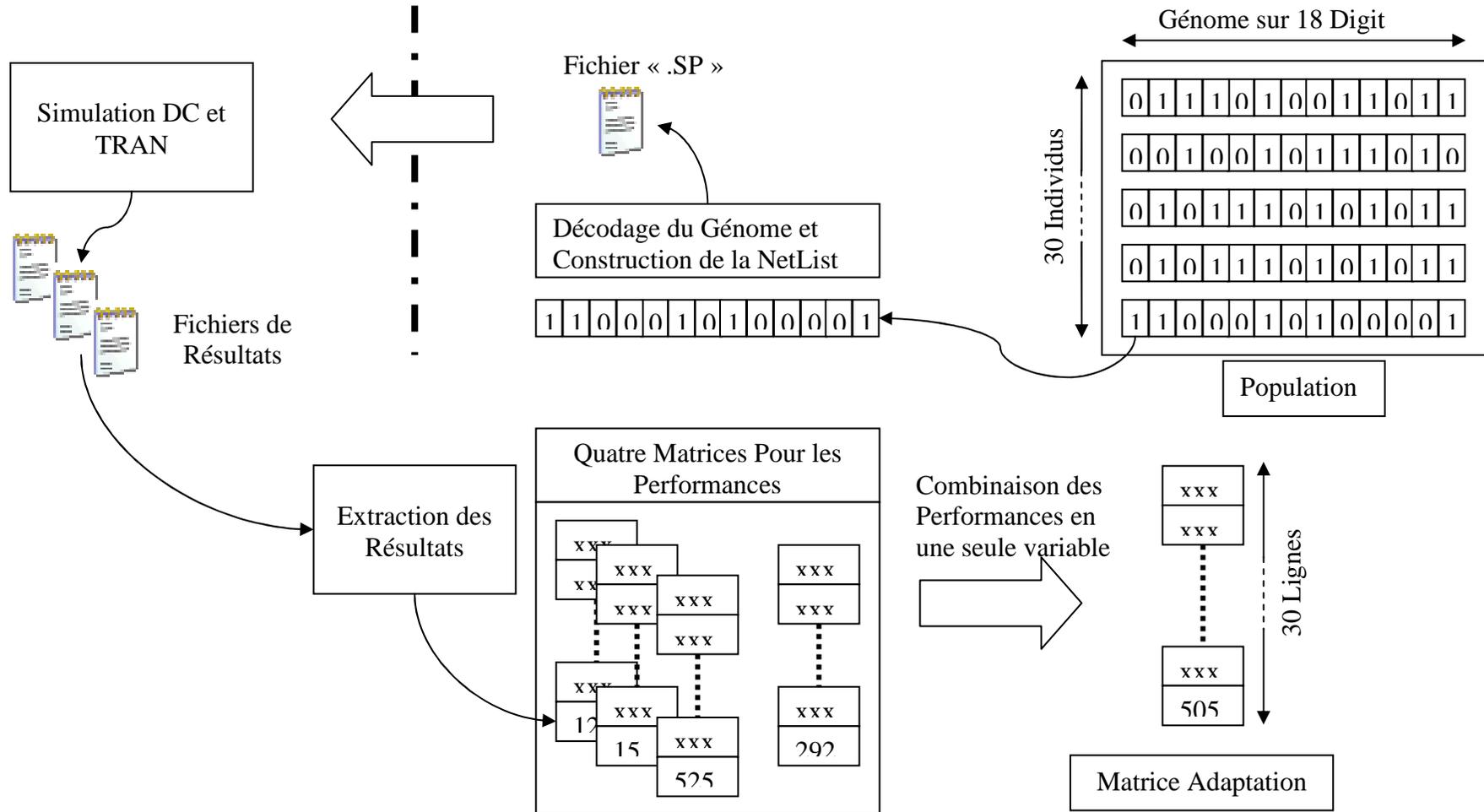


**Figure III-12 :** Algorithme Génétique pour la conception et l'optimisation des ampli-ops

Figure III-13 : Schéma de la procédure d'évaluation des individus (Ampli-ops) de la population

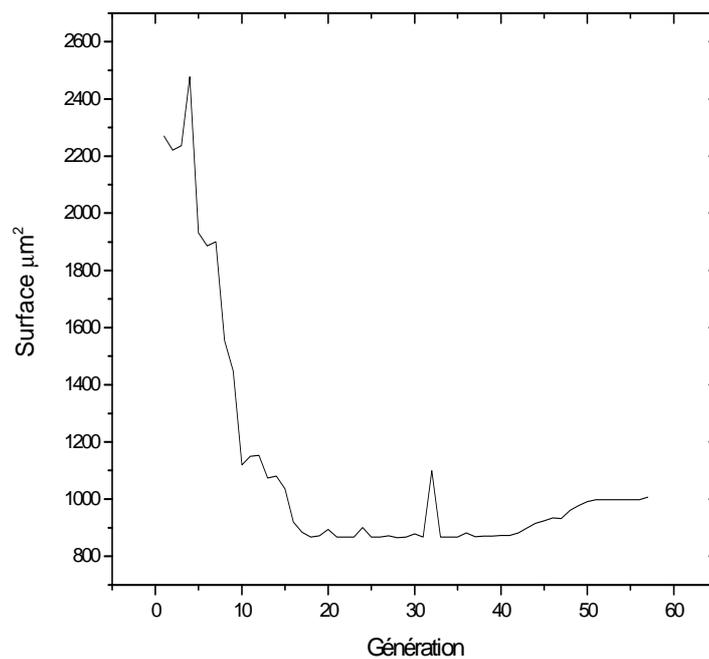
Simulation Electrique Avec HSpice

Programme Développé Avec Visual Basic 6

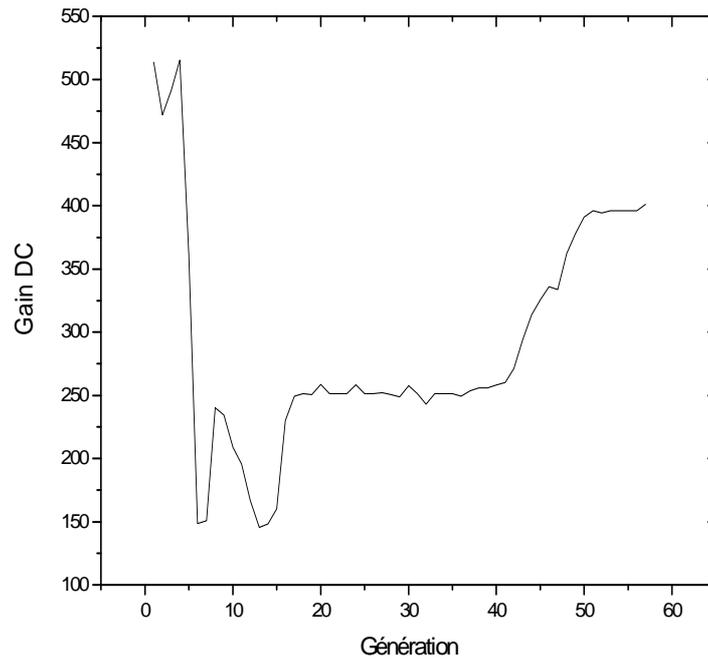


Les « enfants » créés subissent (selon une probabilité préalablement définie) une mutation de leur patrimoine génétique avant de construire la génération suivante. Ces étapes sont refaites jusqu'à satisfaction des objectifs fixés ou l'évolution de 100 générations.

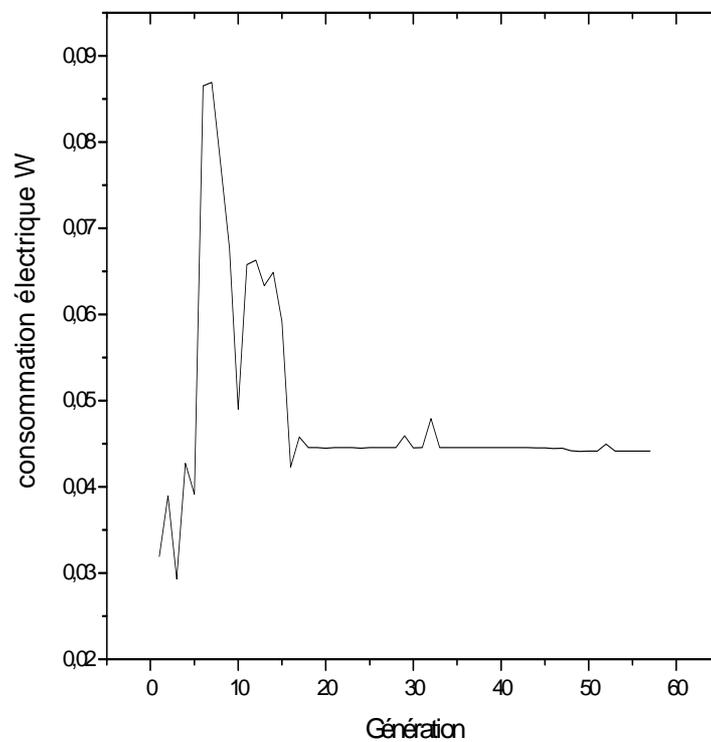
Les Figures III-14 à III-175 donnent l'évolution typique de la moyenne des performances des amplificateurs opérationnels évoluant dans la population de recherche suivant chaque génération. On peut noter l'amélioration des performances et la convergence de l'ensemble des solutions vers les objectives souhaités : Surface  $< 1000 \mu\text{m}^2$ , Gain  $> 50\text{dB}$ , Tset (0.1%)  $< 4 \text{ ns}$  et une consommation électrique  $< 20\text{mW}$



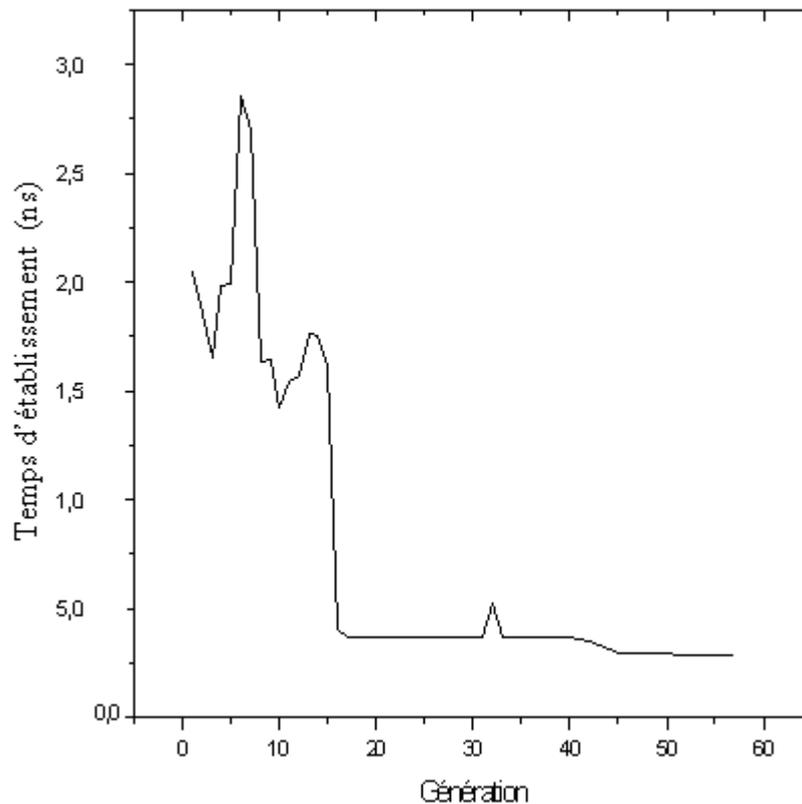
**Figure III-14** : Evolution de la moyenne des surfaces de la population d'OTA



**Figure III-15 :** Evolution de la moyenne du gain DC de la population d'OTA



**Figure III-16 :** Evolution de la moyenne de la consommation électrique de la population d'OTA



**Figure III-17 :** Evolution de la moyenne du temps d'établissement (en nanosecondes) de la population d'OTA

### **III-6 Conclusion :**

Ce chapitre a été consacré à la conception bas niveau du convertisseur analogique numérique. Une simple modélisation du comportement temporel des signaux passés par les switches nous a permis de dimensionner ces derniers alors que les dimensions des transistors du comparateur ont simplement été déterminées par extrapolation.

Les amplificateurs opérationnels qui sont les plus importants éléments de la structure ont été conçus à l'aide d'un algorithme génétique.

## **CONCLUSION GENERALE**

Dans ce mémoire nous nous sommes intéressés à la conception d'un convertisseur analogique numérique delta sigma avec 12-bits de résolution et 2Mega échantillons/seconde.

La conception du modulateur a suivi une méthodologie « haut vers le Bas » : dans la conception haut niveau nous avons étudié la fonction de transfert du système à l'aide d'une boîte à outils sous MatLab. Une modélisation structurelle développée avec Visual Basic 6 nous a permis de vérifier les résultats précédents et de comparer cinq différentes topologies du modulateur en termes de performances et coûts.

Dans la conception bas niveau, les dimensions géométriques des transistors de chaque bloc fonctionnel ont été déterminés. Les amplificateurs opérationnels ont été conçus avec une méthode directe puis avec un algorithme génétique.

## REFERENCES

- [1] D.A Johns, K. Martin « Analog Integrated Circuit Design » John Wiley & Sons New York, 1997
- [2] S.R. Norsworthy, R. Schreier, G.C. Temes « Delta-Sigma Converters : Theory, Design and Simulation » IEEE Press 1997
- [3] F. Medeiro, A. Perez, A.R Vazques « Top-Down Design of High-Performance Sigma-Delta Modulators » Kluwer Academic Publishers
- [4] Gregorian, G.C. Temes « MOS Integrated Circuits For Signal Processing » Wiley Series On Filters John Wiley & Sons 1986
- [5] A. Marques, V. Peluso, M.S. Steyaert W. M. Sansen « Optimal Parameters For Delta-Sigma Modulator Topologies » IEEE Trans. On Circuit & Systems Vol. 45 N°9 sep.1998
- [6] C. Candy « Decimation For Delta-Sigma Modulators », IEEE Trans. Communi Vol34 pp72-76 Jan.1986
- [7] R. Schreier Delta-Sigma ToolBox Version 7.1  
<http://www.mathworks.com/matlabcentral/fileexchange>
- [8] H.S. Lee MIT Class 6.775 Lecture Notes 1997
- [9] M.S. Peng “Circuit Level Synthesis for Delta Sigma Converters”  
Master Thesis MIT 1999
- [10] R. J. Baker, H. W. Li, D. E. Boyle, “CMOS Circuit Design, Layout and Simulation”, IEEE press 1998
- [11] j. Baker “Mixed-Signal Circuits” 2000  
<http://cmosedu.com>
- [12] P. J. Hurst et R. A. Levinson. « Delta-Sigma A/D with Reduced Sensitivity to Op-Amp Noise and Gain », Proc. IEEE ISCS 1989
- [13] M. Rebeschini et al. « A High-Resolution CMOS Sigma-Delta A/D Converter With 320 kHz Output Rate, » Proc. IEEE ISCS 1989
- [14] T. Kajita, G. C. Temes et U. K. Moon « Correlated double sampling integrator insensitive to parasitic capacitance” Electronics Letters 2001 Vol.37 No.3
- [15] J. Steensgaard « Clocking Scheme for Switched-Capacitor Circuits » IEEE 1998
- [16] T. Saramaki, T. Karema, T. Ritoniemi, and H. Tenhunen “Multiplier-Free Decimation

- Algorithms for Super resolution Oversampled Converters » IEEE ISCAS 1990
- [17] <http://www.mosis.org>
  - [18] A. Yukawa « A CMOS 8-bit High-Speed A/D Converter IC » IEEE JSSC 1985
  - [19] R. Djeghader N. E. Bougachel « Design Choices for Folded Cascode Operational Transconductance Amplifiers » ICMNT06 Tizi Ouzou 2006
  - [20] C. M. Fonseca P. J. Fleming « Multiobjective Genetic Algorithms Made Easy : Selection, Sharing and Mating Restriction » GAESIA IEE, 1995
  - [21] C. M. Fonseca P. J. Fleming “Multiobjective Optimisation and Multiple Constraint Handling with Evolutionary Algorithms- Part I: A Unified Formulation” IEEE 1998
  - [22] R. S. Zebulum M. A. Pacheco M. Vellasco “A Multi-Objective Optimisation Methodology Applied to the Synthesis of Low-Power Operational Amplifiers” .
  - [23] C. Goh et Y. Li “Multi-objective Synthesis of CMOS Operational Amplifiers Using A Hybrid Genetic Algorithm”
  - [24] J. B. Grimbleby “Automatic Synthesis of Active Electronic Networks using Genetic Algorithms” IEE/IEEE GALESIA97 Strathclyde 2-4 sep 1997

## ANNEXE A

### MODELE BSIM 3 POUR LA TECHNOLOGIE AMI 0.35µm

Extrait du fichier disponible sur [www.mosis.org](http://www.mosis.org) contenant le modèle BSIM3 de la technologie AMI 0.35µm

-----  
MOSIS file ami-c3/t46w-params.txt

#### MOSIS PARAMETRIC TEST RESULTS

RUN: T46W

VENDOR: AMIS

TECHNOLOGY: SCN035

FEATURE SIZE: 0.35 microns

**INTRODUCTION:** This report contains the lot average results obtained by MOSIS from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	0.6/0.4			
Vth		0.55	-0.47	volts
SHORT	20.0/0.4			
Vth		0.53	-0.50	volts
LARGE	50/50			
Vth		0.45	-0.54	volts

K' ( $U_0 \cdot C_{ox}/2$ )	93.1	-22.2	$\mu A/V^2$
Low-field Mobility	431.39	102.87	$cm^2/V*s$

## T46W SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

\* DATE: Sep 14/04

\* LOT: T46W                    WAF: 1102

\* Temperature\_parameters=Default

```
.MODEL CMOSN NMOS (                    LEVEL = 49
+VERSION = 3.1        TNOM = 27        TOX = 8E-9
+XJ = 1E-7        NCH = 2.2E17        VTH0 = 0.4074928
+K1 = 0.4728294    K2 = 3.621074E-3    K3 = 70.0489524
+K3B = -10        W0 = 1.830495E-5    NLX = 2.193565E-7
+DVT0W = 0        DVT1W = 0        DVT2W = 0
+DVT0 = 0.802594    DVT1 = 0.4276766    DVT2 = -0.3
+U0 = 361.3464355    UA = -9.67751E-10    UB = 2.889157E-18
+UC = 4.669186E-11    VSAT = 1.898742E5    A0 = 1.3381235
+AGS = 0.2592162    B0 = 2.220067E-6    B1 = 5E-6
+KETA = -9.077245E-3    A1 = 0        A2 = 0.3487525
+RDSW = 780.376869    PRWG = 0.0713836    PRWB = -7.21866E-3
+WR = 1        WINT = 1.389179E-7    LINT = 1.24319E-9
+DWG = -1.034792E-8    DWB = 9.824117E-9    VOFF = -0.0869274
+NFACTOR = 0.7366118    CIT = 0        CDSC = 2.4E-4
+CDSCD = 0        CDSCB = 0        ETA0 = 0.0346215
+ETAB = -7.988336E-3    DSUB = 0.3317286    PCLM = 1.9546403
+PDIBLC1 = 4.161735E-3    PDIBLC2 = 1.19743E-5    PDIBLCB = 0.1
+DROUT = 2.748338E-3    PSCBE1 = 7.42428E8    PSCBE2 = 1E-3
+PVAG = 0        DELTA = 0.01        RSH = 3.9
+MOBMOD = 1        PRT = 0        UTE = -1.5
+KT1 = -0.11        KT1L = 0        KT2 = 0.022
```

```

+UA1 = 4.31E-9    UB1 = -7.61E-18    UC1 = -5.6E-11
+AT  = 3.3E4     WL  = 0          WLN  = 1
+WW  = 0         WWN  = 1          WWL  = 0
+LL  = 0         LLN  = 1          LW   = 0
+LWN = 1         LWL  = 0          CAPMOD = 2
+XPART = 0.5     CGDO = 2.58E-10    CGSO = 2.58E-10
+CGBO = 1E-12    CJ  = 1.012513E-3  PB   = 0.8
+MJ   = 0.3510986  CJSW = 2.862666E-10  PBSW = 0.8
+MJSW = 0.1518459  CJSWG = 1.82E-10    PBSWG = 0.8
+MJSWG = 0.1518459  CF   = 0          PVTH0 = -0.0100437
+PRDSW = -73.5674578  PK2  = 3.087074E-3  WKETA = 3.003636E-3
+LKETA = 2.647195E-3 )

```

\*

```

.MODEL CMOS PMOS (          LEVEL = 49
+VERSION = 3.1      TNOM = 27      TOX = 8E-9
+XJ = 1E-7      NCH = 8.52E16    VTH0 = -0.6831778
+K1 = 0.3939412  K2 = 0.0308482    K3 = 0
+K3B = 15.35112  W0 = 1E-5      NLX = 1E-9
+DVT0W = 0      DVT1W = 0      DVT2W = 0
+DVT0 = 1.4617205  DVT1 = 0.3569339  DVT2 = -0.0368562
+U0 = 221.3795636  UA = 1.573901E-9  UB = 5E-18
+UC = 8.567678E-11  VSAT = 2E5      A0 = 1.999067
+AGS = 0.389467    B0 = 2.419633E-6  B1 = 5E-6
+KETA = -6.020293E-3  A1 = 4.394989E-5  A2 = 0.6320223
+RDSW = 4E3      PRWG = -0.2146377  PRWB = 0.1688991
+WR = 1          WINT = 1.569174E-7  LINT = 0
+DWG = -2.578547E-8  DWB = 9.89001E-9  VOFF = -0.1219424
+NFACTOR = 1.8063821  CIT = 0          CDSC = 2.4E-4
+CDSCD = 0      CDSCB = 0      ETA0 = 0.0518465
+ETAB = 4.735705E-3  DSUB = 0.4254421  PCLM = 2.7235598
+PDIBLC1 = 0      PDIBLC2 = 4.344554E-3  PDIBLCB = 4.528856E-3
+DROUT = 5.604876E-3  PSCBE1 = 8E10    PSCBE2 = 5.04016E-10
+PVAG = 4.6592572  DELTA = 0.01     RSH = 2.8

```

---

+MOBMOD = 1            PRT = 0            UTE = -1.5  
+KT1 = -0.11        KT1L = 0            KT2 = 0.022  
+UA1 = 4.31E-9      UB1 = -7.61E-18    UC1 = -5.6E-11  
+AT = 3.3E4        WL = 0            WLN = 1  
+WW = 0            WWN = 1            WWL = 0  
+LL = 0            LLN = 1            LW = 0  
+LWN = 1          LWL = 0            CAPMOD = 2  
+XPART = 0.5        CGDO = 3.12E-10    CGSO = 3.12E-10  
+CGBO = 1E-12      CJ = 9.916255E-4    PB = 0.8896731  
+MJ = 0.392439     CJSW = 2.91776E-10    PBSW = 0.99  
+MJSW = 0.1676363    CJSWG = 4.42E-11    PBSWG = 0.99  
+MJSWG = 0.1676363    CF = 0            PVTH0 = 0.0107102  
+PRDSW = -233.4720278    PK2 = 1.861393E-3    WKETA = -6.345721E-3  
+LKETA = -0.0207051    )

\*

## ANNEXE B

### ALGORITHME GENETIQUE

#### I- Introduction :

Les algorithmes génétiques sont des méthodes de recherches et d'optimisation qui s'inspirent de la théorie d'évolution de Darwin. Dans sa forme la plus simple la recherche d'une solution optimal dans un espace (ou un ensemble) de solutions pour un problème donné par un algorithme génétique suit les étapes suivantes :

- 1- Construire un code qui décrit la solution au problème : par exemple pour le circuit électrique de la figure B-1 les dimensions géométriques des transistors et le courant de polarisation sont disposés cote à cote pour créé un ADN. Chaque code ADN représente un *individu*.
- 2- Générer aléatoirement un ensemble de solutions (de codes ADN) l'ensemble de ces *individus* sont appelés *population* ou *génération 1*.
- 3- Evaluer les performances de chaque membre de la population par rapport à un ensemble d'objectifs : à l'issu de cette opération chaque individu est assigné une grandeur appelé Adaptation. Les meilleures solutions auront une adaptation élevée.
- 4- Sélectionner aléatoirement N parents potentiels parmi les individus de la population (Les individus les plus *Adaptés* doivent être avantagés dans la sélection).
- 5- Chaque couple de parents a une probabilité XRate de produire une descendance (2 enfants) par croisement (voir figure B-1) ces enfants construiront une nouvelle génération. Les autres parents seront clonés et rajouté à la nouvelle génération.
- 6- Chaque enfant aura une probabilité MRate de subir une mutation de son ADN.
- 7- Répéter les étapes 3 à 6 un nombre définie de fois ou jusqu'à satisfaction des objectifs.

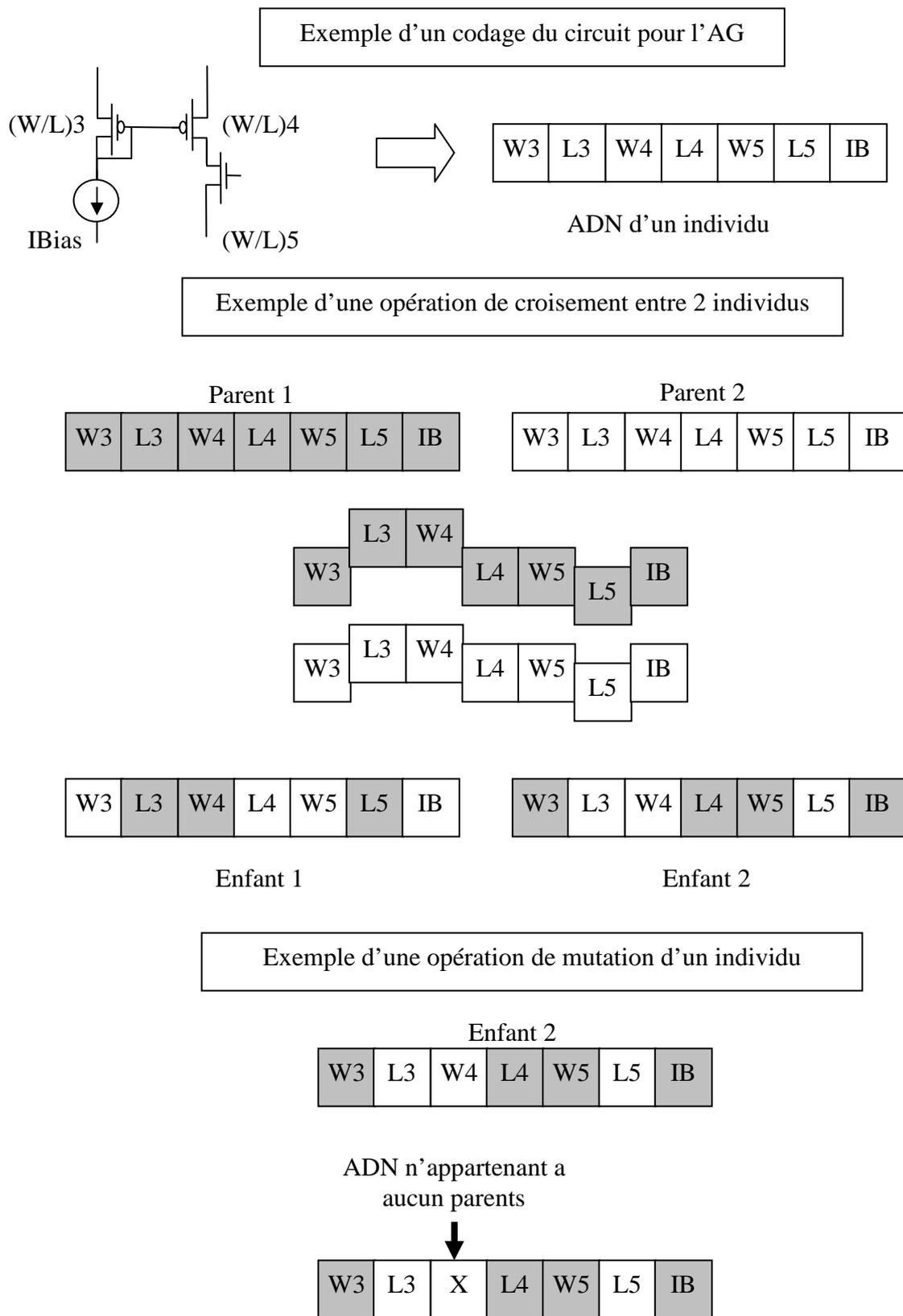


Figure B-1 : Opérateurs de l'Algorithme Génétique GA

## II- Codage de l'amplificateur opérationnel :

Le codage utilisé pour l'amplificateur opérationnel est quelque peu différent des approches trouvées dans la littérature [22-23-24]. En effet, au lieu du codage direct des valeurs de tout les transistors, sources de courants, switches et condensateurs dans un chromosome de grande taille ce qui résultera en un espace de recherche inutilement vaste. Nous nous sommes basé sur une précédente étude [19] et des enseignement donnés par les procédures de conception conventionnelles pour aboutir à un codage plus efficace du l'ampli-op et ainsi réduire l'espace de recherche.

Prenant l'exemple de circuit de polarisation de l'ampli-op de la Figure B-2 qui est composé d'un ensemble de miroirs de courants fixant les courants projetés dans l'ampli-op, il est composé de 10 transistors et une source de courant.

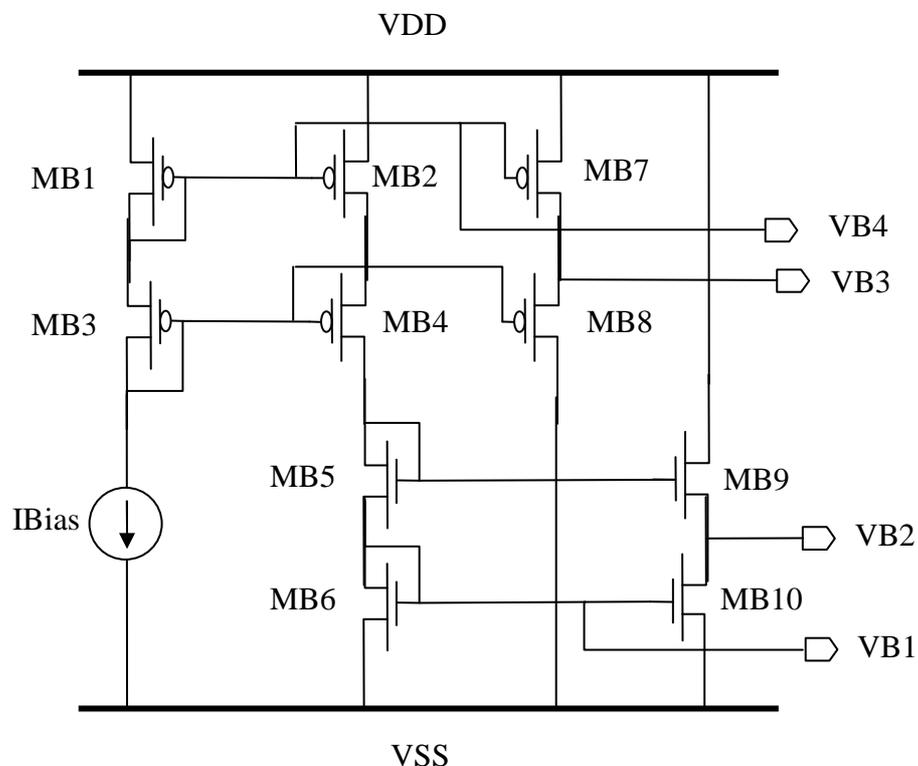


Figure B-2 : Circuit de polarisation de l'ampli-op de la figure III-11

Traditionnellement, le codage de ce circuit nécessite 10+1 gènes (représentant les dimensions géométriques de chaque transistor en plus de la valeur du courant de polarisation  $I_{bias}$ ). Néanmoins, si on se rappelle que le bon fonctionnement du circuit nécessite que les dimensions des transistors MB1 MB6 et MB7 doivent être quatre fois supérieur à ceux du transistor MB3 tel que :

$$\left(\frac{W}{L}\right)_3 = \frac{1}{4} \left(\frac{W}{L}\right)_1 \quad (A-1)$$

Même chose pour MB5 et les transistors MB6 MB9 et MB10

$$\left(\frac{W}{L}\right)_5 = \frac{1}{4} \left(\frac{W}{L}\right)_6 \quad (A-1)$$

Ainsi, au lieu d'utiliser un long code pour les huit transistors cités plus haut nous utiliserons seulement deux digits l'un pour définir les dimensions de MB3 et l'autre pour MB5.

Pour notre application nous avons choisie :

	Minimum	Maximum	Pas	Possibilités
$I_{Bias}$	50 $\mu$ A	250 $\mu$ A	10 $\mu$ A	20
$W_3$	1 $\mu$ m	112 $\mu$ m	1 $\mu$ m	112
$W_5$	1 $\mu$ m	26 $\mu$ m	1 $\mu$ m	26

Toutes les longueurs des transistors sont fixés à 0.4 $\mu$ m. En plus, pour offrir un degré de liberté vis-à-vis du courant de polarisation des transistors de type N par rapport à ceux de type P nous avons codé les dimensions des transistors MB2 et 4 séparément tel que :

$$1\mu\text{m} < W_2 (W_4) < 112\mu\text{m} \text{ avec un pas de } 1\mu\text{m}$$

### **III- Code Source pour les Fonctions Essentielles de l'Algorithme Génétique**

L'ensemble des fonctions et routines données ci-après ont été développés et testés avec Visual Basic 6. Les déclarations et les routines : EvalPopulation, NetListHeader, Pareto, PRank, UniformXOver et Mutate doivent figurées dans un « Module »

générique alors que la routine principale doit être contenue dans une feuille (fenêtre Windows) qui doit contenir un élément « Timer » nommé « Timer1 » initialement désactivé avec un intervalle de 200 millisecondes.

L'événement « Timer » doit déclencher le code suivant :

```
Private Sub Timer1_Timer()
    ret = Timer1.Tag
    On Error GoTo IsHspiceDone
    AppActivate Val(ret)
Exit Sub
IsHspiceDone:
    k = Err.Number
    D = Err.Description
    'txtC = Str(Val(txtC)) & "Hspice is Done"
    Timer1.Enabled = False
End Sub
```

### 1- Déclaration et Définition des Types :

```
Public Population(0 To 17, 1 To 30) As Integer
Public NextPopulation(0 To 17, 1 To 30) As Integer
Public UserGoals As Goals
Public OnLine As Adaptation
Public Offline As Adaptation
Public Type Adaptation
    Area(1 To 100, 0) As Double
    Power(1 To 100, 0) As Double
    Tset(1 To 100, 0) As Double
    Gain(1 To 100, 0) As Double
End Type
Public Dominated(1 To 30) As Boolean
Public Type Goals
    DCGAIN As Double
    Tset As Double
    Power As Double
    Area As Double
```

```
End Type
Public Type costFCT
    cost(1 To 30) As Double
End Type
Public Type Fitness
    fit(1 To 30) As Double
End Type
Public SoFarProcessed As Double
Public XCitizenCount As Double
Public Type DCData
    WTot As Double
    GDC As Double
End Type
Public Type VecBest
    BestArea As Double
    BestDCGAIN As Double
    BestPower As Double
    BestTset As Double
End Type
Public Type VecMean
    MeanArea As Double
    MeanDCGAIN As Double
    MeanPower As Double
    MeanTset As Double
End Type
Public Type Twins
    Child1(0 To 17) As Integer
    Child2(0 To 17) As Integer
End Type
Public Type Headers
    AMP As String
    CMFBct As String
    CMFBsc As String
End Type
```

Public Type ObjV

DCGAIN(1 To 30) As Double

Power(1 To 30) As Double

Area(1 To 30) As Double

Tset(1 To 30) As Double

End Type

Public Type CTCMFB

IB As Double

WM1 As Double

WM5 As Double

WM7 As Double

End Type

Public Type OTA

IB As Double

Wmb5 As Double

Wmbn As Double

Wmb3 As Double

Wmbp As Double

Wmb2 As Double

Mm13 As Integer

Mm7 As Integer

Mm1 As Integer

WM1 As Double

Mm3 As Integer

Mm5 As Integer

L5 As Double

Wm11 As Double

Wms1 As Double

Wms2 As Double

Wms3 As Double

Wms4 As Double

Wms5 As Double

Cs As Double

```
Cc As Double
```

```
End Type
```

## 2- Routine Principale

```
For Run = 1 To MAXRUN
```

```
  g = GetFerstGeneration
```

```
  For g = 1 To 100
```

```
    '-----
```

```
    ' Evaluation de la population et détermination
```

```
    ' du degré d'adaptation de chaque individu
```

```
    '-----
```

```
    v = EvalPopulation
```

```
    cost = Pareto(v, UserGoals)
```

```
    F = PRank(cost, SP)
```

```
    Parents = SUS(F)
```

```
    '-----Construction d'une nouvelle génération-----
```

```
    '-----
```

```
    For i = 0 To 14
```

```
      offsprings = UniformXOver(Parents(2 * i + 1), Parents(2 * i + 2), XRate)
```

```
      Mutate (2 * i + 1), MRate
```

```
      Mutate (2 * i + 2), MRate
```

```
    Next
```

```
    For i = 1 To 30
```

```
      For j = 0 To 17
```

```
        Population(j, i) = NextPopulation(j, i)
```

```
      Next
```

```
    Next
```

```
  Next
```

```
Next
```

## 3- Procédure d'Evaluation des Individus (ap-amp) de la Population

```
Public Function EvalPopulation(NLPart1 As String, NLPart2 As String, NLPart3 As  
String) As ObjV
```

```
  Dim Vec As ObjV
```

```
  Dim TRANSIM As Double
```

```
Dim CKTs(1 To 30) As OTA
```

```
Dim CTCMFBs(1 To 30) As CTCMFB
```

```
Dim Headers(1 To 30) As Headers
```

```
Dim DCSim As DCData
```

```
HSpicePath$ = "C:\synopsys\Hspice2003.03\BIN\hspice_mt.exe"
```

```
For i = 1 To 30
```

```
    CKTs(i) = DecodeADN(i)
```

```
    CTCMFBs(i) = CT_CMFB(i)
```

```
    Headers(i) = NetListHeader(CKTs(i), CTCMFBs(i))
```

```
'-----
```

```
'Construction de la NetList et lancement de HSPICE
```

```
'-----
```

```
NetList$ = NLPart1 & vbNewLine & Headers(i).AMP _  
          & vbNewLine & Headers(i).CMFBct & NLPart2
```

```
fnbr = FreeFile
```

```
Open "C:\SIM\WGTF.sp" For Output As fnbr
```

```
Print #fnbr, NetList$
```

```
Close fnbr
```

```
HspiceArgument$ = HSpicePath$ & " -i " & "C:\SIM\WGTF.sp" & " -o "  
& "C:\SIM\WGTF.lis"
```

```
ret = Shell(HspiceArgument$, vbMinimizedNoFocus)
```

```
TOP.Timer1.Enabled = True
```

```
TOP.Timer1.Tag = ret
```

```
Wait_Untill_HSPICE_IsDone:
```

```
DoEvents
```

```
If TOP.Timer1.Enabled = True Then GoTo Wait_Untill_HSPICE_IsDone:
```

```
'-----
```

```
'Extraction des Résultats de la simulation DC
```

```
'-----
```

```

DCSim = Get_GDC_WTOT_Data("C:\SIM\WGTF.lis")
Vec.Power(i) = DCSim.WTot
Vec.DCGAIN(i) = DCSim.GDC
'-----
' Construction de la NetList pour la simulation transitoir
' et lancement de HSPICE
'-----

If Vec.DCGAIN(i) > 100 Then
    NetList$ = NLPart1 & vbNewLine & Headers(i).AMP _
              & vbNewLine & Headers(i).CMFBsc & NLPart3
    fnbr = FreeFile
    Open "C:\SIM\SET.sp" For Output As fnbr
    Print #fnbr, NetList$
    Close fnbr

    HspiceArgument$ = HSpicePath$ & " -i " & "C:\SIM\SET.sp" & " -o "
    & "C:\SIM\SET.lis"
    ret = Shell(HspiceArgument$, vbMinimizedNoFocus)
    TOP.Timer1.Enabled = True
    TOP.Timer1.Tag = ret

Wait_Untill_HSPICE_IsDone2:
    DoEvents
    If TOP.Timer1.Enabled = True Then GoTo
Wait_Untill_HSPICE_IsDone2:
'-----
'Geting TRAN SIMULATION RESULTS
'-----
TRANSIM = Get_TRAN_Data(Str(i))
Vec.Tset(i) = TRANSIM
'ff = SetEr(4)
Else
'Si le Gain DC est tres vaible ...Pas de simulation transitoir
Vec.Tset(i) = 0.00000005

```

```

End If
'-----
'Calcul de la surface de l'ampli
'Les surfaces des capa du CRFB ne sont pas comptés
'-----
BCKT = (CKTs(i).Wmb3 * 0.7 + CKTs(i).Wmbp * 3 * 0.4) + _
      (CKTs(i).Wmb5 * 0.7 + CKTs(i).Wmbn * 3 * 0.4) + _
      (CKTs(i).Wmb2 * 2 * 0.4)
OTACKT = (CKTs(i).WM1 * CKTs(i).Mm1 * 0.4 * 2) + _
         (CKTs(i).Mm13 * CKTs(i).Wmbn * 0.4) + _
         (CKTs(i).Mm7 * CKTs(i).Wmbn * CKTs(i).L5 * 4) + _
         (CKTs(i).Mm3 * CKTs(i).Wmbp * 2) + _
         (CKTs(i).Mm5 * CKTs(i).Wmbp * CKTs(i).L5 * 2)
CMFBCKT = (CKTs(i).Wms1 + CKTs(i).Wms2 _
          + CKTs(i).Wms3 + CKTs(i).Wms4 _
          + CKTs(i).Wms5) * 0.4 * 2
Vec.Area(i) = BCKT + OTACKT + CMFBCKT
Next
EvalPopulation = Vec
End Function

```

La routine suivante Construit une partie de la netListe essentiel à la simulation HSPICE :

```

Public Function NetListHeader(OpAmp As OTA, CTCMFB_CKT As
CTCMFB) As Headers

```

```

  Dim NetList As Headers

```

```

  With OpAmp

```

```

    'BiasCKT

```

```

    NetList.AMP = ".Param IB=" & LTrim(Str(.IB)) & "e-6 Wmb5=" _
                 & LTrim(Str(.Wmb5)) & "u Wmbn=" & _
                 LTrim(Str(.Wmbn)) & "u Wmb2=" & _
                 LTrim(Str(.Wmb2)) & "u Wmbp=" & _
                 LTrim(Str(.Wmbp)) & "u Wmb3=" & _
                 LTrim(Str(.Wmb3)) & "u" & vbNewLine

```

'Corps de l'AMP-OP

```
NetList.AMP = NetList.AMP & ".Param WM1=" & LTrim(Str(.WM1)) _
    & "u Mm1=" & LTrim(Str(.Mm1)) _
    & " Mm13=" & LTrim(Str(.Mm13)) & " Mm7=" _
    & LTrim(Str(.Mm7)) & " Mm3=" _
    & LTrim(Str(.Mm3)) & " Mm5=" & LTrim(Str(.Mm5)) _
    & " L5=" & LTrim(Str(.L5)) _
    & "u Wm11=" & LTrim(Str(.Wm11)) & "u" & vbNewLine
```

'AMP-OP SC CMFB

```
NetList.CMFBsc = ".Param Wms1=" & LTrim(Str(.Wms1)) _
    & "u Wms2=" & LTrim(Str(.Wms2)) _
    & "u Wms3=" & LTrim(Str(.Wms3)) _
    & "u Wms4=" & LTrim(Str(.Wms4)) _
    & "u Wms5=" & LTrim(Str(.Wms5)) & "u Cc=" _
    & LTrim(Str(.Cc)) & "p Cs=" & LTrim(Str(.Cs)) _
    & "p" & vbNewLine
```

End With

With CTCMFB\_CKT

'Continious Time CMFB

```
NetList.CMFBct = ".Param WMfb1=" & LTrim(Str(.WM1)) _
    & "u WMfb5=" & LTrim(Str(.WM5)) & "u WMfb7=" _
    & LTrim(Str(.WM7)) & "u" & vbNewLine
```

End With

NetListHeader = NetList

End Function

La fonction d'évaluation des ampli-ops nécessite aussi les variables textes suivantes :

La variable : **NLPart1** doit contenir le texte :

```
-----
fully differntial op-amp
.global vdd vss
.param Lb=0.4u LbC=0.8u
-----
```

La variable : **NLPart2** doit contenir le texte :

-----

.op

.TF v(vo+) vin+

\*\*\*\* BIAS NETWORK\*\*\*\*

vdd vdd 0 DC 3.3v

vss vss 0 DC -3.3v

R1 vdd 0 100meg

R2 vss 0 100meg

\*Top Circuit

xAmp v+ v- vo- vo+ vb1 vb2 vb3 vb4 vcm

FullyCascodeOTA

xBias vb3 vb2 vb4 vb1 BiasingCKT

xcmfb vo+ vo- vcm CMFB

c1 vo+ 0 1p

c2 vo- 0 1p

vin+ v+ 0 AC 1

vin- v- 0 DC 0

.subckt BiasingCKT 2 6 5 7

ID 1 Vss IB

m1 2 2 vdd vdd cmosp l=Lb w=Wmbp

m2 3 2 vdd vdd cmosp l=Lb w=Wmb2

m3 1 1 2 vdd cmosp l=LbC w=Wmb3

m4 4 1 3 vdd cmosp l=Lb w=Wmb2

m5 4 4 5 vss cmosn l=LbC w=Wmb5

m6 5 5 vss vss cmosn l=Lb w=Wmbn

m7 6 2 vdd vdd cmosp l=Lb w=Wmbp

m8 vss 1 6 vdd cmosp l=Lb w=Wmbp

m9 vdd 4 7 vss cmosn l=Lb w=Wmbn

m10 7 5 vss vss cmosn l=Lb w=Wmbn

.ends

```

.subckt      CMFB      vo+  vo-  vcm
vdd1  vdd1  0    DC    3.3v
vss1  vss1  0    DC   -3.3v
R1    vdd   0    100meg
R2    vss   0    100meg
Ib1   vdd1  1    IB
IB2   vdd1  2    IB
IB3   vdd1  vcm  IB
m1    4     vo+  1     vdd1  cmosp l=0.4u w=WMfb1
m2    vcm   0     1     vdd1  cmosp l=0.4u w=WMfb1
m3    vcm   0     2     vdd1  cmosp l=0.4u w=WMfb1
m4    4     vo-  2     vdd1  cmosp l=0.4u w=WMfb1
m5    vcm   vcm  vss1  vss1  cmosn l=0.4u w=WMfb5
m6    4     4     vss1  vss1  cmosn l=0.4u w=WMfb5
m7    vcm   4     vss1  vss1  cmosn l=0.4u w=WMfb7
.ends

.subcktFullyCascodeOTA  v+  v-  vo-  vo+  vb1  vb2  vb3
      vb4  vcm
m1    3     v+  1     vss  cmosn l=0.4u w=Wm1      M=Mm1
m2    2     v-  1     vss  cmosn l=0.4u w=Wm1      M=Mm1
m3    3     vb3  vdd  vdd  cmosp l=0.4u w=Wmbp     M=Mm3
m4    2     vb3  vdd  vdd  cmosp l=0.4u w=Wmbp     M=Mm3
m5    vo+   vb2  3     vdd  cmosp l=L5  w=Wmbp     M=Mm5
m6    vo-   vb2  2     vdd  cmosp l=L5  w=Wmbp     M=Mm5
m7    vo+   vb1  4     vss  cmosn l=L5  w=Wmbn     M=Mm7
m8    vo-   vb1  5     vss  cmosn l=L5  w=Wmbn     M=Mm7

m9    4     vcm  vss  vss  cmosn l=0.4u w=Wmbn     M=Mm7
m10   5     vcm  vss  vss  cmosn l=0.4u w=Wmbn     M=Mm7
m11   vb3   vb3  3     vss  cmosn l=0.4u w=Wm11
m12   vb3   vb3  2     vss  cmosn l=0.4u w=Wm11
m13   1     vb1  6     vss  cmosn l=0.4u w=Wmbn     M=Mm13

```

```

m14 6 vb4 vss vss cmosn l=0.4u w=Wmbn M=Mm13
.ends
.....Ici doit figurer les modèle BSIM3 des transistors N et PMOS.....
.end

```

-----

La variable : **NLPart3** doit contenir le texte :

-----

```

.global VDD VSS vphi1 vphi2 phi1 phi2 Bvphi2 Bvphi1
.tran 0.1n 319.5n start=312.5n
.print vdiff=v(sumo-,sumo+)
Vdd Vdd 0 DC 3.3v
VSS VSS 0 DC -3.3v
Vphi1 vphi1 0 DC 0 Pulse -3.3 3.3 0 200p 200p 7n 15.625n
Vphi2 vphi2 0 DC 0 Pulse -3.3 3.3 7.8n 200p 200p 7n 15.625n
VBphi2 Bvphi2 0 DC 0 Pulse 3.3 -3.3 7.8n 200p 200p 7n 15.625n
VBphi1 Bvphi1 0 DC 0 Pulse 3.3 -3.3 0 200p 200p 7n 15.625n
Vin in+1 0 0 DC 0 Pulse 0 1 0 .1n .1n 156.25n 312.5n
xsection2 in+1 0 sumo+ sumo- Gain
c1 sumo+ 0 1p
c2 sumo- 0 1p
.subcktGain in+1 in-1 out+ out-
xamp1 d2 2 d3 3 opamp
c2 2 3 1p
cd2 d2 d3 1p
r1 2 0 100meg
r2 d2 0 100meg
G3 3 out+ VCR pw1(1) Vphi1 0 0v,100meg 0.1v,1m
Gd3 d3 out- VCR pw1(1) Vphi1 0 0v,100meg 0.1v,1m
****Gain Capacitors****
c1 1 2 1p
cd1 d1 d2 1p
***1st input UpSide***
G1 in+1 1 VCR pw1(1) Vphi1 0 0v,100meg 0.1v,1m
G2 1 0 VCR pw1(1) Vphi2 0 0v,100meg 0.1v,1m

```

```

*****Down Side*****
***1st input DownDide***
Gd1  in-1  d1    VCR  pwl(1)  Vphi1  0  0v,100meg  0.1v,1m
Gd2  d1    0    VCR  pwl(1)  Vphi2  0  0v,100meg  0.1v,1m
.ends

.subckt opamp v+    v-    vo+    vo-
xAmp v+    v-    vo-    vo+    vb1    vb2    vb3    vb4    vcm
      FullyCascodeOTA
xBias vb3    vb2    vb4    vb1    BiasingCKT
xcmfb vo+    vo-    vcm    vb4    CMFB
.ends

.subckt BiasingCKT 2    6          5    7
ID    1    Vss  IB
m1    2    2    vdd  vdd  cmosp l=Lb  w=Wmbp
m2    3    2    vdd  vdd  cmosp l=Lb  w=Wmb2
m3    1    1    2    vdd  cmosp l=LbC w=Wmb3
m4    4    1    3    vdd  cmosp l=Lb  w=Wmb2
m5    4    4    5    vss  cmosn l=LbC w=Wmb5
m6    5    5    vss  vss  cmosn l=Lb  w=Wmbn
m7    6    2    vdd  vdd  cmosp l=Lb  w=Wmbp
m8    vss  1    6    vdd  cmosp l=Lb  w=Wmbp
m9    vdd  4    7    vss  cmosn l=Lb  w=Wmbn
m10   7    5    vss  vss  cmosn l=Lb  w=Wmbn
.ends

.subckt CMFB vo+    vo-    vcm  3
ms1   1    vphi1  0    vss  cmosn l=0.4u w=Wms1
ms2   2    vphi1  3    vss  cmosn l=0.4u w=wms2
ms3   vo+  vphi2  1    vss  cmosn l=0.4u w=wms3
ms4   vo+  Bvphi21  vdd  cmosp l=0.4u w=wms4
ms5   vcm  vphi2  2    vss  cmosn l=0.4u w=wms5
ms55  2    Bvphi2vcm  vdd  cmosp l=0.4u w=wms5
ms6   vo-  vphi2  5    vss  cmosn l=0.4u w=wms3
ms7   vo-  Bvphi25  vdd  cmosp l=0.4u w=wms4

```

```

ms8  4    vphi2 vcm  vss  cmosn l=0.4u w=wms5
ms88 vcm  Bvphi24  vdd  cmosp l=0.4u w=wms5
ms9  5    vphi1 0    vss  cmosn l=0.4u w=wms1
ms10 3    vphi1 4    vss  cmosn l=0.4u w=wms2
cs1  5    4    cs
cs2  1    2    cs
cc1  vo+  vcm  cc
cc2  vo-  vcm  cc
.ends
.subcktFullyCascodeOTA v+  v-  vo-  vo+  vb1  vb2  vb3
      vb4  vcm
m1  3    v+  1    vss  cmosn l=0.4u w=Wm1  M=Mm1
m2  2    v-  1    vss  cmosn l=0.4u w=Wm1  M=Mm1
m3  3    vb3 vdd  vdd  cmosp l=0.4u w=Wmbp  M=Mm3
m4  2    vb3 vdd  vdd  cmosp l=0.4u w=Wmbp  M=Mm3
m5  vo+  vb2  3    vdd  cmosp l=L5  w=Wmbp  M=Mm5
m6  vo-  vb2  2    vdd  cmosp l=L5  w=Wmbp  M=Mm5
m7  vo+  vb1  4    vss  cmosn l=L5  w=Wmbn  M=Mm7
m8  vo-  vb1  5    vss  cmosn l=L5  w=Wmbn  M=Mm7

m9  4    vcm  vss  vss  cmosn l=0.4u w=Wmbn  M=Mm7
m10 5    vcm  vss  vss  cmosn l=0.4u w=Wmbn  M=Mm7
m11 vb3  vb3  3    vss  cmosn l=0.4u w=Wm11
m12 vb3  vb3  2    vss  cmosn l=0.4u w=Wm11
m13 1    vb1  6    vss  cmosn l=0.4u w=Wmbn  M=Mm13
m14 6    vb4  vss  vss  cmosn l=0.4u w=Wmbn  M=Mm13
.ends
.....Ici doit figurer les modèle BSIM3 des transistors N et PMOS.....
.end

```

#### 4- Procédure de Classification des individus (op-amp) dans la population selon la méthode de « Pareto » :

Public Function **Pareto**(v As ObjV, U As Goals) As costFCT

Dim eq As Boolean

```
Dim Genotype As costFCT
Dim Violation As Single
Dim Violation2 As Single
For i = 1 To 30
    Genotype.cost(i) = 1
    Violation = 0
    Violation2 = 0
    For citizen = 1 To 30
        If citizen = i Then Exit For
        If v.Area(i) >= U.Area Then
            If v.Area(i) > v.Area(citizen) Then
                Exit For
            ElseIf v.Area(i) = v.Area(citizen) Then
                eq = True
            End If
        ElseIf v.DCGAIN(i) <= U.DCGAIN Then
            If v.DCGAIN(i) < v.DCGAIN(citizen) Then
                Exit For
            ElseIf v.DCGAIN(i) = v.DCGAIN(citizen) Then
                eq = True
            End If
        ElseIf v.Power(i) >= U.Power Then
            If v.Power(i) > v.Power(citizen) Then
                Exit For
            ElseIf v.Power(i) = v.Power(citizen) Then
                eq = True
            End If
        ElseIf v.Tset(i) >= U.Tset Then
            If v.Tset(i) > v.Tset(citizen) Then
                Exit For
            ElseIf v.Tset(i) = v.Tset(citizen) Then
                eq = True
            End If
        End If
    End If
End If
```

```

If eg = False Then
  Genotype.cost(i) = Genotype.cost(i) + 1
  Dominated(citizen) = True
Else
  If v.Area(i) > U.Area Then Violation = Violation + 1
  If v.DCGAIN(i) < U.DCGAIN Then Violation = Violation + 1
  If v.Power(i) > U.Power Then Violation = Violation + 1
  If v.Tset(i) > U.Tset Then Violation = Violation + 1

  If v.Area(citizen) > U.Area Then Violation2 = Violation2 + 1
  If v.DCGAIN(citizen) < U.DCGAIN Then Violation2 = Violation2 + 1
  If v.Power(citizen) > U.Power Then Violation2 = Violation2 + 1
  If v.Tset(citizen) > U.Tset Then Violation2 = Violation2 + 1
  If Violation < Violation2 Then
    Genotype.cost(i) = Genotype.cost(i) + 1
    Dominated(citizen) = True
  End If
End If
Next
eq = False
Next
Pareto = Genotype
End Function

```

##### 5- Procédure pour le Calcul de l'Adaptation à partir de la Alassification donnée par la Fonction « Pareto » :

```
Public Function PRank(C As costFCT, SP As Double) As Fitness
```

```

  Dim F As Fitness
  Dim Sorted_fit As Fitness
  Dim Sorted_Cost As costFCT
  Dim ParetoFit As Fitness
  Dim P As Fitness
  Dim idx(1 To 30)

```

---

```
Dim pass As Boolean
Dim AvgFit As Double
Dim sum As Double

idx = SortCostMatrix(C)
For i = 1 To 30
    F.fit(idx(i)) = i * SP
    'F.fit(i) = idx(i) * SP
Next
For i = 1 To 30
    Sorted_Cost.cost(i) = C.cost(idx(i))
    Sorted_fit.fit(i) = F.fit(idx(i))
Next
pass = False
sum = 0
Count = 0
Offset = 1
For i = 1 To 30
    If Sorted_Cost.cost(i) = Sorted_Cost.cost(Offset) Then
        sum = sum + Sorted_fit.fit(i)
        Count = Count + 1
    Else
OneMoreTime:
        AvgFit = sum / Count
        For j = Offset To Offset + Count - 1
            ParetoFit.fit(j) = AvgFit
        Next
        Offset = Offset + Count
        sum = Sorted_fit.fit(i)
        Count = 1
    End If
    If i = 30 And pass = False Then
        pass = True
        GoTo OneMoreTime:
```

```

    End If
  Next
  For i = 1 To 30
    P.fit(idx(i)) = ParetoFit.fit(i)
  Next
  PRank = P
End Function

```

#### 6- Procédure de Sélection des Parents pour la prochaine génération (méthode Stochastic Universal Selection) :

```

Public Function SUS (F As Fitness)
'-----
' SUS rRetourne une matrice
' Contenant les index des parents potentiels
'-----

  Dim ExpVal(1 To 30) As Double
  Dim Parents(1 To 30) As Integer
  For i = 1 To 30
    ExpVal(i) = F.fit(i)
    sum = sum + F.fit(i)
  Next
  '-----
  Treshold = sum * Rnd * 10
  j = 1
  '-----

  For i = 1 To 30
    IdxRoulette = 0
    Do
      IdxRoulette = IdxRoulette + ExpVal(j)
      If IdxRoulette >= Treshold Then
        'the weale hase stoped !
        Parents(i) = j
        Exit Do
      Else

```

```

        j = j + 1
        If j > 30 Then j = 1
    End If
Loop
Next
SUS = Parents
End Function

```

### 7- Procédure de Croisement de deux individus :

```

Public Function UniformXOver(idxParent1, idxParent2, XRate As Double) As
Twins
    Dim offsprings As Twins
    If Not ((XCitizenCount * (1 - XRate)) >= 1) Then
        For i = 0 To 17
            If Rnd <= 0.5 Then
                offsprings.Child1(i) = Population(i, idxParent1)
                offsprings.Child2(i) = Population(i, idxParent2)
            Else
                offsprings.Child1(i) = Population(i, idxParent2)
                offsprings.Child2(i) = Population(i, idxParent1)
            End If
        Next
        XCitizenCount = XCitizenCount + 2
    Else
        XCitizenCount = 0
        For i = 0 To 17
            offsprings.Child1(i) = Population(i, idxParent1)
            offsprings.Child2(i) = Population(i, idxParent2)
        Next
    End If
    UniformXOver = offsprings
End Function

```

### 8- Procédure Pour la Mutation des Individus Issus du Croisement:

```

Public Sub Mutate(IdxOffSpring, Rate As Double)

```

---

```
Dim idxADN As Integer
'Calcul du nombre d'AND traité sans mutation
SoFarProcessed = SoFarProcessed + 18
If SoFarProcessed * Rate >= 1 Then
  idxADN = Int(Rnd * 17)
  Select Case idxADN
    Case 0
      NextPopulation(idxADN, IdxOffSpring) = Int(Rnd * 20 + 1)
    Case 1
      NextPopulation(idxADN, IdxOffSpring) = Int(Rnd * 26 + 1)
    Case 2 Or 3
      NextPopulation(idxADN, IdxOffSpring) = Int(Rnd * 112 + 1)
    Case 4 Or 5
      NextPopulation(idxADN, IdxOffSpring) = Int(Rnd * 20 + 1)
    Case 6
      NextPopulation(idxADN, IdxOffSpring) = Int(Rnd * 10 + 1)
    Case 7
      NextPopulation(idxADN, IdxOffSpring) = Int(Rnd * 16 + 1)
    Case 8
      NextPopulation(idxADN, IdxOffSpring) = Int(Rnd * 17 + 1)
    Case 9
      NextPopulation(idxADN, IdxOffSpring) = Int(Rnd * 20 + 1)
    Case 10
      NextPopulation(idxADN, IdxOffSpring) = Int(Rnd * 10 + 1)
    Case 11 Or 12 Or 13 Or 14 Or 15
      NextPopulation(idxADN, IdxOffSpring) = Int(Rnd * 195 + 1)
    Case 16 Or 17
      NextPopulation(idxADN, IdxOffSpring) = Int(Rnd * 10 + 1)
  End Select
  SoFarProcessed = 0
End If
End Sub
```

## ANNEXE C

## Design Choices for Folded Cascode Operational Transconductance Amplifiers

Djeghader Redouane<sup>1</sup> (\*) and Pr. Nour Eddine Bougachel<sup>1</sup>

1) IC Design Lab. Université Hadj Lakhdar Batna Algeria

red\_dj79@yahoo.fr

### Abstract:

Due to their reduced thermal noise and the possible optimization of power consumption, the Folded Cascode Operational Transconductance Amplifiers, OTA, found a broad use in modern systems design. Therefore, we undertook an exhaustive study of the design choices and their impact on the final Op-amp performances. Directives are given at the end to help designers make the good tradeoffs to reach the best results.

### 1. Introduction

The operational amplifier, op-amp, is without question the most common building block in analog systems. The new constraints posed by the advent of VLSI technology, with deeply submicronic channel widths and the ceaseless need to conceive faster systems with, sometimes, purely capacitive loads, had pushed the research towards structures like the OTAs, making advantage of there one stage architecture to increase signal bandwidth.

Among many architectures of the type OTA, the structure known as "Folded Cascode OTA" (Fig.1) has found a broad use [1,2,3], because of there reduced thermal noise and a possible optimization of power consumption [4].

Several methods exist for the calculation of the structure elements, the simplest would be to start by choosing the current debited/sunk by transistors  $M_{10}$  and  $M_{11}$  (this is a function of the maximum level of power consumption allowed and the desired slew rate behaviour), then designer has to choose the ratio  $R = I_{M1} / I_{M5}$ . Once done, one can calculate the geometrical dimensions  $(W/L)_i$  of each transistor by the relation [4]:

$$(W / L)_i = \frac{2 I_{Di}}{\mu_i C_{OX} (V_{GS} - V_{TH})^2} \quad (1)$$

Where  $I_{Di}$  is the drain current of transistor "i",  $\mu_i$  the low field mobility,  $C_{OX}$  the oxide capacitor per unit area and  $V_{TH}$  the gate source threshold. In the reminder of this paper, we will note  $V_{OV}$  the term  $(V_{GS} - V_{TH})$ .

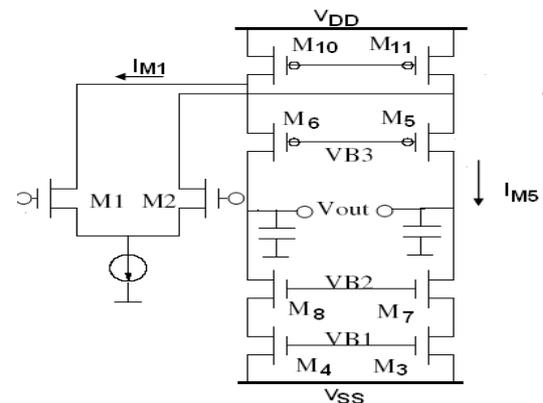


Figure 1: Simplified schematic of Folded Cascode OTA with N channel input transistors (CMFB circuit not shown).

Although, at the first glance the calculation of the elements of this structure seems to be straightforward and raises no apparent problem, choices of input transistors type (N or P OTA configuration), currents ratios and  $V_{ov}$  are left to the designer appreciation. And did not obey well established criteria, making the optimization of Op-Amp performances a very difficult task.

The purpose of our study is on the one hand, to know the influence of the design choices on the final Op-Amp performances and to provide directives on the tradeoffs to be made to arrive at the desired performances and on the other hand to establish the limitations of the studied structure.

In section II, we will study the influence of the currents ratio  $R$  and  $V_{OV}$  on  $F_u$ , DC gain and PM of the amplifier. Section III presents the evolution of the overall power consumption with  $F_u$ , section IV address the choice of Op-Amp Input transistors type (N versus P Channel). Finally we finish with conclusions and some design directives.

### 2. Influence of $V_{OV}$ and $I_{M1} / I_{M5}$ ratio

We can show that the unit frequency of the Op-Amp of the fig. 1 is given by [4]:

$$F_U = \frac{g_{m1}}{2\pi C_L} \quad (2)$$

Where  $g_{m1}$  is  $M_1$  or  $M_2$  transconductance.

Thus, raising the input transistors transconductance maximizes the band-width. This can be obtained either by using larger transistors geometry (minimizing  $V_{OV}$ ) or making sure that the polarization current of the input transistors is substantially higher than that of the Cascode and currents mirrors transistors. Doing so also maximizes the DC gain. However, the optimal value for R is not known and reducing  $V_{OV}$  causes the increase of the die area and a reduced differential input range [6].

Figures 2 and 3 illustrate the evolution of  $F_u$ , DC Gain and PM versus R and  $V_{OV}$  for two alternatives: N-OTA and P-OTA (simulation was carried out using BSIM3 model of a Standard CMOS 0.35 $\mu$ m technology). In order to guarantee an equitable comparison between all configurations, we kept the polarization current of M10 and M11 transistors constant (same power consumption for all configurations) while varying the  $I_{M1} / I_{M5}$  ratio.

As expected,  $F_u$  evolves inversely with  $V_{OV}$ . However, the N-OTA case showed sharper slope in  $V_{OV}$  direction. Furthermore, Rising R pushes  $F_u$  to a maximum from which any further increase is accompanied with a bandwidth loss. However, the P-OTA curve shows a saturation region before decreasing.

The behaviour just described can be explained by the fact that, for high values of R, the transistors assembled in Cascode or current mirrors (poorly biased) can not follow the input transistors speed and so it is worthless to increase  $g_{m1}$  by injecting more current in the  $M_1$  and  $M_2$  transistors. The examination of the fig.3.a reveals that a ratio between 4 and 6 lead almost always to the best results for P-OTA, whereas a value close to 3 is more adapted for N-OTA configuration. Even if it is tempting to choose a large value of R (within the just described limits), it would be wise to take a more moderated value to avoid the formation of the Pole-Zero doublet in the Op-Amp band-width [4,5].

The variation of the DC gain with  $V_{OV}$  and R is less dramatic than for  $F_u$ . However, the curve is quasilinear along the whole studied interval (fig. 2.b) with a higher dependence with respect to  $V_{OV}$ . Whereas for P-OTA the evolution is nonlinear with a greater dependence on R (fig. 3.b).

The observation of figures 2.c and 3.c leads to the result that for reasonably high values of  $V_{OV}$  one can ensure comfortable PM with quasi-free dependency on R.

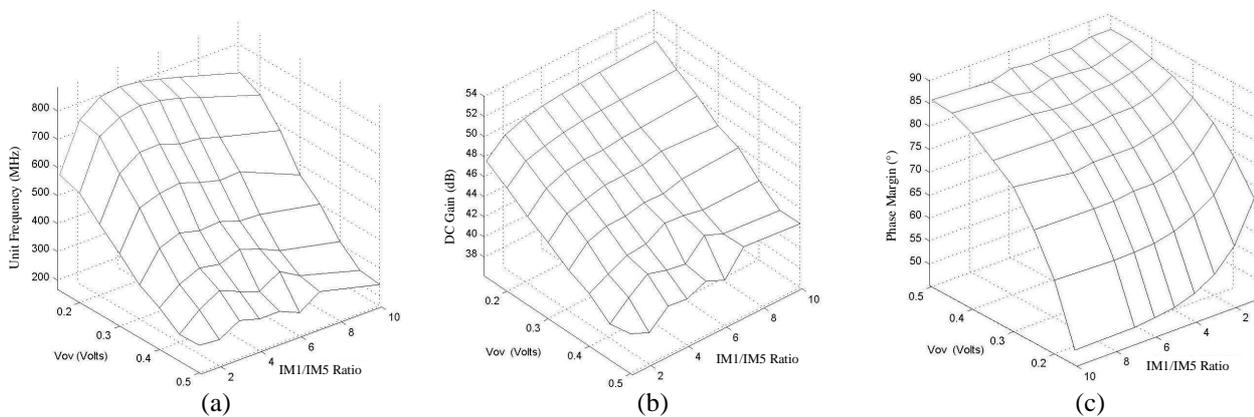


Figure 2: Simulation of N-OTA : Variation of (a)  $F_u$  (b) DC gain (c) PM vs  $V_{OV}$  and R (N.B: Results obtained with  $C_L = 1\text{pF}$ )

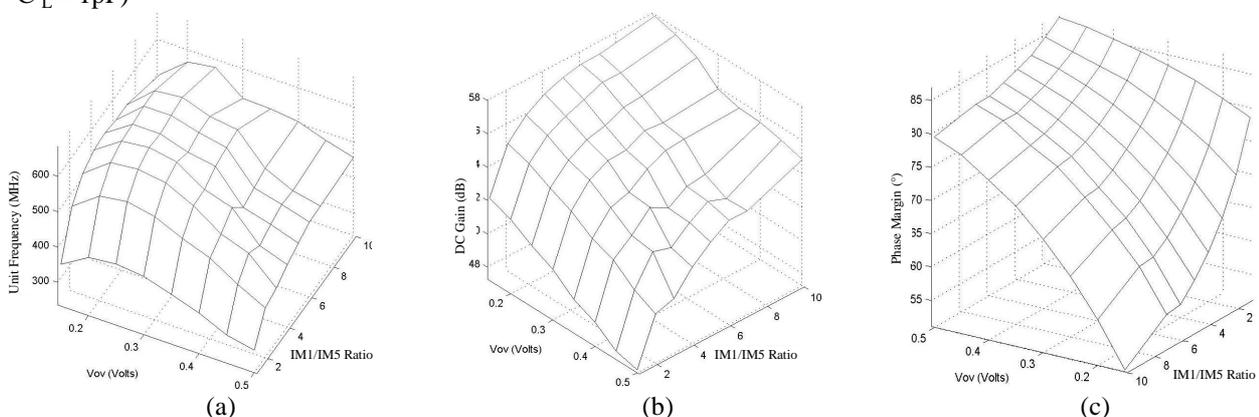


Figure 3: Simulation of P-OTA : Variation of (a)  $F_u$  (b) DC gain (c) PM vs  $V_{OV}$  and R (N.B: Results obtained with  $C_L = 1\text{pF}$ )

### 3. Power Consumption and Fu

In order to establish the limits of the studied op-amp, we carried out an AC analysis of the N-OTA and P-OTA structures under various levels of polarization currents of the transistors  $M_{10}$  and  $M_{11}$  while varying  $V_{OV}$  then reported the correspondence of the total power consumption of each configuration with its  $F_u$  (figure 4). It is worth mentioning, that using the results of section II, we chose  $R = 3$  for N-OTA configuration and  $R=5$  for P-OTA case.

The fig. 4 informs us about the level of power consumption needed to reach a given band-width. Moreover, the meticulous examination of the figures 4.a and 4.b reveals that for high current levels, if one chooses  $V_{OV}$  to be less than 0.3V, then the N Channel input transistors leads to better AC performance and power efficiency. Nevertheless, if one works with larger  $V_{OV}$ , then P-OTA configuration is more suitable.

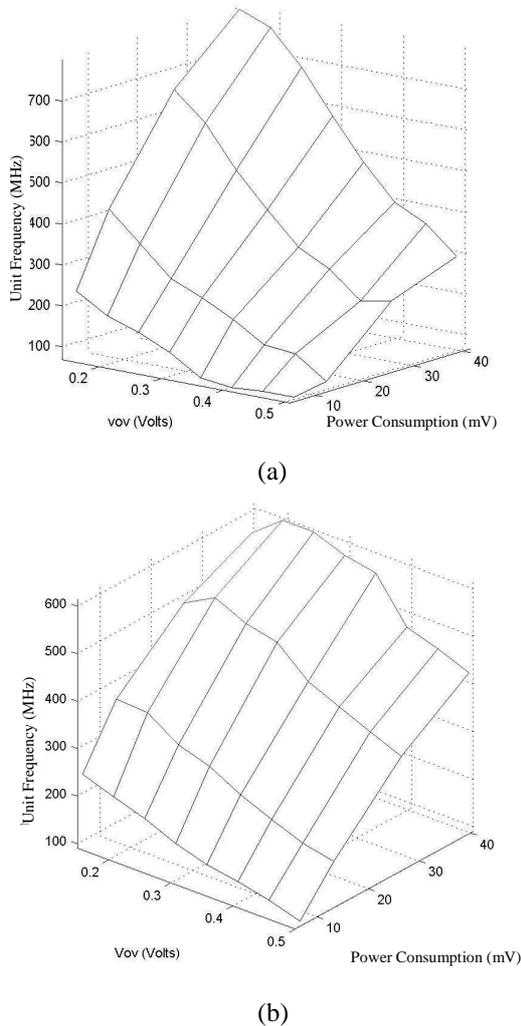


Figure 4 Variation of  $F_u$  vs.  $V_{OV}$  and power consumption for (a) N-OTA case with  $R=3$  (b) P-OTA with  $R=5$

### 4. P-OTA vs. N-OTA Comparison

In order to help designer choosing between an op-amp with N or P channel input transistors, it is necessary to define the comparison criterions. Thus, we split the studied configurations in two categories: The amplifiers which occupy the same die area and the amplifiers which have the same output excursion and the same common mode range CMR (amplifiers designed with the same  $V_{OV}$ ) It obvious to state that for an adequate judgment, the compared op-amps must consume the same electric power.

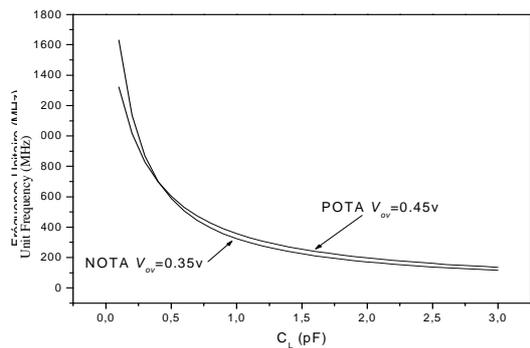
Figure 5a and 5b illustrate, respectively, the variation of  $F_u$  and PM, with the load  $C_L$  for two OTAs occupying the same die area and dissipating a power  $P=26.4\text{mW}$ . One can note that beyond  $C_L = 0.5\text{pF}$  the band-width of P-OTA configuration is 10% larger than that of N-OTA. Nevertheless, to meet the requirement of the same surface, P-OTA is conceived with larger  $V_{OV}$  which reduces its dynamic range.

Figure 6a and 6b illustrate, respectively, the evolution of  $F_u$  and PM with respect to  $C_L$  for amplifiers designed with the same  $V_{OV}$ . The prevalence of P-OTA configuration is obvious. Thus we can observe a 30% improvement on band-width as compared to N-OTA case at  $1\text{pF}$  load. This is due to the aptitude of P-OTA configuration to operate with a greater  $R$  without performances degradation; this allows designer to obtain, for the same level of electric power consumption, a higher input transconductance than that of N-OTA alternative. However, it is important to note that P-OTA configuration will occupy a larger area as shown in fig.7 (the indicated values are only the sum of  $(W \times L)_i$  and not the real surfaces occupied on silicon).

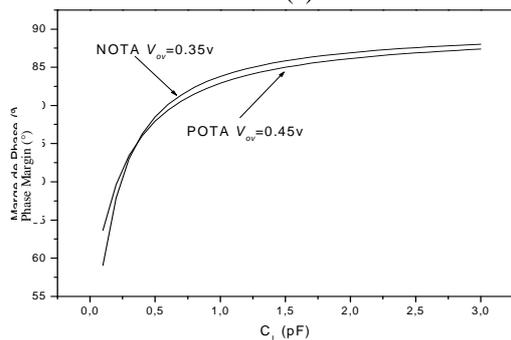
### 5. Conclusion

Assuming the same level of power consumption, our study allows us to make the following design guide lines:

- 1 If the desired dynamic range is moderate, the band-width of the N-OTA configuration will be 30% less than that of P-OTA with, however, a gain of about 45 to 70% on die area.
- 2 If the designer aims at maximum dynamic range ( $V_{OV}$  very small). N-OTA will be the suitable choice.
- 3 If the goal is to reduce Silicon area, then P-TA configuration will present a 10% gain in band-width as compared to N-OTA, with however a dynamic range reduction.

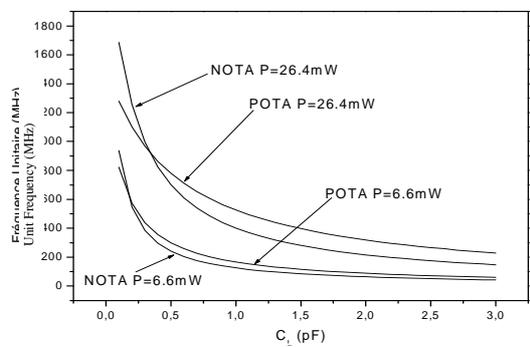


(a)

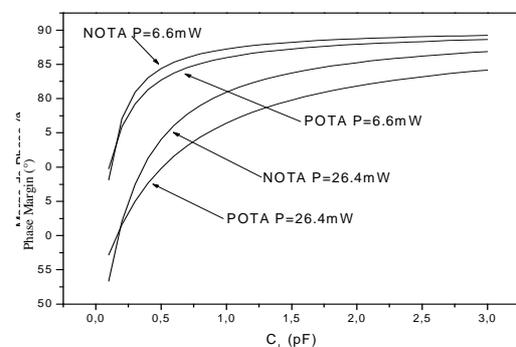


(b)

**Figure 5:** Evolution of (a) the unit frequency (b) Phase Margin with the load  $C_L$  for two OTAs occupying the same surface.

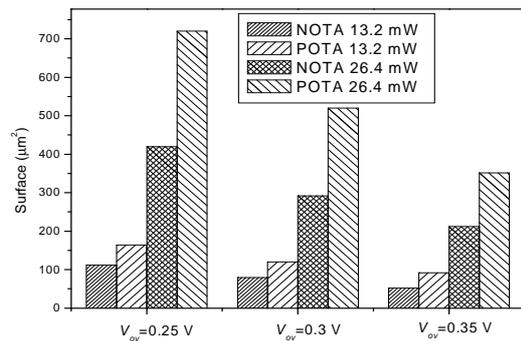


(a)



(b)

**Figure 6:** evolution of (a) the unit frequency (b) Phase Margin with the load  $C_L$  for OTAs conceived with same  $V_{OV}$



**Figure 7:** Comparison between the occupied areas of several OTAs configurations under different power consumption (indicated areas are only the sum of  $(W \times L)$  and not the real surfaces)

## 6. References

- [1] T. Lehmann, M. Cassia, “1V power supply CMOS cascode amplifier”, IEEE Journal of Solid-State Circuits, Volume 36, Issue 7, July 2001, Page(s):1082 – 1086.
- [2] E. Sall, “A 1.8 V 10-bit 80 MS/s low power track-and-hold circuit in a 0.18  $\mu\text{m}$  CMOS process”, Proceedings of ISCAS '03, Volume 1, 25-28 May 2003 Page(s): I-53 - I-56, vol.1.
- [3] R. Salinas-Cruz, G. Espinosa-Flores-V, “A folded-cascode switched OTA based on current deviation”, Proceedings of the 4th IEEE ICCDCS, April 2002, Page(s):C024 - C1-4
- [4] D. A. Johns, K. Martin, “Analog integrated circuit design” John Wiley & Sons, 1998, ISBN 0-471-14448-70.
- [5] R. J. Baker, H. W. Li, D. E. Boyle, “CMOS Circuit Design, Layout and Simulation”, IEEE press 1998, ISBN 0-7803-3416-7.
- [6] P. R. Gray, R. G. Meyer, “Analysis and Design of Analog Integrated Circuits”, John Wiley and Sons, 1993, ISBN- 0-471-57495-3.

## ANNEXE D

### FONCTIONS SOUS MATLAB

#### 1- Fonction pour le calcul des capacités de chaque structure (CIFB, CIFI, CRFF, CRFB, et CRFB(2)) :

```

function
[layer1,layer2,layer3,layer4,layer5,layer6,Load,TotCap]=Cal
culateCapa(ABCD, struc, MinCap, Ccomp)

if (struc=='CRFB' or stru=='CRFB2')
    [a,g,b,c]=mapABCD(ABCD, 'CRFB');
    Layer1Min=min(a(1),b(1));
    layer1(1)=(a(1)/Layer1Min)*MinCap; % a1
    layer1(2)=(b(1)/Layer1Min)*MinCap; % b1
    layer1(3)=(1/Layer1Min)*MinCap; % CI
    layer1=layer1.*10
    layer1=round(layer1)./10

    Layer2Min=min(a(2),c(1));
    Layer2Min=min(Layer2Min,g(1));
    layer2(1)=(c(1)/Layer2Min)*0.1; % c1
    layer2(2)=(a(2)/Layer2Min)*0.1; % a2
    layer2(3)=(g(1)/Layer2Min)*0.1; % g1
    layer2(4)=(1/Layer2Min)*0.1; % CI
    layer2=layer2.*10
    layer2=round(layer2)./10

    Load(1)=layer1(3)+layer2(1);

    Layer3Min=min(c(2),a(3));
    layer3(1)=(c(2)/Layer3Min)*0.1; % c1
    layer3(2)=(a(3)/Layer3Min)*0.1; % a2
    layer3(3)=(1/Layer3Min)*0.1; % CI
    layer3=layer3.*10
    layer3=round(layer3)./10

    Load(2)=layer2(4)+layer3(1);

    Layer4Min=min(a(4),c(3));
    Layer4Min=min(Layer4Min,g(2));
    layer4(1)=(c(3)/Layer4Min)*0.1; % c1
    layer4(2)=(a(4)/Layer4Min)*0.1; % a2
    layer4(3)=(g(2)/Layer4Min)*0.1; % g1

```

---

```

layer4(4)=(1/Layer4Min)*0.1;           %   CI
layer4=layer4.*10
layer4=round(layer4)./10

Load(3)=layer3(3)+layer4(1);

Layer5Min=min(c(4),a(5));
layer5(1)=(c(4)/Layer5Min)*0.1;       %   c1
layer5(2)=(a(5)/Layer5Min)*0.1;       %   a2
layer5(3)=(1/Layer5Min)*0.1;          %   CI
layer5=layer5.*10
layer5=round(layer5)./10

Load(4)=layer4(4)+layer5(1);
Load(5)=layer5(3)+ Ccomp;
layer6(1)=0;
if struc=='CRFB2'
    TotCap=2*(sum(layer1)+ sum(layer2)+ sum(layer3)+
sum(layer4)+ sum(layer5));
else
    TotCap=2*(sum(layer1)+ sum(layer2)+layer2(2)+
sum(layer3)+layer3(2)+ sum(layer4)+layer4(2)+
sum(layer5)+layer5(2));
end

elseif struc=='CIFB'
    [a,g,b,c]=mapABCD(ABCD,'CIFB');
    Layer1Min=min(a(1),b(1));
    layer1(1)=(a(1)/Layer1Min)*MinCap; %   a1
    layer1(2)=(b(1)/Layer1Min)*MinCap; %   b1
    layer1(3)=(1/Layer1Min)*MinCap;    %   CI
    layer1=layer1.*10
    layer1=round(layer1)./10

    Layer2Min=min(a(2),c(1));Layer2Min=min(Layer2Min,g(1));
Layer2Min=min(Layer2Min,b(2));
    layer2(1)=(c(1)/Layer2Min)*0.1;     %   c1
    layer2(2)=(a(2)/Layer2Min)*0.1;     %   a2
    layer2(3)=(g(1)/Layer2Min)*0.1;     %   g1
    layer2(4)=(b(2)/Layer2Min)*0.1;     %   b2
    layer2(5)=(1/Layer2Min)*0.1;        %   CI
    layer2=layer2.*10
    layer2=round(layer2)./10

Load(1)=layer1(3)+layer2(1);

Layer3Min=min(c(2),a(3));Layer3Min=min(Layer3Min,b(3));
layer3(1)=(c(2)/Layer3Min)*0.1;        %   c2
layer3(2)=(a(3)/Layer3Min)*0.1;        %   a3
layer3(3)=(b(3)/Layer3Min)*0.1;        %   b3
layer3(4)=(1/Layer3Min)*0.1;           %   CI

```

```

layer3=layer3.*10
layer3=round(layer3)./10

Load(2)=layer2(5)+layer3(1);

Layer4Min=min(a(4),c(3));Layer4Min=min(Layer4Min,g(2));Laye
r4Min=min(Layer4Min,b(4));

layer4(1)=(c(3)/Layer4Min)*0.1;      %   c3
layer4(2)=(a(4)/Layer4Min)*0.1;      %   a4
layer4(3)=(g(2)/Layer4Min)*0.1;      %   g2
layer4(4)=(b(4)/Layer4Min)*0.1;      %   b4
layer4(5)=(1/Layer4Min)*0.1;         %   CI
layer4=layer4.*10
layer4=round(layer4)./10

Load(3)=layer3(4)+layer4(1);

Layer5Min=min(c(4),a(5));
Layer5Min=min(Layer5Min,b(5));
layer5(1)=(c(4)/Layer5Min)*0.1;      %   c4
layer5(2)=(a(5)/Layer5Min)*0.1;      %   a5
layer5(3)=(b(5)/Layer5Min)*0.1;      %   b5
layer5(4)=(1/Layer5Min)*0.1;         %   CI
layer5=layer5.*10
layer5=round(layer5)./10

Load(4)=layer4(5)+layer5(1);

Layer6Min=min(c(5),b(6));
layer6(1)=(c(5)/Layer6Min)*0.1;      %   c5
layer6(2)=(b(6)/Layer6Min)*0.1;      %   b6
layer6(3)=(1/Layer6Min)*0.1;         %   CI
layer6=layer6.*10
layer6=round(layer6)./10

Load(5)=layer5(4)+ layer6(1)+ Ccomp;
Load(6)=layer6(3);
TotCap=sum(layer1)+ sum(layer2)+ sum(layer3)+
sum(layer4)+ sum(layer5)+ sum(layer6);
elseif (struc=='CRFF' | struc=='CIFF')
    if struc=='CRFF'
        [a,g,b,c]=mapABCD(ABCD, 'CRFF');
    else
        [a,g,b,c]=mapABCD(ABCD, 'CIFF');
    end
end
Layer1Min=min(b(1),c(1));
layer1(1)=(b(1)/Layer1Min)*MinCap; %   b1
layer1(2)=(c(1)/Layer1Min)*MinCap; %   c1
layer1(3)=(1/Layer1Min)*MinCap;     %   CI1

```

```

layer1=layer1.*10
layer1=round(layer1)./10

if b(2)==0
    Layer2Min=min(g(1),c(2));
else
Layer2Min=min(b(2),c(2));Layer2Min=min(Layer2Min,g(1));
end
layer2(1)=(c(2)/Layer2Min)*0.1;      % c2
layer2(2)=(b(2)/Layer2Min)*0.1;      % b2
layer2(3)=(g(1)/Layer2Min)*0.1;      % g1
layer2(4)=(1/Layer2Min)*0.1;         % CI2
layer2=layer2.*10
layer2=round(layer2)./10

Load(1)=layer1(3)+layer2(1);

if b(3)==0
    Layer3Min=c(3);
else
    Layer3Min=min(b(3),c(3));
end
layer3(1)=(c(3)/Layer3Min)*0.1;      % c3
layer3(2)=(b(3)/Layer3Min)*0.1;      % b3
layer3(3)=(1/Layer3Min)*0.1;         % CI3
layer3=layer3.*10
layer3=round(layer3)./10

Load(2)=layer2(4)+layer3(1);

if b(4)==0
    Layer4Min=min(g(2),c(4));
else
Layer4Min=min(b(2),c(4));Layer4Min=min(Layer4Min,g(2));
end
layer4(1)=(c(3)/Layer4Min)*0.1;      % c4
layer4(2)=(g(2)/Layer4Min)*0.1;      % g2
layer4(3)=(b(4)/Layer4Min)*0.1;      % b4
layer4(4)=(1/Layer4Min)*0.1;         % CI
layer4=layer4.*10
layer4=round(layer4)./10

Load(3)=layer3(3)+layer4(1);

if b(5)==0
    Layer5Min=c(5);
else
    Layer5Min=min(b(5),c(5));

```

```

end
layer5(1)=(c(5)/Layer5Min)*0.1;      %   c5
layer5(2)=(b(5)/Layer5Min)*0.1;      %   b5
layer5(3)=(1/Layer5Min)*0.1;         %   CI
layer5=layer5.*10
layer5=round(layer5)./10

Load(4)=layer4(4)+layer5(1);

if b(6)==0
    Layer6Min=min(a);
else
    Layer6Min=min(b(6),min(a));
end
layer6(1)=(a(1)/Layer6Min)*0.1;      %   a1
layer6(2)=(a(2)/Layer6Min)*0.1;      %   a2
layer6(3)=(a(3)/Layer6Min)*0.1;      %   a3
layer6(4)=(a(4)/Layer6Min)*0.1;      %   a4
layer6(5)=(a(5)/Layer6Min)*0.1;      %   a5
layer6(6)=(b(6)/Layer6Min)*0.1;      %   b6
layer6(7)=(1/Layer6Min)*0.1;         %   CI6
layer6=layer6.*10
layer6=round(layer6)./10

Load(5)=layer5(3)+ layer6(1)+ Ccomp;
Load(6)=layer6(7);
TotCap=sum(layer1)+ sum(layer2)+ sum(layer3)+
sum(layer4)+ sum(layer5)+ sum(layer6);

end

```

## **2- Fonction pour le rééquilibrage des coefficients du modulateur (structure CRFB seulement)**

```

function ABCD = ScaleOver(FormerABCD,layer,scal)
[a,g,b,c]=mapABCD(FormerABCD);
if layer==1
    a(1)=a(1)*scal;
    b(1)=b(1)*scal;
    c(1)=c(1)/scal;
elseif layer==2
    g(1)=g(1)*scal;
    c(1)=c(1)*scal;
    a(2)=a(2)*scal;
    c(2)=c(2)/scal;
elseif layer==3
    a(3)=a(3)*scal;
    c(2)=b(2)*scal;
    c(3)=c(3)/scal;
elseif layer==4

```

```

g(2)=g(2)*scal;
c(3)=c(3)*scal;
a(4)=a(4)*scal;
c(4)=c(4)/scal;
elseif layer==5
    a(5)=a(5)*scal;
    c(4)=b(4)*scal;
    c(5)=1;
end
ABCD=stuffABCD(a,g,b,c);

```

### **3- Fonction pour l'analyse Monte-Carlo**

```

function [BestSnr, WorstSnr, IdealSNR,
Eq,P8,P17,P19,EType,amp]=MonteSWEEP(ABCD,struct,IterNbr)
%P17---6dB
%P19---4dB
[a,g,b,c]=mapABCD(ABCD,struct);
[IdealSNR,amp]=simulateSNR(ABCD,32);
BestSnr=IdealSNR;
WorstSnr=IdealSNR;
figure;
%plot(amp,IdealSNR);
%set(findobj(gca,'Type','line','Color',[0 0 1]),...
    %'Color','black',...
    %'LineWidth',1);
hold on;
for R=1:IterNbr
    for i=1:5
        if rand(1)<=0.5
            a(i)=a(i) + a(i)*0.01*rand(1);
        else
            a(i)=a(i) - a(i)*0.01*rand(1);
        end
        if rand(1)<=0.5
            c(i)=c(i) + c(i)*0.01*rand(1);
        else
            c(i)=c(i) - c(i)*0.01*rand(1);
        end
    end
    for i=1:6
        if rand(1)<=0.5
            b(i)=b(i) + b(i)*0.01*rand(1);

        else
            b(i)=b(i) - b(i)*0.01*rand(1);
        end
        if b(i)<0
            b(i)=0;

```

```
    end
end
for i=1:2
    if rand(1)<=0.5
        g(i)=g(i) + g(i)*0.01*rand(1);
    else
        g(i)=g(i) - g(i)*0.01*rand(1);
    end
end
end
C_ABCD=stuffABCD(a,g,b,c,struct);
[snr,amp]=simulateSNR(C_ABCD,32);
P8(R)=snr(8);P17(R)=snr(17);P19(R)=snr(19); %measure SNR at -60|-6|-3 dB
%plot(amp,snr);
%set(findobj(gca,'Type','line','Color',[0 0 1]),...
%'Color','black',...
%'LineWidth',1);
if max(snr)>max(BestSnr)
    BestSnr=snr;
elseif max(snr)<max(WorstSnr)
    WorstSnr=snr;
end
end
[a,g,b,c]=mapABCD(ABCD,struct);
end
i=78:1:87;
[n,x]=hist(P17,i);
bar(x,n);
figure;[n,x]=hist(P19,i);bar(x,n);
EType(1)=std(P17);EType(2)=std(P19);
Eq(2)=max(P17);Eq(1)=min(P17);
Eq(4)=max(P19); Eq(3)=min(P19);
Eq(6)=mean(P19); Eq(5)=mean(P17);
```