

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTRE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE

Université de Batna
Faculté Des Sciences de l'Ingénieur
Département d'Electronique

Mémoire

Présenté en vue de l'obtention du diplôme de Magister en Electronique

OPTION

Micro-électronique IC-Design

PAR

Fayçal MEDDOUR

THEME

Acquisition de données en technologie
CMOS 0.25 μ m

Devant le jury :

<u>Président :</u>	Mr. Abdelhamid BENHAIA	M.C.	U. Batna
<u>Rapporteur :</u>	Mr. Zohir DIBI	M. C.	U. Batna
<u>Examineurs :</u>	Mr. Fayçal AYAD	M.C.	U. Jijel
	Mr. Abdelhamid OUNISSI	M. C.	U. Batna
	Mr. Ramdane MAHAMDI	M. C.	U. Batna

Remerciements

*Ce travail a été effectué en collaboration avec l'Université technique de Berlin en Allemagne. A cet effet, je tiens à exprimer toute ma gratitude à Monsieur **Otto. MANCK**, professeur à l'université technique de Berlin et directeur général de la société MAZ, pour m'avoir fait confiance, en m'accueillant à l'université de Berlin. Je le remercie de m'avoir faciliter la réalisation de mes travaux de projet dans d'excellentes conditions durant trois mois, ainsi que pour son support et son soutien technique.*

*Je profite de l'occasion de la présentation de ce travail pour exprimer ma haute gratitude, mes profonds respects et mes sincères remerciements et reconnaissances à mon promoteur Monsieur **Z.DIBI** qui m'a guidé avec grande patience tout au long de l'élaboration de ce travail et pour ses aides précieuses qui ont éclairé mon chemin vers le succès et la réussite du travail.*

*Je tiens à exprimer mes plus vifs remerciements envers, Monsieur **N-E. BOUGHECHAL**, professeur à l'université de Batna et Doyen de la faculté des sciences de l'ingénieur à l'université de Batna de m'avoir faciliter le déplacement à Berlin pour réaliser mon projet de magister.*

*Mes vifs remerciements vont à Monsieur **Abdelhamid BENHAIA**, maître de conférence à la Faculté des sciences de l'ingénieur de l'université de Batna, pour avoir accepté de présider le jury.*

*Je tiens également à présenter ma profonde gratitude à Monsieur **Fayçal AYAD**, maître de conférence à l'université de Jijel, qui a accepté d'examiner mon travail malgré son éloignement et ces charges.*

*J'exprime également mes remerciements à Monsieur **Ramadane MAHAMDI**, maître de conférence à la Faculté des sciences de l'ingénieur de l'université de Batna, d'avoir accepté de juger ce modeste travail.*

*Je remercie Monsieur **Abdelhamid OUNISSI**, maître de conférence à la Faculté des sciences de l'ingénieur de l'université de Batna qui a accepté d'examiner mon travail.*

A l'occasion j'adresse un remerciement particulier à tous nos enseignants qui ont contribué à notre formation.

Dédicace

A mon père

Pour sa patience et ces considérables sacrifices pour me parvenir à ce niveau.

A ma mère

Pour son grand amour, ces sacrifices et toute affectation qu'elle m'a toujours offerte.

A l'ensemble des enseignants

Pour leurs sacrifices de temps qu'ils m'ont toujours offert et leur patience.

A mes frères, A mes sœurs.

A tous mes collègues et amis.

Je dédie ce mémoire.

Sommaire

Introduction	1
--------------------	---

CHapitre I Généralités sur la conception et les technologies

I.1.Introduction.....	4
I.2. conception analogique	4
I.2.1. Conception des Circuits Intégrés	4
I.2.2. Conception assistée par ordinateur.....	5
I.3. Conception D'un VLSI.....	6
I.4. Circuits Intégrés ASICs	8
I.4.1. définition	8
I.4.2. Avantages de l'utilisation d'ASICs.....	8
I.4.3. conception des ASICs	9
I.5. Aperçu sur la technologie des Semi-conducteurs	9
I.5.1. technologie Bipolaire	9
I.5.2. technologie MOS	10
I.5.3. Technologie CMOS	11
I.5.3.b. technologie BiCMOS	15
I.6. Conclusion	17

Chapitre II Base théorique

II.1. Introduction	19
II.2.Transistor MOS	19
II.2.1. La structure MOS	19
II.2.2. Le transistor N-MOS	20
II.2.3. Fonctionnement du transistor N-MOS.....	21
II.2.4. Caractéristiques courant-tension du transistor N-MOS	24
II.3. Les miroirs de courant	26
II.3.1. Principe	27
II.3.2.Caractéristiques.....	27
II.3.3.Réalisation	28
II.4. Les miroirs de courant en technologie CMOS	28
II.4.2. Le montage cascode.....	30
II.4.3. Le montage WILSON.....	31
II.5. L'amplificateur opérationnel	31

II.5.1. Historique	31
II.5.2. Amplificateur opérationnel idéal	32
II.5.3. Amplificateur opérationnel réel	32
II.6. La structure "rail à rail"	35
II.6.1. Opération "Rail to Rail"	36
II.6.2. Étage d'entrée	36
II.7. Conclusion	40

Chapitre III Simulation

III.1. Introduction	42
III.2. Cahier de charge	42
III.3. Distributeur de courant	43
III.3.1. Schéma de test	43
III.4. Simulation du distributeur de courant	50
III.5. Multiplexeur à 16 entrées	53
III.5.1. Circuit de test	54
III.5.2. Simulation du multiplexeur	55
III.5.3. L'interrupteur (switcher)	56
III.6. Driver de tension contrôlée	61
III.6.1 Amplificateur opérationnel de type P	61
III.6.4. Simulation transitoire du driver	71
III.6.5. Simulation de stabilité	73
III.6.6. AC simulation	75
III.7. conclusion	80

Chapitre VI Layout

IV.1. Introduction	82
IV.2. layout	82
IV.3. Le cycle d'un circuit layout	83
IV.3.1. Partitioning	83
IV.3.2. Placement	84
IV.3.3. Routage	84
IV.4. Les couches de masques	85
IV.4.1. Le well	85
IV.4.2. Les couches des métaux	85
IV.4.3. Les couches de diffusions	86

IV.4.4. La couche du poly	86
IV.4.5. Les Vias et le contact	86
IV.5. Les techniques de layout	87
IV.5.1. L'appariement des composants (Matching)	87
IV.5.1.1. Les règles de base de Lambda.....	91
IV.5.2. Guard ring	92
IV.5.2. Limitations du courant transporté	93
IV.6 Layout des différents blocs de notre projet.....	93
IV.6.1 Layout d'un Switcher	93
IV.6.2 Layout du multiplexeur	94
IV.6.3. Layout du driver	96
IV.6.4. Layout du distributeur de courant	99
IV.7. Conclusion	100
Conclusion Générale	102
Bibliographies	104
Annexe	107

INTRODUCTION

GENERALE

Introduction

Du fait des développements technologiques ces dernières années, des systèmes électroniques qui sont réalisés sous forme de cartes sont aujourd'hui intégrés sur une seule puce. Cette tendance à l'intégration et à la miniaturisation des circuits est portée par le développement "explosif" des applications de multimédias, de télécommunications et d'automobiles. De tels systèmes comportent un nombre croissant de modules pouvant appartenir à des domaines différents: des fonctions *numériques*, prédominantes et des fonctions *analogiques* d'amplification et de filtrage. Certaines technologies (Bipolar, CMOS, DMOS) permettent d'intégrer des fonctions analogiques de puissance et des fonctions logiques en même temps.

Grace à des concepteurs chevronnés les équipes de conception ont pour mission non seulement de créer de nouveaux circuits mais aussi et surtout de développer et d'améliorer les conceptions qui existent au paravent. Leurs développements assureront la continuité des produits et les progrès de conception conventionnels pour une meilleure concurrence. C'est mieux de continuer l'amélioration des performances des circuits pour arriver à des conceptions beaucoup plus fiables que de démarrer toujours à zéro car les nouvelles bonnes idées viennent toujours des idées anciennes.

Nous avons effectué en collaboration avec le groupe de recherche de l'institut de la microélectronique de l'université de Berlin un travail de recherche pour le développement d'une bibliothèque analogique adaptée spécialement au circuit intégré (**High precision digital to analog converter for industrial application**) dans ce travail nous avons conçu, simulé et réalisé le layout du:

- Circuit de décalage de tension.
- multiplexeur analogique 16 entrées avec éliminateur de bruit.
- Distributeur de courant.
- Driver de tension contrôlée.

Ce mémoire tente de rassembler et de présenter l'expérience acquise au cours de ce projet. Il est constitué de quatre chapitres principaux, qui reflètent les différentes facettes de notre conception:

Après une introduction générale, le premier chapitre présente un aperçu sur la conception analogique des circuits intégrés. En plus de l'évolution technologique et les progrès principaux en technologie des semi-conducteurs. Nous y consacrerons une grande importance à la conception des ASICs.

Le deuxième chapitre expose la théorie des amplificateurs, des interrupteurs et des multiplexeurs.

Dans le troisième chapitre nous avons résumé trouvent les simulations des différents circuits conçus dans les travaux de ce mémoire (multiplexeur analogique 16 entrées avec éliminateur de bruit, distributeur de courant, driver de tension contrôlé, circuit de décalage de tension).

Enfin, comme certains de nos lecteurs ne sont pas familiers avec le domaine de la conception du Layout des circuits, nous exposons dans une dernière partie les différentes issues de conception et réalisation du Layout en introduisant la majorité des problèmes rencontrés ainsi que leurs solutions. Nous exposons le Layout réalisé pour la chaîne d'acquisition. Une conclusion ponctue ce document, suivie des annexes techniques.

Chapitre I

Généralités sur la conception et les technologies

I.1.Introduction

La **micro-électronique** s'intéresse à l'étude et à la fabrication de composants électroniques à l'échelle micronique, Ces composants sont fabriqués à partir de matériau à semi-conducteurs (comme le Silicium) au moyen de diverses technologies dont la photolithographie. Cette technologie permet l'intégration de nombreuses fonctions électroniques sur un même morceau de Silicium (ou autre semi-conducteur) et donc à un prix plus bas. Les circuits ainsi réalisés sont appelés puces ou circuits intégrés. Ils peuvent être standards ou spécifiques à une application (ils sont alors nommés "ASIC" : Application Specific Integrated Circuit). Tous les composants électroniques discrets : les transistors, les condensateurs, les inductances, les résistances, les diodes et, bien sûr, les isolants et les conducteurs, ont leur équivalent en micro-électronique.

I.2. conception analogique

I.2.1. Conception des Circuits Intégrés

La conception (ou le design) de circuits intégrés (ou puces électroniques) consiste à réaliser les nombreuses étapes de développement (flot de conception ou *design flow*) nécessaires pour concevoir correctement et sans erreurs une puce électronique.

La conception du circuit dans son ensemble pose de redoutables problèmes lorsqu'il s'agit de satisfaire des contraintes de performances (surface, délais, partition matériel-logiciel, partition logique-analogique) et de marché (domaine d'application, disponibilité et dévalorisation rapide du produit).

Plusieurs objectifs doivent ainsi être absolument atteints:

- Une exploration efficace de l'espace des solutions.
- Une réutilisation optimale de l'expertise acquise de manière à éviter de repartir systématiquement de zéro chaque nouveau produit. Ceci requiert, entre autres, une gestion rigoureuse des données de conception.
- Une grande flexibilité dans les technologies de réalisation possibles de manière à pouvoir rapidement tirer parti de nouvelles performances technologiques sans devoir nécessairement remettre en cause tout ou une partie des choix de conception.

Le mode de fonctionnement du circuit joue aussi un rôle très important.

Un **circuit numérique** (*digital circuit*) travaille selon un mode discret qui ne considère qu'un nombre limité d'états. Le comportement du circuit consiste principalement à passer

d'un état à un autre et peut être décrit sous la forme d'un programme. Un microprocesseur est un exemple type de circuit logique.

Un **circuit analogique** (*analog circuit*) travaille selon un mode continu dont le comportement peut être décrit sous la forme d'équations, et comme exemple (amplificateur opérationnel).

Un **circuit mixte** (*mixed-signal circuit*) incorpore des parties fonctionnant en mode logique et des parties fonctionnant en mode analogique, et comme exemple de circuit mixte un circuit analogique-numérique (*digital-to-analog converter*) [1].

I.2.2. Conception assistée par ordinateur

La complexité des fonctions réalisées sur une seule puce de silicium ne peut être maîtrisée que grâce à l'assistance d'outils logiciels appropriés et de méthodes de conception systématiques. Il existe trois méthodes de conception principales: Les méthodes descendantes, les méthodes montantes et les méthodes mixtes.

Les **méthodes descendantes** (*top-down*) sont basées sur une suite de raffinements successifs partant d'un cahier des charges pour aboutir à une description détaillée de la réalisation. Les méthodes descendantes sont bien adaptées à la réalisation de circuits dont la structure peut être optimisée de manière très flexible à partir d'un ensemble de cellules standard (*standard cells*) ou de matrices de portes (*gate arrays, sea of gates*).

Les **méthodes montantes** (*bottom-up*) se basent sur l'existence de modules (primitives ou fonctions plus complexes) caractérisés. Une réalisation possible est alors construite par assemblage à l'aide d'un processus de sélection de modules. Les méthodes montantes sont bien adaptées à la réalisation de circuits dont la structure est essentielle à leur bon fonctionnement. Les circuits réguliers (mémoires, chemins de données (*datapath modules*)) sont des exemples types.

Les **méthodes mixtes** (*meet-in-the-middle*) sont une combinaison de méthodes descendantes et de méthodes montantes. Elles sont particulièrement adaptées à la réalisation de circuits à applications spécifiques (ASIC) possédant un grand nombre de composants personnalisés comme des multiplieurs, des unités de contrôle et de la mémoire. Le processus de conception passe ainsi par un certain nombre d'étapes, chacune d'elles nécessitant une description de l'état du système sous forme graphique (diagrammes, schémas, etc.) ou textuelle (algorithmes, liste de pièces et connectivité (*netlist*), etc.).

On peut distinguer deux types de descriptions: Les formats d'échange et les langages de description de matériel.

Les *formats d'échange* (*interchange format*) sont des descriptions qui ne sont destinées à être lues et comprises que par des outils logiciels. On trouve par exemple dans cette catégorie les formats CIF et GDSII pour le Layout et EDIF pour le schéma et le Layout.

Les *langages de description de matériel* (*hardware description language*, HDL) sont des descriptions destinées à être lues et comprises par des concepteurs [2].

I.3. Conception D'un VLSI

Le cycle de conception de VLSI commence par une spécification formelle d'un VLSI chip, la suite d'une série d'étapes, produit éventuellement un chip emballé. Les étapes du cycle de conception d'un VLSI peuvent être décrites comme suit:

- **Le système de spécification:** Comme dans n'importe quel processus de conception, la première étape est d'établir les caractéristiques du système à concevoir. Ceci nécessite une création d'une représentation à niveau élevé du système. Les facteurs à considérer dans ce processus incluent: la performance, la fonctionnalité et les dimensions physiques. Le choix de la technologie de fabrication et les techniques de conception et de fabrication sont également considérées. A la fin, les résultats consistent à la spécification de la taille, la vitesse, la puissance et la fonctionnalité du système VLSI qui doit être conçu.
- **La conception fonctionnelle:** Dans cette étape, les aspects comportementaux du système sont considérés. Le résultat est toujours un diagramme de synchronisation ou d'autres rapports entre les sous-unités. Cette information est employée pour améliorer le processus de conception globale et pour réduire la complexité des phases suivantes.
- **La conception d'un circuit:** Le but de la conception d'un circuit est de développer une représentation du circuit, prenant en considération l'alimentation et la vitesse de la conception originale. Le comportement électrique des divers composants est également considéré dans cette phase. La

conception d'un circuit est toujours exprimée en un schéma d'un circuit détaillé.

- **Circuit layout:** Dans cette étape, la représentation de chaque composant du circuit est converti en une représentation géométrique. Cette représentation est en fait un ensemble de modèles géométriques qui exécutent la fonction prévue du composant correspondant. Les connections entre les différents composants sont également exprimées en tant que des modèles géométriques. Cette représentation géométrique d'un circuit s'appelle layout. Les détails exacts d'un layout dépendent des règles de conception, qui sont des directives basées sur les limitations du processus de fabrication et les propriétés électriques des matériaux de fabrication. Le layout d'un circuit est un processus très complexe, en conséquence, il est toujours décomposé en diverses étapes secondaires (sub-steps) afin de manipuler la complexité du problème.
- **La vérification de la conception:** Le layout est vérifié dans cette étape pour assurer que ce dernier répond aux spécifications du système et aux exigences de fabrication. La vérification de la conception consiste du Design Rule Checking (DRC) et du circuit d'extraction. Le DRC est un processus qu'on utilise pour vérifier que tous les modèles géométriques réunissent les règles du dessin de layout "design rule" imposées par le processus de fabrication. Après avoir examiné le layout, la fonctionnalité de layout est vérifiée par le circuit d'extraction. Cette représentation du circuit peut alors être comparée à la représentation originale pour vérifier l'exactitude de layout.
- **Fabrication:** Après la vérification, le layout est prêt pour la fabrication. Le processus de fabrication est constitué de plusieurs étapes: préparation de la plaquette, déposition et la diffusion de divers matériaux sur la plaquette selon la description de layout. Avant que le chip soit produit, un prototype est fabriqué et testé.
- **Emballage, Test et Correction:** Finalement, la plaquette est fabriquée et découpée dans un outil de fabrication. Chaque chip est alors emballé et correctement testé. [3]

I.4. Circuits Intégrés ASICs

I.4.1. définition

Les circuits ASICs constituent la troisième génération de circuits intégrés qui a vu le jour au début des années 80. En comparaison avec les circuits intégrés standards, l'ASIC présente une personnalisation de son fonctionnement, accompagnée d'une réduction du temps de développement, d'une augmentation de la densité d'intégration et de la vitesse de fonctionnement [4]. En outre sa personnalisation lui confère un autre avantage industriel, c'est évidemment la confidentialité.

I.4.2. Avantages de l'utilisation d'ASICs

D'une manière générale l'utilisation d'un ASIC conduit à de nombreux avantages provenant essentiellement de la réduction de la taille des systèmes. Il en ressort :

- Réduction du nombre de composants sur le circuit imprimé. La consommation et l'encombrement s'en trouvent considérablement réduits.
- Le concept ASIC par définition assure une optimisation maximale du circuit à réaliser. Nous disposons alors d'un circuit intégré correspondant réellement à nos propres besoins.
- La personnalisation du circuit donne une confidentialité au concepteur et une protection industrielle.
- Ce type de composant augmente la complexité du circuit, sa vitesse de fonctionnement et sa fiabilité.

I.4.3. conception des ASICs

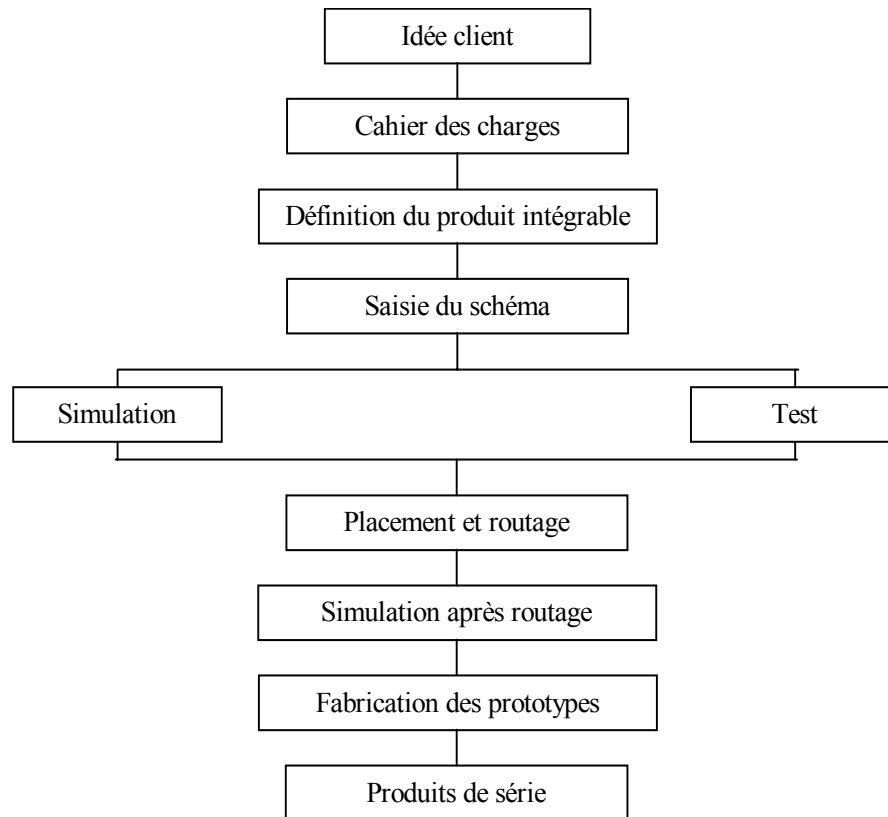


Fig. I.1. *Déroulement du Développement d'un ASIC*

Les étapes de la conception d'un ASIC prennent en compte le cahier des charges qui décrit le principe de fonctionnement, l'architecture interne à partir d'un schéma synoptique, les caractéristiques électriques et dynamiques, le brochage et le type de boîtier ainsi que les conditions de simulation fonctionnelle. Une fois les spécifications figées, les étapes de développement sont alors classiques (fig. I.1).

I.5. Aperçu sur la technologie des Semi-conducteurs

I.5.1. technologie Bipolaire

La première technologie de réalisation des transistors bipolaire est la technologie Mesa dans laquelle les trois couches sont superposées [4-5]. Un peu plus tard est arrivée la technologie Planar (fig.I.2). Dans cette dernière chaque transistor, pour être isolé de son voisin, a été placé dans un caisson (zone du substrat à dopage inverse). La technologie planaire permet de réaliser des systèmes à très haute échelle d'intégration à partir de transistors bipolaires. Un circuit dans cette technologie peut incorporer des transistors npn,

des transistors pnp, des diodes, des résistances et des éléments capacitifs. Les propriétés des transistors bipolaires font que les circuits électroniques réalisés dans cette technologie sont plus rapides comparés aux mêmes circuits réalisés dans une technologie CMOS. Cependant l'inconvénient majeur qu'ils présentent est leur forte consommation.

Une vue en coupe des éléments réalisés dans cette technologie est présentée sur la figure (I.2) où on peut observer des résistances formées par des régions de diffusion P^+ dans la couche épitaxiale de type n. Une diffusion n^+ réalisée dans une région P^+ permet de former des diodes à jonctions. Un transistor npn vertical est réalisé par une succession de diffusions n^+ et P^+ dans la couche épitaxiale. Cette dernière couche sert de collecteur pour le transistor, la diffusion P^+ sert de base et la diffusion n^+ d'émetteur. Le transistor pnp latéral est formé par deux régions de diffusion P^+ , qui servent d'émetteur et de collecteur, dans la couche épitaxiale de type n qui sert de base pour le transistor [6].

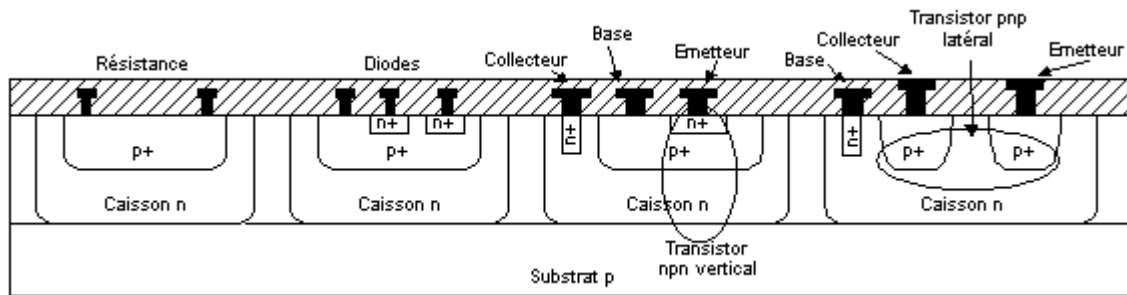


Fig. I.2. *Vue en coupe des composants réalisés dans une technologie bipolaire. Le procédé de fabrication dans cette technologie permet de faire un empilement de 4 couches de silicium de types différents (pnpn) [6].*

I.5.2. technologie MOS

La technologie MOS (*Metal Oxide Semiconductor*) tire son nom de la constitution des éléments : une électrode métallique est placée sur un oxyde métallique l'isolant du substrat semi-conducteur. Le transistor MOS (Figure I.3) est constitué d'un substrat de silicium dans lequel sont diffusées deux zones n , la source et le drain. Au-dessus de l'espace source-drain est déposée une mince couche d'oxyde métallisé en surface avec de l'aluminium constituant une troisième électrode, la grille [5-7]. La conduction s'effectuera via un canal qui relie la source au drain et qui a la même polarité que ses électrodes.

Plus lente que la technologie bipolaire, on peut dire que la technologie MOS est :

- favorisée par un faible encombrement sur substrat favorisant une intégration dense,
- une très faible consommation d'énergie car les transistors sont commandés en tension sans courant statique,
- une large immunité au bruit et une sortance élevée.
- celui de ne nécessiter que l'intégration de transistors, qui peuvent être employés en tant que résistances. Ceci permet l'uniformisation de la fabrication pour répondre favorablement à la complexité des composants numériques [5].

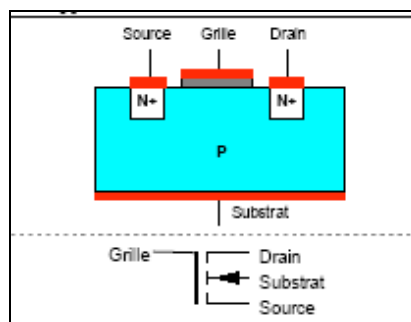


Fig. I.3. MOS à canal N(NMOS) [5].

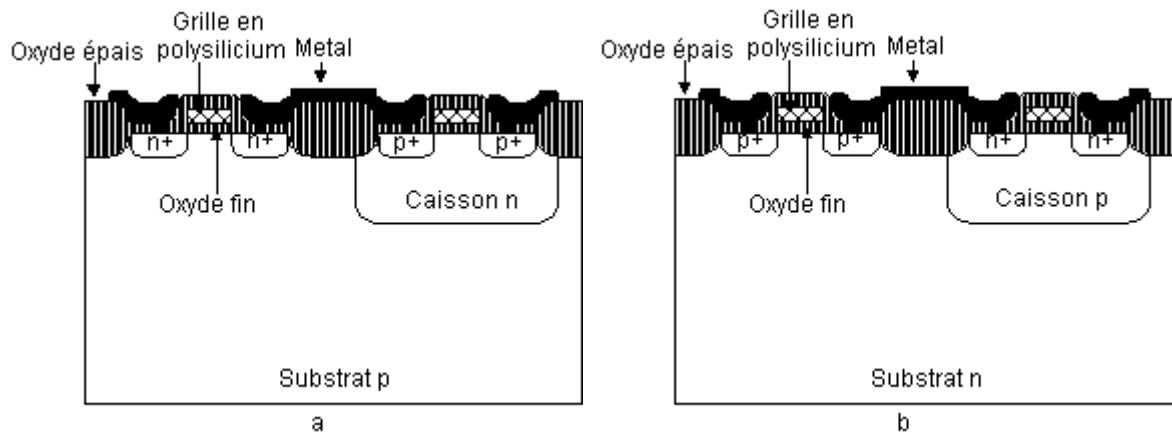
I.5.3. Technologie CMOS

Dès 1930, Julius Edgar Lilienfeld de l'Université de Leipzig déposait un brevet dans lequel il décrivait un élément assez proche du transistor MOS et qui aurait pu constituer le premier transistor de l'histoire. Il fallut cependant attendre le début des années 1960, pour voir apparaître les premiers dispositifs MOS puis CMOS industriels, dont le développement avait été rendu possible par les progrès enregistrés dans le domaine des transistors bipolaires et en particulier la résolution des problèmes d'interface oxyde-semiconducteur[8]. Aujourd'hui le transistor MOS constitue, par sa simplicité de fabrication et ses dimensions, l'élément fondamental des circuits intégrés [9].

La technologie CMOS est une technologie planaire destinée au développement des systèmes à très haute échelle d'intégration (VLSI). Grâce aux propriétés des transistors MOS complémentaires (notées CMOS pour Complementary Metal Oxyde Silicon), cette technologie permet de réaliser des circuits à faible coût et à basse consommation. Cet avantage lui a permis d'être reconnue comme la technologie de pointe la plus avancée et la plus maîtrisée dans le domaine de la micro-électronique.

Parmi les types de technologies CMOS, on peut citer les trois qui sont les plus connues: la technologie CMOS à caisson n, la technologie CMOS à caisson p, et la technologie CMOS à double caisson. Une technologie CMOS à caisson n utilise un substrat en silicium de type p dans lequel est formé un caisson en silicium de type n. Des transistors pMOS sont alors réalisés dans ce caisson et des transistors nMOS dans le substrat. Une technologie CMOS à caisson p, permet de réaliser des transistors pMOS sur le substrat de type n et des transistors nMOS dans un caisson p. Enfin, la technologie CMOS à double caisson utilise un substrat en silicium de type quelconque, sur lequel sont déposés des caissons de type N et des caissons de type P.

Les transistors NMOS et PMOS qui peuvent être réalisés par ces technologies sont utilisés pour former des fonctions analogiques ou numériques ; une coupe de ces transistors est donnée sur la figure (I.4). Les procédés de fabrication utilisés dans chaque technologie CMOS pour réaliser ces transistors diffèrent d'un fabricant à un autre et évoluent continuellement pour réaliser des composants plus performants et plus rapides. [6]



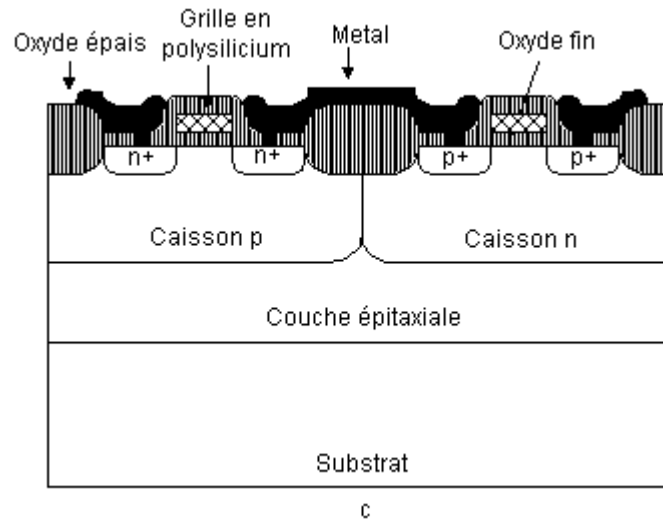


Fig.I.4. *Vue en coupe des transistors CMOS de type n et de type p réalisés par trois différents procédés de fabrication CMOS. La vue en coupe (a) montre les deux types de transistors dans une technologie CMOS à caisson n, (b) montre ces transistors dans une technologie CMOS à caisson p et (c) dans une technologie CMOS à double caisson [6].*

I.5.3. a. Procédé de fabrication CMOS à caisson n

L'approche la plus couramment utilisée dans une technologie CMOS à caisson n est d'utiliser un substrat en silicium de type p modérément dopé, de créer le caisson n pour les composants à canal p et de former les transistors à canal n dans le substrat natif. Le procédé de fabrication utilisé par cette technologie est généralement complexe et dépend du fondeur, nous allons donc restreindre notre étude aux étapes essentielles.

La figure (I.5) illustre le procédé de fabrication en technologie CMOS à caisson n et donne à chaque étape du procédé une vue en coupe de la tranche du silicium en fabrication et le masque correspondant.

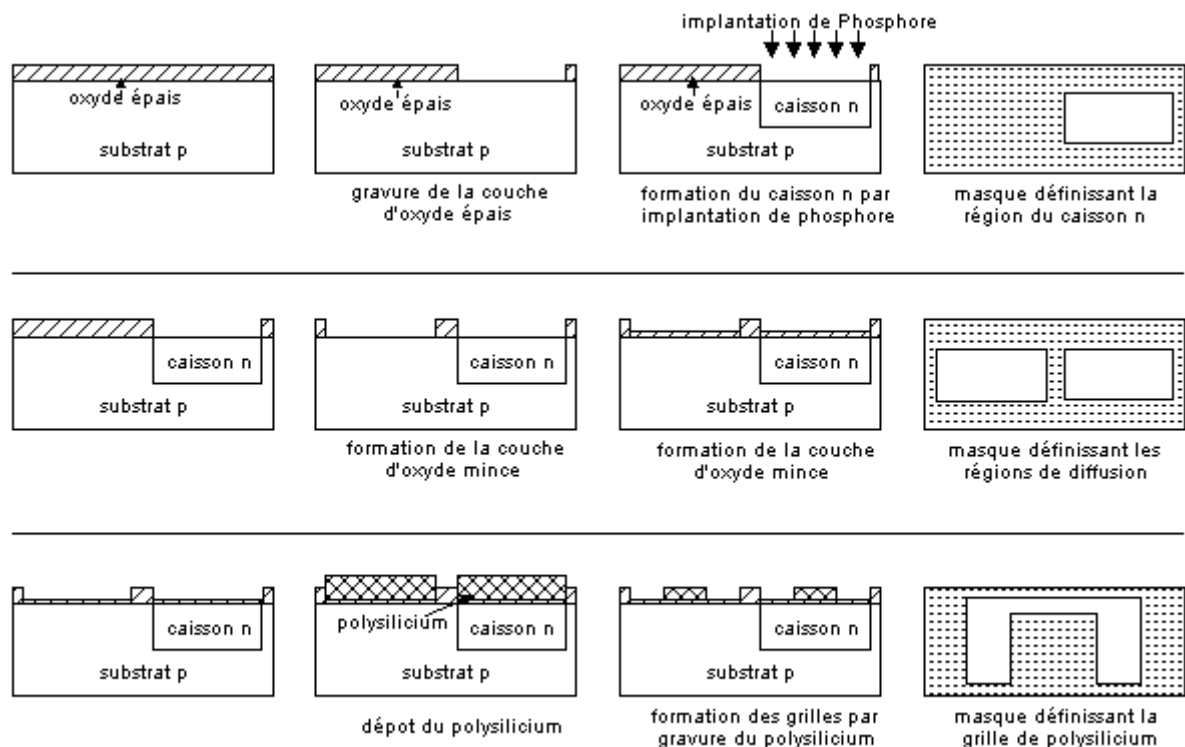
Généralement dans une technologie de circuits intégrés, on commence par une tranche de silicium (Wafer) sur laquelle on a déjà déposé une couche épaisse d'oxyde. La première étape consiste à définir la région où le caisson n sera formé, dans cette région la couche d'oxyde épais est gravée pour permettre une diffusion profonde d'impureté de type n telle que le phosphore. La profondeur du caisson ainsi que son niveau de dopage va dépendre de l'énergie et de la durée de la diffusion. Le caisson ainsi formé va servir à réaliser des transistors à canal p.

La seconde étape consiste à définir les régions où seront formées les couches fines d'oxyde qui sont nécessaires pour réaliser les grilles des transistors. La couche épaisse

d'oxyde est alors gravée jusqu'au substrat dans les régions où des transistors à canal n seront réalisés, et jusqu'au caisson dans les régions où des transistors de type p seront formés. Les couches fines sont alors créées par oxydation du silicium.

Dans l'étape suivante la grille en polysilicium est formée. Cette étape consiste à recouvrir le matériau de polysilicium puis à faire une gravure pour enlever l'essentiel de cette couche de façon à ne laisser que les régions qui vont servir comme grille pour les transistors.

Dans les deux étapes qui suivent les transistors de type n et les transistors de type p sont définis. Une diffusion localisée d'impuretés de type donneur telle que le phosphore, va former le drain et la source des transistors à canal n, ces régions sont appelées régions de diffusion n+. Une diffusion localisée d'impuretés de type accepteur telle que le Bore va former les régions de drain et source des transistors à canal p, ces régions sont appelées région de diffusion p+. Ces deux étapes sont faites après la formation de la grille de polysilicium pour assurer un auto-alignement des deux régions de diffusion d'un transistor.



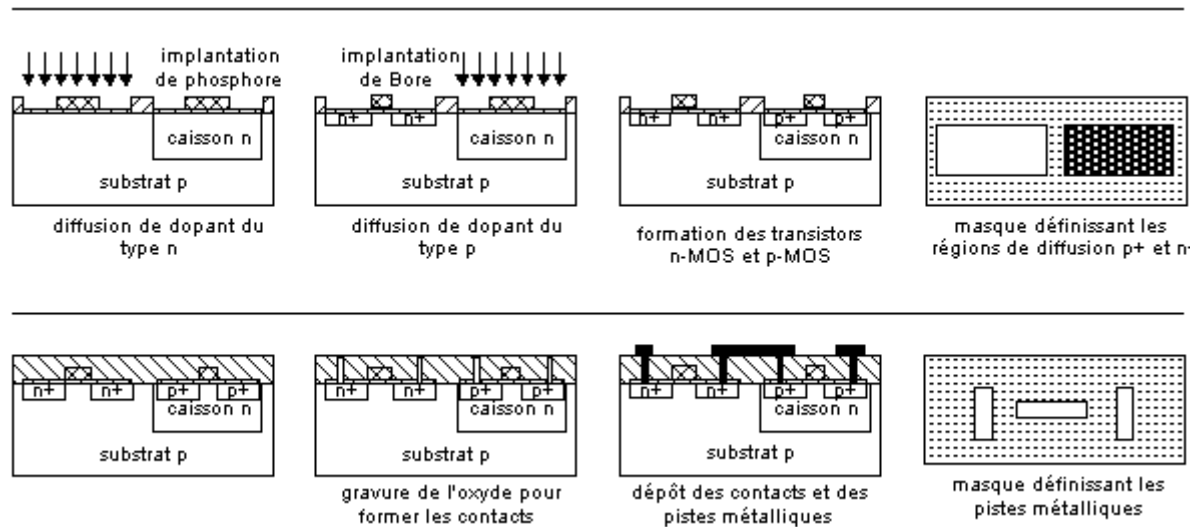


Fig. 1.5 La figure montre les différentes étapes suivies pendant un procédé de fabrication d'une technologie CMOS à caisson n. Elle donne une vue en coupe de la tranche de silicium en fabrication ainsi que le masque correspondant à chaque étape du procédé CMOS à caisson n [6].

Comme le montre la figure (I.5), les étapes précédentes ont permis de réaliser des transistors à canal p dans le caisson et des transistors de type n dans le substrat. L'étape qui suit consiste à définir les lieux où un contact sera réalisé. La couche d'oxyde est alors gravée jusqu'aux surfaces sur lesquelles sera pris un contact métallique. Cette étape est suivie par une métallisation pour former ces contacts métalliques ainsi que les pistes d'interconnexions. Le nombre de niveaux de métal diffère d'une technologie à une autre, plus il y a de niveaux de métal, plus le concepteur a de facilités pour réaliser les connections entre les composants dans le circuit intégré.

L'étape finale consiste à recouvrir le circuit d'une couche de passivation (une couche d'oxyde) et à réaliser des ouvertures pour les différents plots du circuit intégré. La couche de passivation est nécessaire puisqu'elle permet de protéger le silicium d'une contamination par des impuretés qui peuvent affecter les composants.

Par analogie avec les étapes du procédé de fabrication de la technologie CMOS à caisson n on peut déduire les étapes des procédés CMOS à caisson p ou à double caisson.

1.5.3.b. technologie BiCMOS

La technologie BiCMOS est apparue vers les années 1990. Comme elle utilise à la fois le procédé de fabrication d'une technologie bipolaire et le procédé d'une technologie CMOS,

elle permet de réaliser sur le même circuit des transistors CMOS et des transistors bipolaires [6].

La technologie BiCMOS semble être aujourd'hui pour les ASIC la technologie promotrice. Elle associe les avantages du bipolaire : rapidité et capacité de commande de courants forts et de hautes tensions et ceux du MOS : densité élevée de composants et faible consommation. Elle présente également une particularité intéressante, les profils d'impureté dans les couches peuvent être optimisés simultanément par un processus simple ne nécessitant qu'un nombre réduit de masques supplémentaires pour associer les deux technologies. Cette technologie a des avantages de performance dans les applications digitales, car la haute capacité de commande de courant du transistor bipolaire facilite considérablement la commande des charges de grandes capacités. De tels processus sont également attrayants pour les applications analogiques car ils permettent au concepteur de profiter des caractéristiques uniques des deux types de transistors [5-10-11].

La figure suivante montre une simple coupe d'un processus BiCMOS de haute performance.

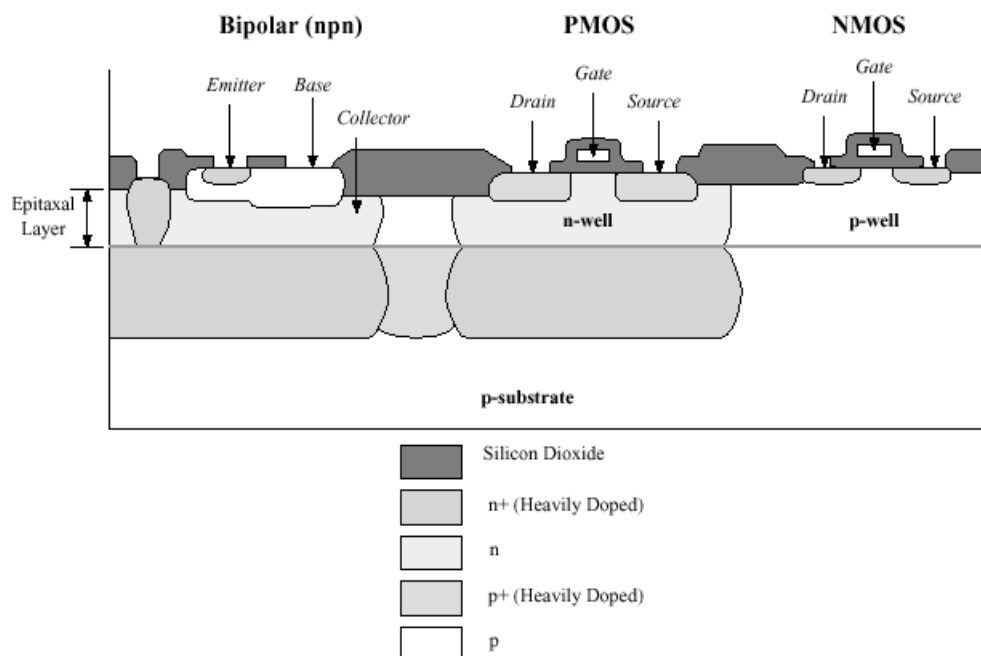


Fig. I.6 Structure BiCMOS [5]

I.6. Conclusion

Dans ce chapitre on a présenté la conception analogique (la conception des circuits intégrés et la Conception Assistée par Ordinateur) et Le cycle de conception de VLSI , ensuite on a présenté les circuits ASIC, leurs conception et leurs avantages, avec un petit Aperçu sur la Technologie des Semi-Conducteurs commençant par la technologie bipolaire, en suite la technologie MOS suivi de la technologie CMOS et comme cette dernière était l'origine de ce projet on a préféré étudier ses procédés de fabrication; finalement on a achevé avec la technologie BICMOS en présentant la différence entre ces technologies et leurs avantages et inconvénients.

Chapitre II

Base théorique

II.1. Introduction

L'objectif de ce chapitre est de donner au lecteur les théories des circuits utilisés dans notre projet.

II.2. Transistor MOS

II.2.1. La structure MOS

Une structure MOS (Métal-Oxyde-Semiconducteur) est constituée d'un substrat semi-conducteur (monocristal de Silicium) dopé recouvert d'une couche d'oxyde isolante (SiO_2) sur laquelle est déposée une couche métallique appelée "grille" G :

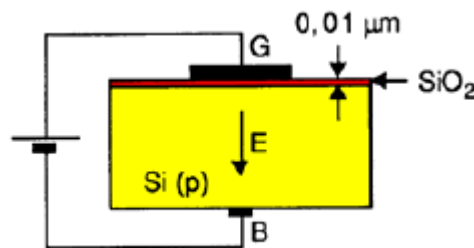


Fig.II.1 Structure MOS [12]

Ce système est analogue à un condensateur plan et, quand une tension est appliquée entre la grille G et le substrat B, il apparaît une charge sur les deux armatures avec formation d'une zone de charge d'espace. Selon le signe et la grandeur de la tension appliquée entre la grille et le substrat, on peut obtenir différentes situations dans le semi-conducteur : **accumulation** ou **désertion** des porteurs libres à l'interface isolant-semi-conducteur ou encore **inversion**, c'est-à-dire création à cette interface d'une couche de porteurs minoritaires. Par conséquent, en faisant varier la tension appliquée, et donc le champ électrique perpendiculairement au plan des interfaces, on peut fortement modifier la conductivité électrique dans le semi-conducteur, au voisinage de l'interface et parallèlement à ce plan.

Par exemple pour un substrat de type p où les porteurs majoritaires sont les trous, on obtient le Comportement suivant en fonction de la tension V_G appliquée entre la grille et le substrat. [12-13]

- Si $V_G < 0$: le potentiel négatif de la grille attire les trous, porteurs majoritaires du substrat de type p, près de l'interface isolant-semiconducteur où ils sont ainsi accumulés (régime d'**accumulation**).

- Si $V_G > 0$: Le potentiel positif de la grille repousse les trous et attire les électrons. La densité des trous près de l'interface diminue, c'est le régime de **déplétion**.
- Si $V_G \gg 0$: la diminution de la densité de trous au voisinage de l'interface est telle qu'elle devient inférieure à la densité des électrons. Ceux-ci qui étaient minoritaires deviennent majoritaires, et le semi-conducteur devient localement de type n au voisinage de l'interface avec l'isolant. C'est le régime d'**inversion**.

Notes :

- La transition entre le régime d'accumulation et celui de déplétion n'a pas forcément lieu exactement à $V_G = 0$.
- Le potentiel de transition entre le régime de déplétion et le régime d'inversion est un paramètre essentiel de la structure et sera noté V_T .
- La grille était initialement réalisée en aluminium. Actuellement, pour des raisons de fiabilité, en particulier pour les faibles épaisseurs d'oxyde, on réalise la grille en silicium polycristallin fortement dopé et appelé polysilicium [12].

II.2.2. Le transistor N-MOS

Un transistor MOS est une structure hétérogène, à 3 ou 4 connections, dans laquelle la conductivité dans un "canal" entre deux électrodes (appelées « Source » et « Drain ») est commandée par un champ électrique créé au moyen d'une troisième électrode (appelée Grille).

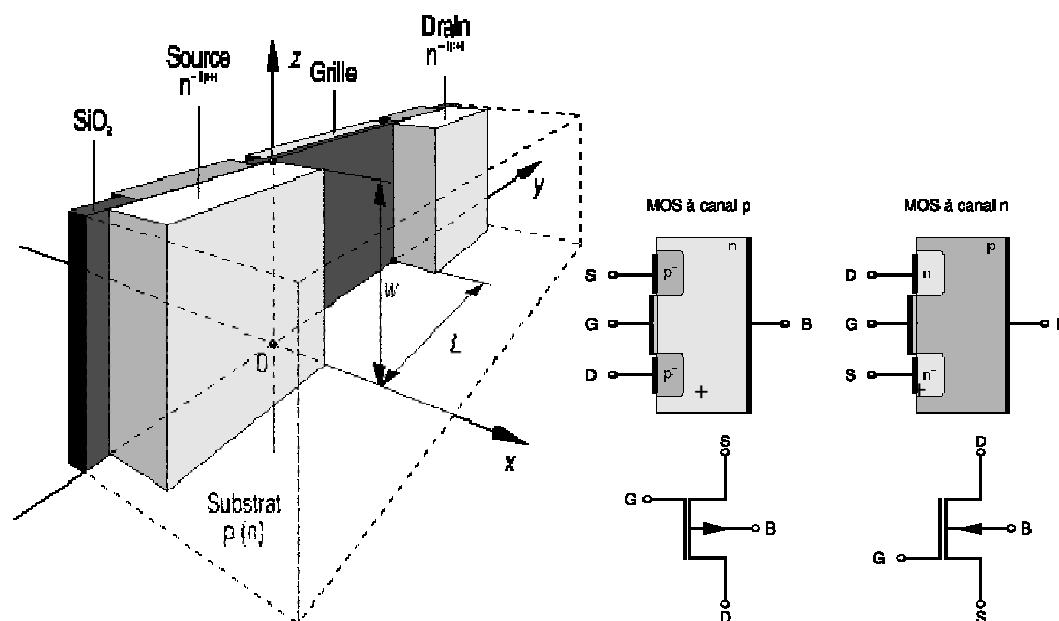


Fig. II.2. Structure d'un transistor N-MOS [13]

Nous allons dans un premier temps décrire un transistor MOS de type N (N-MOS), constitué d'un substrat de type p à la surface duquel a été formée une structure MOS décrite ci-dessus, encadrée de deux zones de type n⁺ (fortement dopées) et constituant la Source et le Drain. Le choix d'un fort dopage pour ces zones permet d'avoir un contact métal-semiconducteur de type ohmique pour les fils de connexion. On observera que la structure est géométriquement symétrique par échange de la Source et du Drain, mais on conviendra d'appeler « Source » la région n⁺ de potentiel le plus bas, et « Drain » la région n⁺ de potentiel le plus élevé de telle sorte que $V_{DS} \geq 0$ [12].

Les dimensions de la structure dépendent des propriétés électriques recherchées.

Les valeurs typiques sont les suivantes :

- Longueur $L = 0,15$ à $1,2 \mu\text{m}$
- Largeur $W = 1$ à $10 \mu\text{m}$
- Epaisseur d'oxyde = $0,005$ à $0,1 \mu\text{m}$ (50 à 1000 Angströms) [12].

II.2.3. Fonctionnement du transistor N-MOS

Examinons le comportement du transistor N-MOS en fonction des tensions appliquées, en prenant comme référence le potentiel de la source V_s , et en supposant que le substrat est soit connecté à la source, soit à un potentiel plus négatif ($V_{BS} \leq 0$).

Nous supposons que le dopage du substrat de type p est tel que pour $V_G = 0$ la structure MOS est en régime d'accumulation. Cette situation est la plus courante, et le N-MOS est alors dit à enrichissement. Nous ne traiterons pas ici des transistors MOS à déplétion qui sont plus rarement utilisés [12-13-14-15].

Lorsque $V_G \leq 0$, la couche de type p proche de l'isolant est en régime d'enrichissement en trous (Porteurs majoritaires), et le trajet Source-Drain est constitué de deux jonctions p – n (diodes) tête bêche. Il est donc non conducteur (aux courants de fuite près qui sont très faibles) et l'on dit alors que le transistor est bloqué [12-13-14-15].

Pour $0 \leq V_G < V_T$, où V_T est une tension de seuil (positive pour un N-MOS), et pour V_{DS} nul ou faible, la couche proche de l'isolant passe progressivement en mode de déplétion, le trajet Source-Drain reste bloqué mais se rapproche de la conduction. [12-13-14-15].

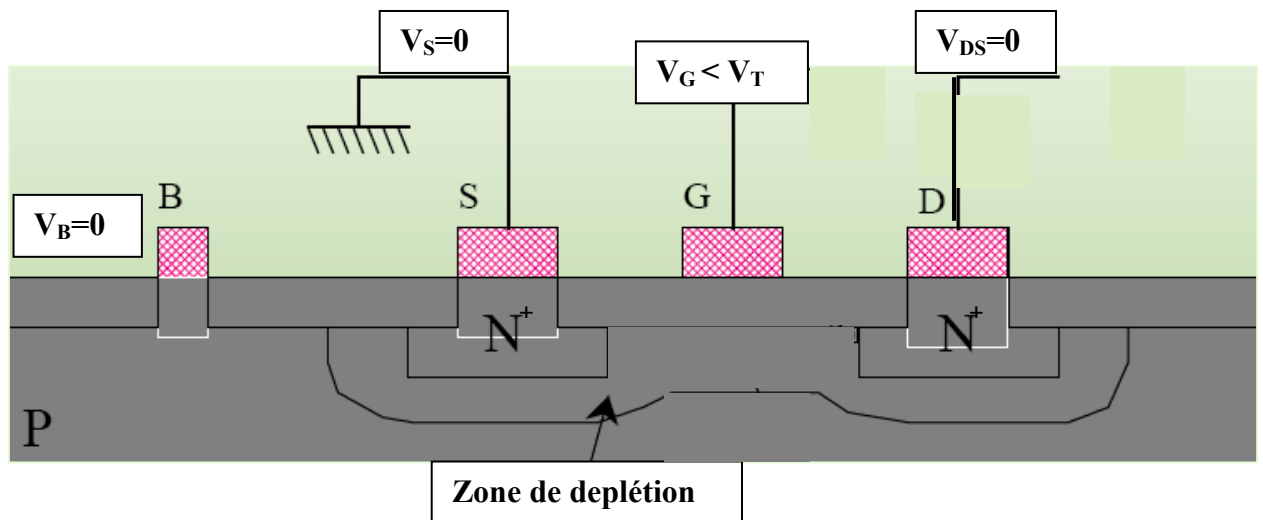


Fig. II.3. Transistor N-MOS avec une zone de déplétion [13]

Pour $V_G > V_T$ et V_{DS} nul ou faible, la structure MOS est en régime d'inversion, un canal de type n se forme au voisinage de l'interface avec l'isolant et constitue un circuit conducteur entre les deux zones n+. Un courant électronique peut alors circuler de la Source vers le Drain.

Le transistor est alors dit conducteur ou passant. Il faut noter que $I_S = I_D$ puisque la Grille est isolée, et que le substrat est par hypothèse hors circuit. La valeur de ce courant commun à la Source et au Drain dépend des potentiels V_{GS} et V_{DS} .

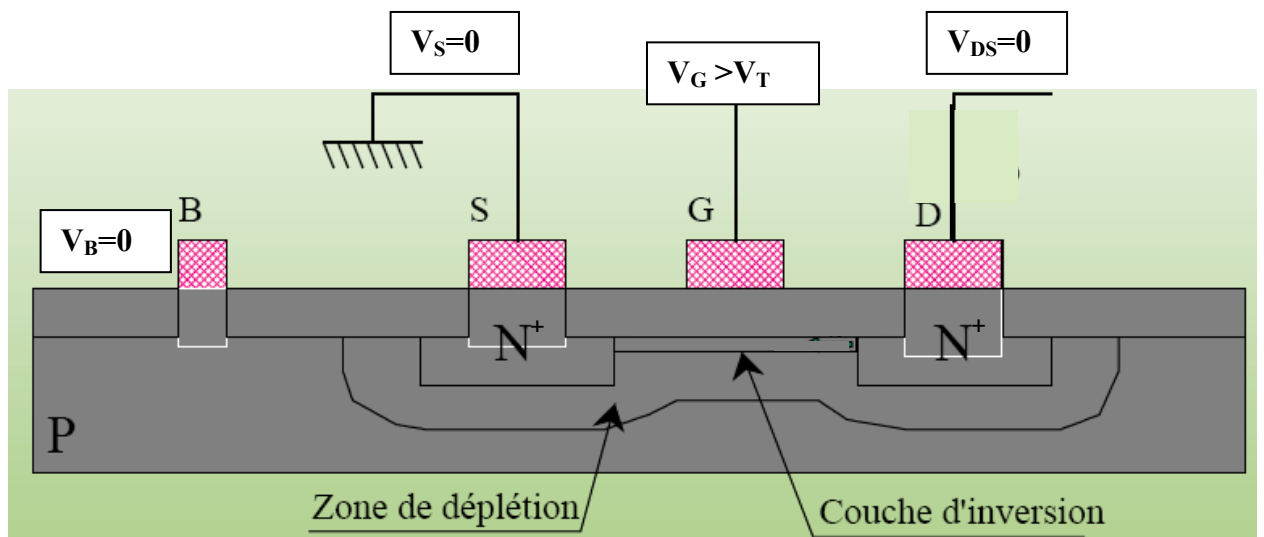


Fig. II.4. Transistor N-MOS avec un canal d'inversion [13]

Tant que $V_{GS} > V_T$ et $V_{GD} > V_T$ (et donc pour $V_{DS} < V_{GS} - V_T$), le canal s'étend sur toute la longueur entre la Source et le Drain et se comporte comme une résistance ($I_S = I_D \approx V_{DS}/R$)

dont la valeur R est indépendante de V_{DS} , mais varie avec la tension de commande V_{GS} . La densité électronique dans le canal augmente lorsque la tension de grille augmente, et donc la conductivité du canal augmente elle aussi. On dit que le transistor est en mode résistif [12-13-14-15].

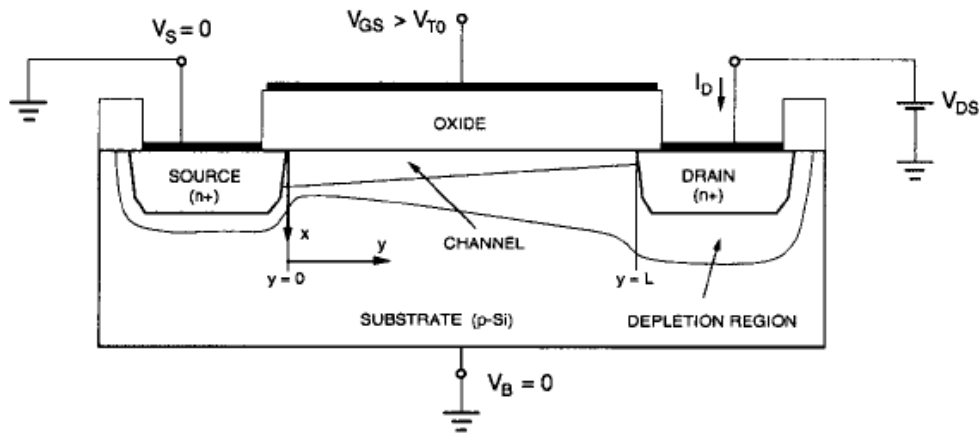


Fig. II.5. Transistor *N-MOS* en mode résistif [13]

Fortes valeurs de V_{DS} : on maintient V_G fixé ($V_{GS} > V_T$), et on augmente V_D qui se rapproche de V_G . A partir d'un certain potentiel V_{Dsat} appelé tension de pincement, la condition $V_{GD} > V_T$ ne sera plus satisfaite, il n'y aura plus d'inversion de population au voisinage du Drain, et l'épaisseur du canal sera localement réduite à zéro. Au-delà de cette tension de pincement, le point de pincement se déplace vers la Source de sorte que la tension V_{Dsat} apparaît appliquée aux extrémités d'un canal dont la longueur est diminuée de ΔL , l'excédent de tension ($V_D - V_{Dsat}$) étant chuté dans une zone désertée (diode en inverse de forte résistivité) de longueur ΔL .

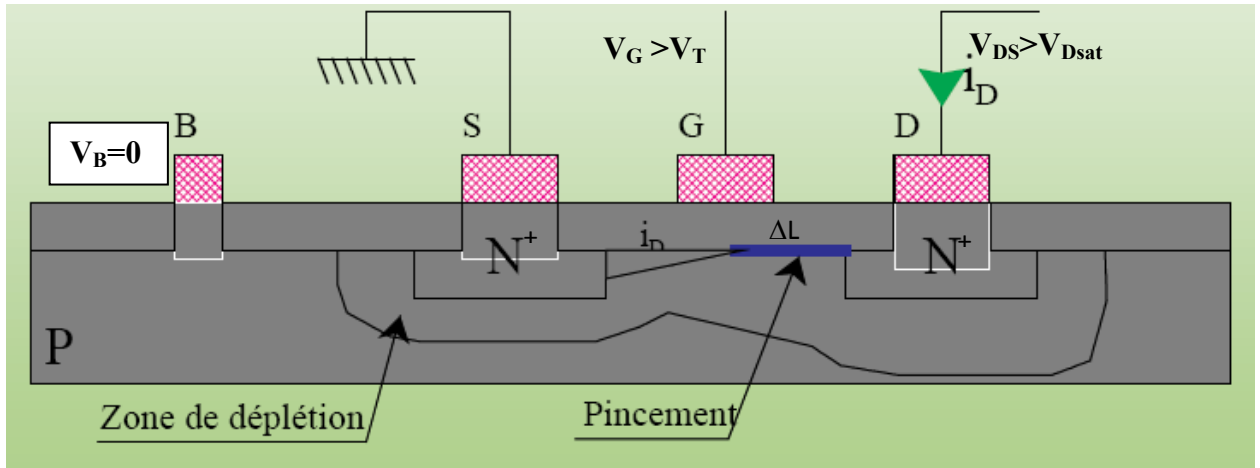


Fig. II.6. Transistor N-MOS en mode saturé [13]

La présence de cette zone désertée en serie avec le canal conducteur ne diminue pas le courant car les électrons qui parviennent au point de pincement sont aspirés par le fort champ électrique pour être injectés dans le Drain. Dans la mesure où $\Delta L \ll L$, le courant I_D est principalement déterminé par la conductivité du canal et la différence de potentiel V_{DSat} , et ce courant reste approximativement constant lorsque V_D excède V_{DSat} . Le transistor est en mode saturé [12-13-14-15].

II.2.4. Caractéristiques courant-tension du transistor N-MOS

Comme indiqué précédemment, le transistor MOS est principalement utilisé pour ses propriétés de transconductance (source de courant commandée par une tension) : on s'intéressera donc surtout aux caractéristiques du dipôle Drain-Source et à sa dépendance en fonction de la tension de Grille. La description quantitative du transistor N-MOS peut être plus ou moins précise en fonction de la complexité de la modélisation utilisée, et pour une description, une modélisation simple est suffisante. Elle fournit le courant de Drain $I_D = I_S$ dans les divers modes de fonctionnement que nous venons de voir par les relations suivantes [12-13-14-15] :

a) $V_{GS} < V_T$ **Transistor bloqué** : $I_D = 0$ (II.1)

b) $V_{GS} > V_T$ et $V_{GD} > V_T \Leftrightarrow V_{DS} < V_{GS} - V_T$ **Mode << résistif >>**

$$I_D = \mu_n C_{OX} \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (II.2)$$

c) $V_{GS} > V_T$ et $V_{GD} < V_T \Leftrightarrow V_{DS} > V_{GS} - V_T$ **Mode << saturé >>**

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 \quad (\text{II.3})$$

==> La frontière entre le mode résistif et le mode saturé est donnée par la relation :

$$V_{GD} = V_T \Leftrightarrow I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} V_{DS}^2 \quad (\text{II.4})$$

Où : W et L sont la largeur et la longueur du canal;

μ_n est la mobilité des électrons (porteurs majoritaires du canal n);

C_{ox} est la capacité par unité de surface de la capacité MOS;

$C_{ox} = \epsilon_{ox} / t_{ox}$ où ϵ_{ox} est la permittivité de l'oxyde et t_{ox} son épaisseur.

On définit ainsi les paramètres de transconductance :

$$\begin{aligned} k'_n &= \mu_n C_{ox} \\ k_n &= \mu_n C_{ox} \frac{W}{L} \end{aligned} \quad (\text{II.5})$$

Les courbes caractéristiques courant-tension ont ainsi l'allure suivante [13] :

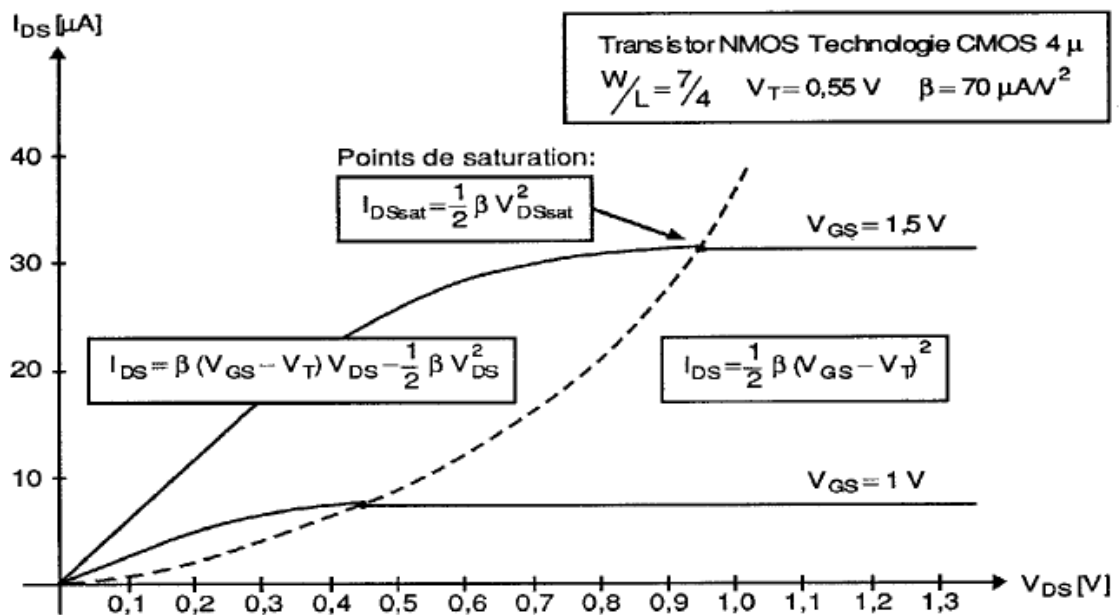


Fig. II.6. Caractéristique courant-tension d'un transistor N-MOS [13]

II.2.5. Transistor P-MOS

D'une façon similaire au transistor N-MOS, on peut construire un transistor P-MOS en remplaçant toutes les zones "p" par des zones "n" et vice-versa.

On nommera Source la zone p+ de potentiel le plus élevé, ce qui donnera $V_{DS} \leq 0$. La conduction se fera par un canal de type p où les porteurs majoritaires sont les trous, et le courant de trous ira de la Source au Drain [13].

La **tension de seuil V_T est négative**, la zone intéressante de fonctionnement sera donc pour

$V_{GS} \leq 0$ On obtient également 3 modes de fonctionnement pour le transistor P-MOS :

$$a) V_{GS} > V_T \quad \text{Transistor bloqué : } I_D = 0 \quad (II.6)$$

$$b) V_{GS} < V_T \quad \text{et} \quad V_{GD} < V_T \Leftrightarrow V_{DS} > V_{GS} - V_T \quad \text{Mode << résistif >>}$$

$$I_D = \mu_p C_{ox} \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (II.7)$$

$$c) V_{GS} < V_T \quad \text{et} \quad V_{GD} > V_T \Leftrightarrow V_{DS} < V_{GS} - V_T \quad \text{Mode << saturé >>}$$

$$I_D = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 \quad (II.8)$$

==> La frontière entre le mode résistif et le mode saturé est donnée par la relation :

$$V_{GD} = V_T \Leftrightarrow I_D = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} V_{DS}^2 \quad (II.9)$$

où : W et L sont la largeur et la longueur du canal;

μ_p est la mobilité des trous (porteurs majoritaires du canal p);

C_{ox} est la capacité par unité de surface de la capacité MOS;

$C_{ox} = \epsilon_{ox} / t_{ox}$ où ϵ_{ox} est la permittivité de l'oxyde et t_{ox} son épaisseur.

On définit ainsi les paramètres de transconductance :

$$\begin{aligned} k'_p &= \mu_p C_{ox} \\ k_p &= \mu_p C_{ox} \frac{W}{L} \end{aligned} \quad (II.10)$$

A cause de la mobilité plus faible des trous, la transconductance des P-MOS est, à géométrie égale, plus faible que celle des N-MOS, ils sont moins bons conducteurs du courant [13].

II.3. Les miroirs de courant

Dans la conception analogique, le miroir de courant se prête bien à une analyse détaillée. Cette cellule, très récurrente, détermine les caractéristiques de nombreuses fonctions

analogiques complexes. De plus, elle permet de transférer rapidement des courants sur des impédances faibles ou de réaliser du gain en gardant une large dynamique de fonctionnement. Ces atouts la destinent à de nombreuses utilisations.

II.3.1. Principe

Un miroir de courant permet de recopier un courant d'entrée I_{in} en un courant de sortie I_{out} affecté d'un facteur de pondération k .

Dans une fonction analogique, un miroir de courant s'utilise pour permettre la polarisation d'un étage, réaliser du gain (charge active) ou transférer un courant (convoyeur de courant) [3].

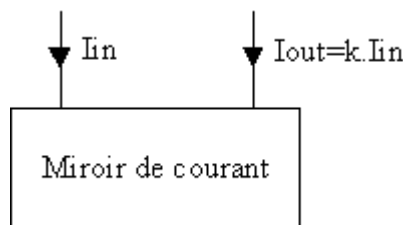


Fig.II.7. Le schéma de principe d'un miroir de courant

II.3.2.Caractéristiques

Pour être performant, un miroir de courant doit posséder les caractéristiques suivantes:

- Une faible tension de déchet en entrée.
- Une faible impédance dynamique d'entrée.
- Une forte impédance de sortie (générateur de courant).

Ces caractéristiques sont résumées par les macromodèles suivants: [3]

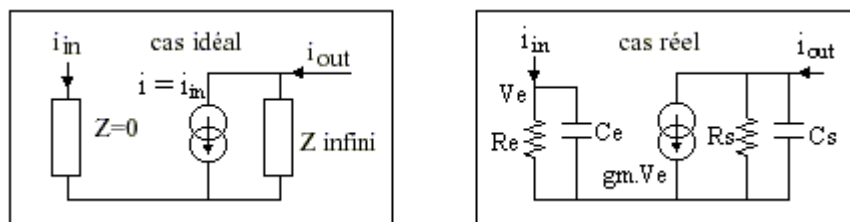


Fig. II.8. Un macromodèle d'un miroir de courant [3]

II.3.3.Réalisation

Le courant d'entrée crée une tension V_{in} en traversant un transistor. Cette tension, appliquée au transistor de sortie, génère un courant égal au courant d'entrée. La mise en parallèle de plusieurs transistors de sortie permet de fixer le gain en courant k [16].

II.4. Les miroirs de courant en technologie CMOS

II.4.1. Le montage de base

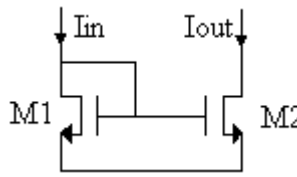


Fig.II.9. Un miroir de courant simple [3]

Régime statique (régime saturé):

$$V_{in} = V_{GS} \quad (\text{II-11})$$

$$\frac{I_{out}}{I_{in}} = \frac{1 + \lambda \cdot V_{out}}{1 + \lambda \cdot V_{in}} \quad (\text{II-12})$$

Régime dynamique:

$$Z_e = \frac{1}{g_m} \quad (\text{II-13})$$

$$r_{out} = r_{o, M2} = \frac{1}{\lambda \cdot I_{out}} \quad (\text{II-14})$$

Contrairement aux montages bipolaires, l'équation de transfert statique ne fait plus apparaître de terme d'erreur statique. En effet, l'impédance d'entrée étant purement capacitive, il n'existe pas de courants parasites de grille (en régime statique). On remarque que, comme pour les miroirs bipolaires, le coefficient de transfert en courant fait intervenir les niveaux d'entrée (V_{in}) et de sortie (V_{out}). Le gain en courant égale l'unité uniquement lorsque $V_{in} = V_{out}$.

Dans le cas où l'on désire un gain en courant différent de l'unité, on modifie la géométrie des transistors MOS et il vient la relation [3]:

$$\frac{I_{out}}{I_{in}} = \frac{W_2/L_2}{W_1/L_1} \quad (\text{II-15})$$

L'impédance de sortie de tels miroirs égale l'impédance de sortie du transistor M2 à savoir:

$$r_{out} = r_{o, M2} = \frac{1}{\lambda \cdot I_{out}} \quad (\text{II-16})$$

Comme $\lambda \propto 1/L$, on peut augmenter L pour augmenter r_{out} . Malheureusement, agir sur L dans ce sens dégrade les performances fréquentielles du miroir de courant. En effet, à partir du schéma équivalent petit signal présenté ci-dessous, on détermine la fonction de transfert dynamique:

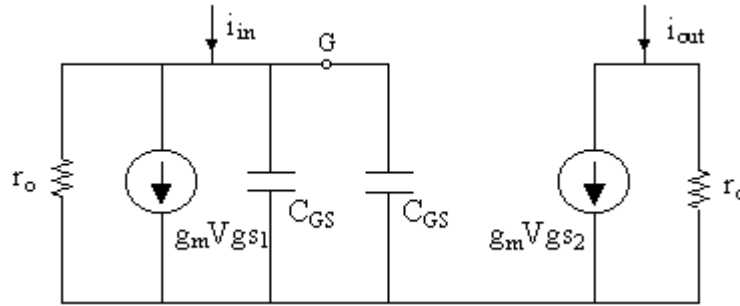


Fig.II.10. Le schéma équivalent petits signaux [3]

$$\frac{i_{out}}{i_{in}} = \frac{1}{1 + \frac{2 \cdot C_{GS}}{g_m} \cdot p} \quad (\text{II-17})$$

$$\text{D'où: } f_c = \frac{g_m}{2\pi \cdot 2 C_{GS}} = \frac{f_T}{2} \quad (\text{II-18})$$

Augmenter L pour augmenter l'impédance de sortie, diminue la valeur de g_m ce qui se traduit par une diminution de la fréquence de coupure f_c du miroir de courant. A partir des équations simplifiées du transistor MOS, on calcule la tension minimale $V_{out \min}$ assurant un fonctionnement correct du montage (M2 saturé). On écrit:

$$V_{out \min} = V_{DSsat} = \sqrt{\frac{2}{\mu_0 c_{ox}} \cdot \frac{L}{W_0}} \cdot I \quad (\text{II-19})$$

μ : mobilité des porteurs.

On observe que ce niveau augmente lorsque le courant de polarisation statique augmente ou lorsque L augmente.

Il est intéressant de calculer le rapport $\frac{\omega_c}{V_{out\ min}}$ où ω_c représente la pulsation de coupure du miroir de courant $\omega_c = 2\pi f_c$. En effet, il vient:

$$\frac{\omega_c}{V_{out\ min}} = \frac{3 \cdot \mu_0}{4 L^2} \quad (II-20)$$

II.4.2. Le montage cascode

Pour permettre aux transistors M1 et M2, réalisant la fonction miroir de courant (figure II.7), de travailler dans les meilleures conditions ($V_{DS, M1} = V_{DS, M2}$), il est intéressant de cascader deux miroirs élémentaires. Les transistors M3 et M4 en configuration de grille commune servent comme des suiveurs de courant [16].

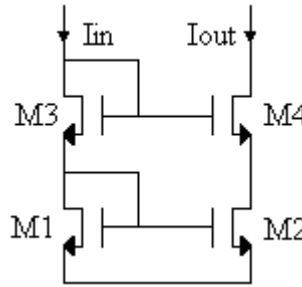


Fig.II.11. Le montage cascode [16]

Le coefficient de transfert statique devient alors indépendant des niveaux d'entrée et de sortie.

$$\frac{I_{out}}{I_{in}} \approx 1 \quad (II-21)$$

L'impédance dynamique de sortie est donnée par:

$$r_{out} = (g_{m4} \cdot r_{o2}) \cdot r_{o4} \quad (II-22)$$

II.4.3. Le montage WILSON

Le montage Wilson MOS ne propose aucune amélioration significative par rapport au montage cascode. Pourtant, le fonctionnement en est différent. En effet, le montage cascode assure un fonctionnement continu lorsque le niveau de sortie V_{out} varie de 0 à $V_{out\ max}$. Par contre, dans le montage Wilson le transistor M2 est bloqué lorsque $V_{out} < V_{T, M2}$. Ce point apparaît comme un inconvénient dans la conception d'une cellule analogique (exp: un amplificateur opérationnel) qui peut être amené à fonctionner dans la zone de saturation.

On retrouve dans cette configuration les mêmes équations que pour le montage cascode [16].

$$\frac{I_{out}}{I_{in}} \approx 1 \quad (II-23)$$

$$r_{out} = (g_{m4} \cdot r_{o2}) \cdot r_{o4} \quad (II-24)$$

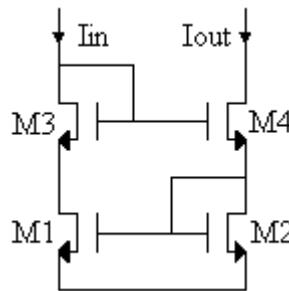


Fig. II.12. Le montage WILSON [3]

II.5. L'amplificateur opérationnel

II.5.1. Historique

On doit le terme d'amplificateur opérationnel (*Operational Amplifier* en anglais) à John R. Ragazzini en 1947 [17-18]. Les amplificateurs opérationnels ont été initialement développés à l'ère des tubes électroniques, ils étaient alors utilisés dans les calculateurs analogiques. Actuellement, les amplificateurs opérationnels sont disponibles sous forme de circuits intégrés, bien que des versions sous forme de composants discrets soient utilisées pour des applications spécifiques.

II.5.2. Amplificateur opérationnel idéal

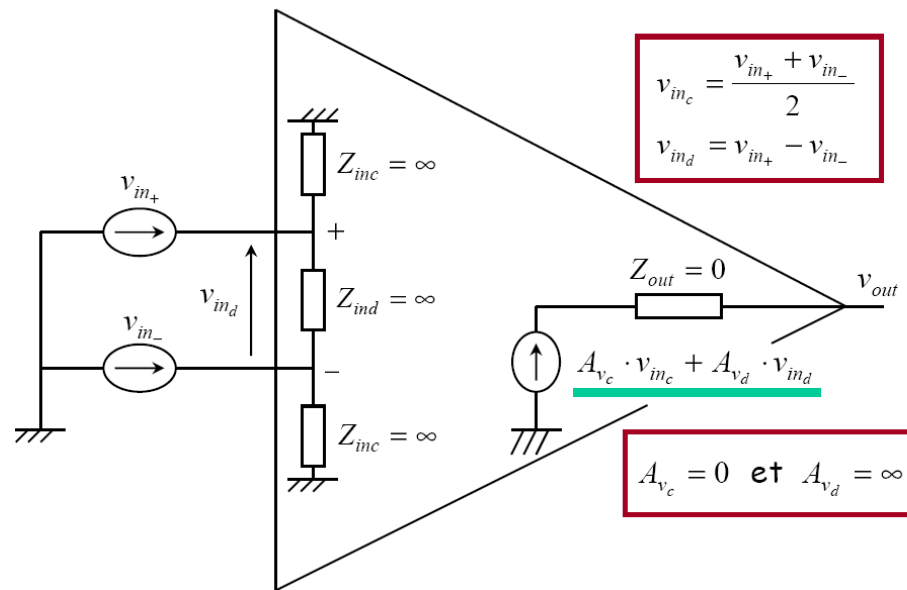


Fig. II.13. Schémas d'un Amplificateur opérationnel idéal [19]

L'amplificateur opérationnel idéal est un système linéaire à deux entrées et une sortie amplifiant infiniment la différence des signaux d'entrée et rejetant parfaitement leur somme (mode commun).

$$A_{vd} = \infty \Rightarrow V_{ind} = \varepsilon = 0$$

D'autre part, ses impédances d'entrée (de mode commun Z_{inc} et de mode différentiel Z_{ind}) sont infinies; son impédance de sortie est nulle.

- 1) Comme tout système linéaire réel, l'amplificateur opérationnel travaille autour d'un point de polarisation. En général, il est alimenté de manière symétrique ($+V_{DD}$, $-V_{DD}$) de telle sorte que son point de polarisation en sortie, V_{OUT0} , soit nul. De même pour les entrées positive et négative, «elles varient autour de 0V».
- 2) Comme tout système réel, l'amplificateur est limité par des phénomènes larges signaux (l'amplificateur ne répond plus de manière linéaire) et par sa bande passante (réponse de l'amplificateur en petits signaux) [19].

II.5.3. Amplificateur opérationnel réel

II.5.3.a. Caractéristiques larges signaux

➤ Dynamique d'entrée en mode commun

La dynamique d'entrée en mode commun est définie comme la gamme de tension v_{INC} sur laquelle peut varier la tension de mode commun sans que les caractéristiques de

l'amplificateur opérationnel ne soient notablement dégradées. En particulier, le gain différentiel doit rester très élevé (infini) et le gain de mode commun rester très faible (nul).

N.B.: En particulier, le mode commun est rejeté sur toute la dynamique d'entrée en mode commun [19].

➤ Dynamique de sortie

A l'instar de la dynamique d'entrée en mode commun, la dynamique de sortie est définie comme la gamme de tension sur laquelle la sortie peut varier sans que les caractéristiques de l'amplificateur opérationnel ne soient notablement dégradées. En particulier, le gain différentiel doit rester élevé.

➤ Caractéristique de transfert – Offset

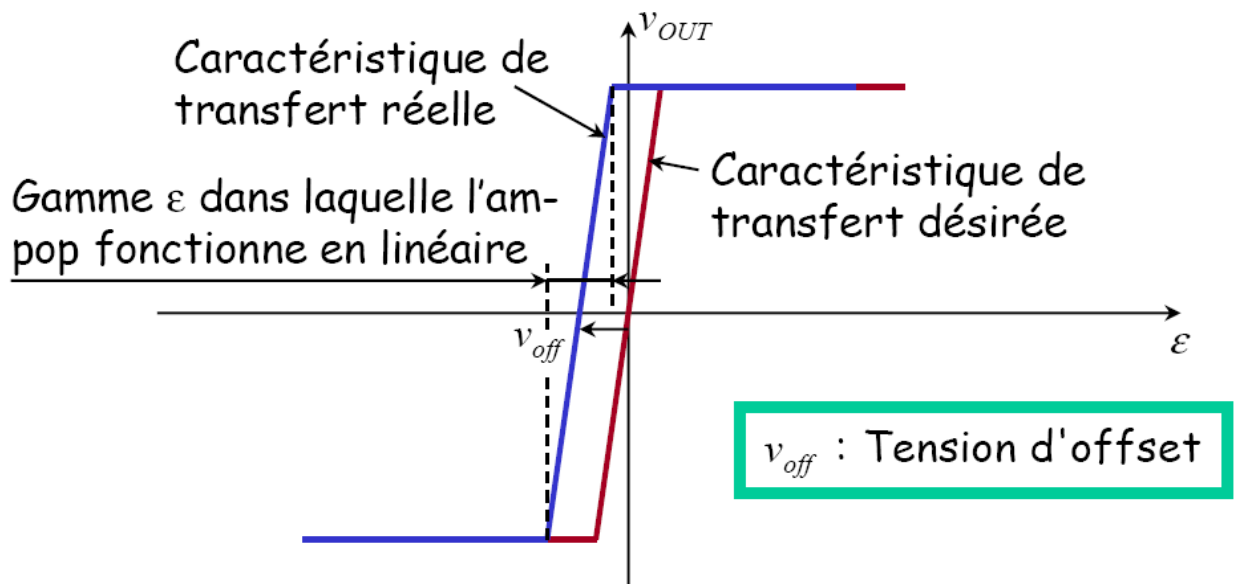


Fig.II.14. Caractéristique de transfert – Offset [19]

II.5.3.b.Caractéristiques petits signaux

➤ Impédances d'entrée - Impédances de sortie

L'amplificateur comportant deux nœuds à l'entrée et un nœud à la sortie, les impédances peuvent être définies comme suit :

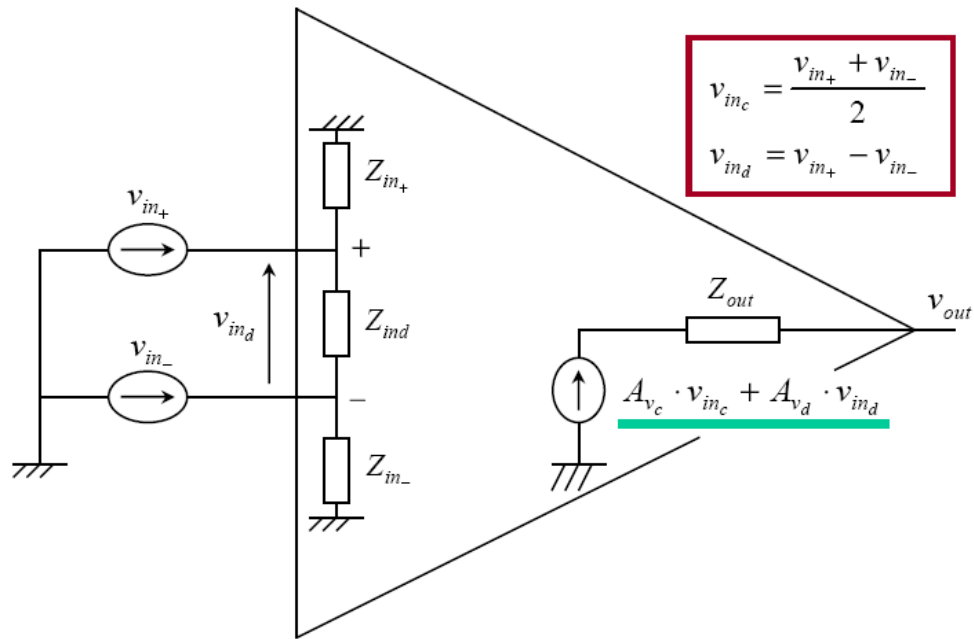


Fig. II.15. Schémas d'un Amplificateur opérationnel réel [19]

L'impédance d'entrée en mode commun vaut alors :

$$Z_{inc} = \frac{Z_{in_+} \cdot Z_{in_-}}{Z_{in_+} + Z_{in_-}} \quad (\text{II-25})$$

➤ Marge de phase :

Plutôt que de travailler avec le coefficient d'amortissement , le concepteur de CI préfère travailler avec la marge de phase (du système en boucle ouverte!).

Définition :

La marge de phase d'un système correspond au déphasage supplémentaire négatif qu'il faut ajouter au signal de sortie pour qu'il présente un déphasage de -180° à la fréquence unitaire (fréquence pour laquelle le gain vaut 1 ou 0dB) [19].

➤ Taux de réjection du mode commun - CMRR

Il est défini par le rapport du gain en mode différentiel sur le gain en mode commun.

$$CMRR = \frac{A_{v_d}}{A_{v_c}} \quad (\text{II-26})$$

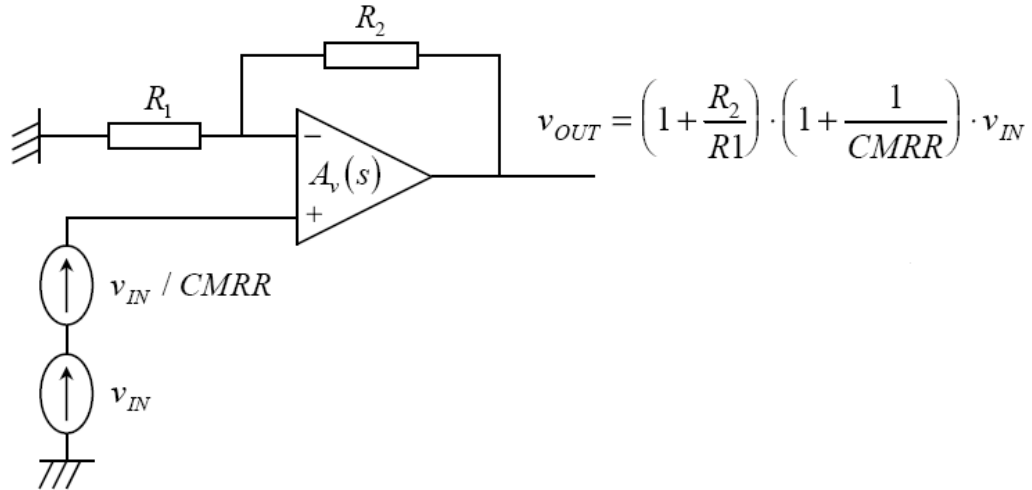


Fig. II.16. Amplificateur non inverseur [19]

Dans un montage amplificateur non inverseur, le CMRR dégrade la précision du gain d'amplification.

Dans un montage inverseur, le mode commun est nul et n'influe donc pas sur le gain du système. [19]

➤ Taux de réjection de l'alimentation - PSRR

On définit le PSRR comme le rapport du gain entre la sortie et l'alimentation sur le gain différentiel. Si l'amplificateur est alimenté par deux tensions symétriques, VDD et VSS, on définit deux PSRR [19] :

$$PSRR_{vdd} = \frac{A_{v_d}}{v_{out} / v_{dd}} \text{ et } PSRR_{vss} = \frac{A_{v_d}}{v_{out} / v_{ss}} \quad (\text{II-27})$$

II.6. La structure "rail à rail"

La structure (rail à rail) est une exigence importante dans les amplificateurs opérationnels pour certaines applications. La méthode la plus commune pour la mise en œuvre de la plus grande gamme est d'utiliser deux paires différentielles complémentaires. Il s'agit d'une structure composée de deux paires différentielles NMOS et PMOS reliés en parallèle, cette dernière atteint l'opération "rail to rail" mais, elle produit des variations de la transconductance sur la gamme d'entrée en mode commun qui s'oppose à la conception d'un amplificateur opérationnel optimale [20].

II.6.1. Opération "Rail to Rail"

L'amplificateur opérationnel est un module de circuit qui peut être employé dans plusieurs applications.

Cependant, il y a seulement deux configurations principales: inverseur et non inverseur, qui sont montrées sur la Figure (II.17).

Chacun de ces configurations seront analysées afin de déterminer les conditions d'entrée en mode commun [20].

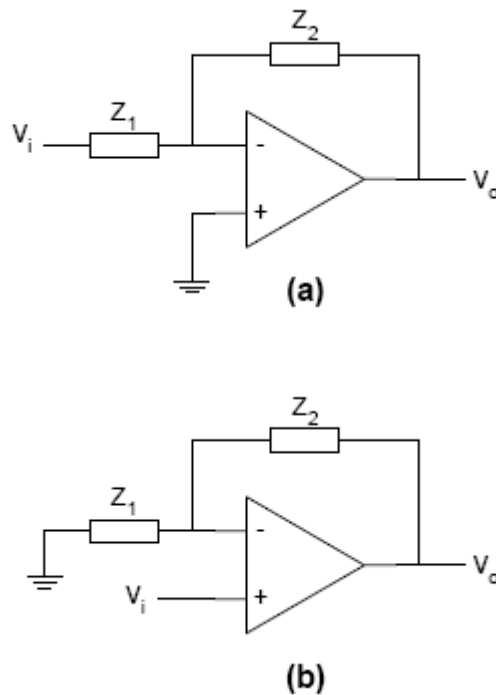


Fig. II.17. Schémas des amplificateurs opérationnels (a) inverseur (b) non inverseur [20]

II.6.2. Étage d'entrée

En technologie CMOS l'amplificateur différentiel peut être réalisé en utilisant deux paire différentiel PMOS ou de NMOS.

Il y a plusieurs critères qui déterminent quelle paire différentielle sera employée [20]. Un critère qui est considéré en faisant le choix est la gamme d'entrée du mode commun. Pour analyser la gamme d'entrée du mode commun de l'étage différentielle d'entrée de NMOS, un diagramme simplifié sera employé comme il est représenté sur la figure (II.18).

Plusieurs modifications sont faites à la paire différentielle simple dans l'exécution réelle telle que les charges et les cascades actifs. La gamme s'étend de l'alimentation positive $V_{gs,n} + V_{Dsat,b}$ au-dessus de l'alimentation négative.

Cette tension minimum est nécessaire pour maintenir la paire différentielle de NMOS et le courant de saturation [20].

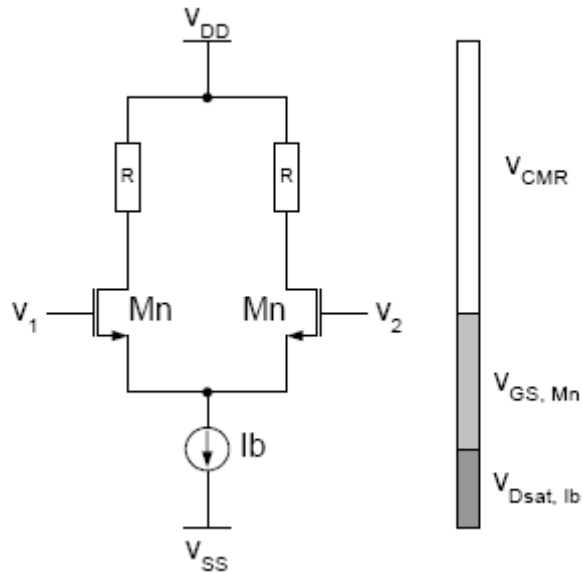


Fig. II.18. Gamme d'entrée du mode commun de la paire différentielle de NMOS [20]

Une analyse semblable peut être effectuée pour la paire différentielle de PMOS comme il est montré sur la figure (II.19).

La gamme s'étend de l'alimentation positive $V_{GS,n} + V_{DSat,b}$ au-dessous de l'alimentation négative, Cette tension minimum est nécessaire pour garder la paire différentielle de PMOS et le courant de saturation.

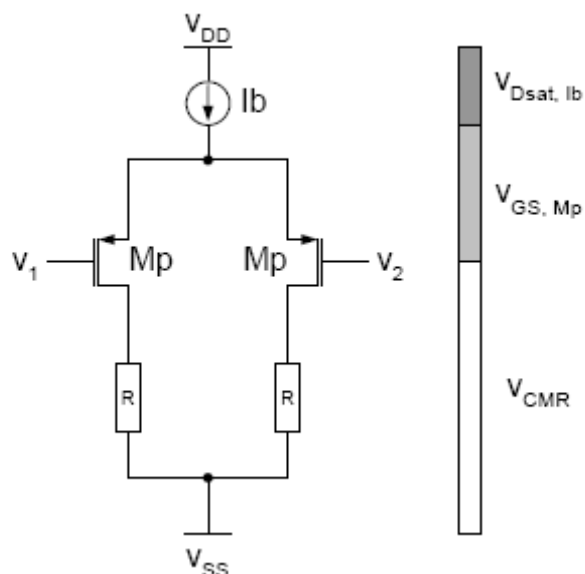


Fig. II.19.: Gamme commune d'entrée de mode de paire différentielle de PMOS [20]

La paire différentielle simple ne peut pas balayer toute la gamme d'entrée en mode commun et pour cela on utilise une paire différentielle NMOS et PMOS simultanément.

La paire différentielle composée résultante s'appelle la paire différentielle complémentaire et elle est montrée sur la figure (II.20) [20].

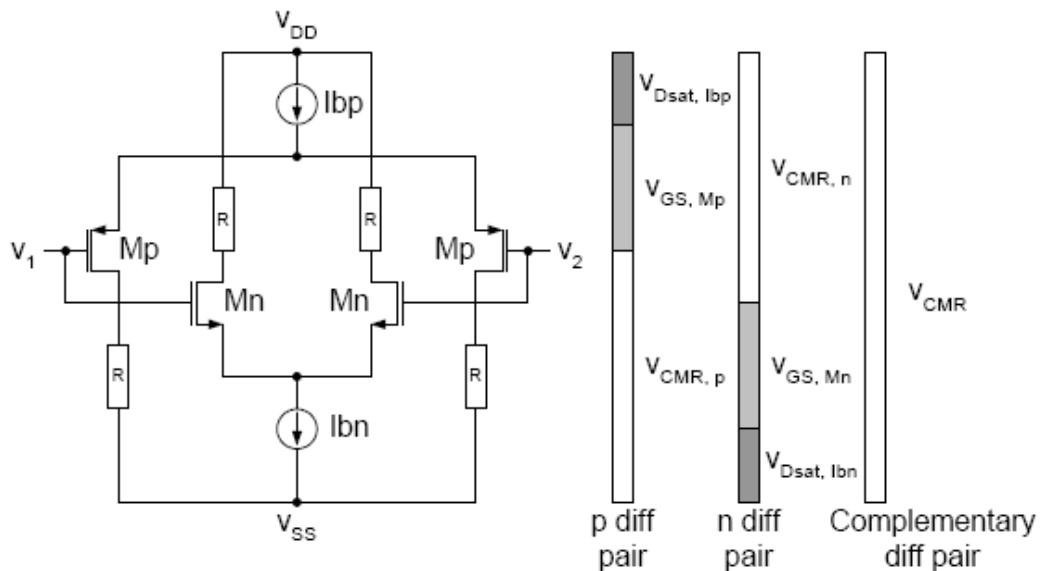


Fig II.20. Gamme d'entrée du mode commun de la paire différentielle complémentaire [20]

Pour la basse entrée du mode commun, la paire différentielle de PMOS est dans la saturation et le NMOS est éteint, par contre la paire différentielle de NMOS est dans la saturation et le PMOS est éteint pour l'entrée élevée du mode commun.

Par conséquent, la paire différentielle complémentaire fonctionne sur toute la gamme. Il convient que pour l'entrée du mode commun dans la région centrale les deux paires fonctionnent, ceci aura un effet significatif sur l'exécution du circuit. Pour comprendre l'effet, nous étudierons comment la transconductance de chaque paire et de la paire complémentaire change avec le signal d'entrée du mode commun.

La courbe de la figure (II.21) représente la variation de la transconductance par rapport au mode commun [20].

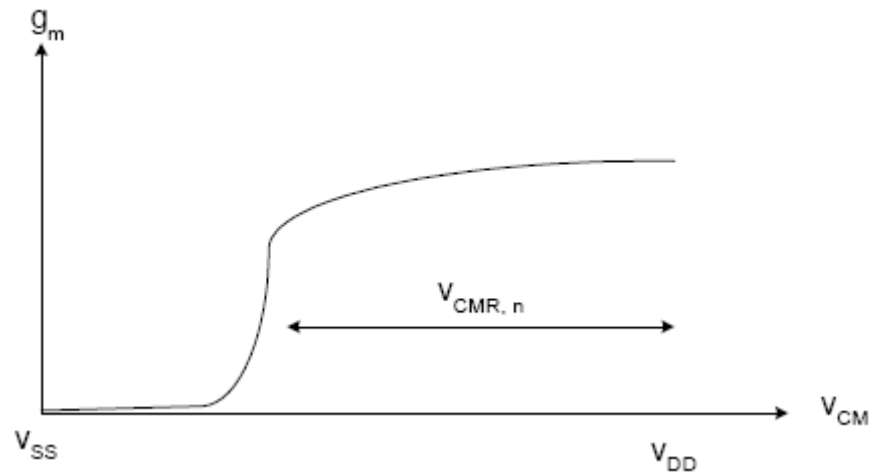


Fig. II.21 Transconductance de la paire NMOS en fonction de l'entrée du mode commun [20]

La courbe de la transconductance de la paire PMOS en fonction de l'entrée du mode commun est représentée sur la figure (II.22).

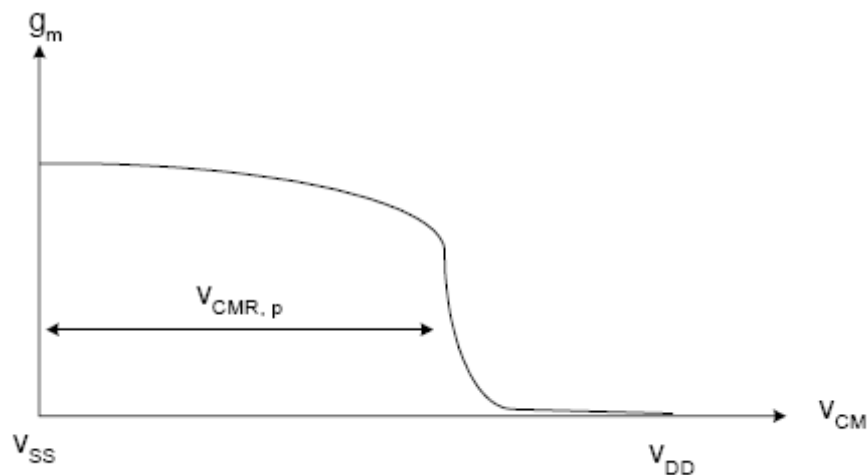


Fig. II.22 Transconductance de la paire PMOS en fonction de l'entrée du mode commun [20]

Nous voyons que la transconductance de chaque paire est presque constante au-dessus de son intervalle de fonctionnement.

La combinaison de ces deux graphes donne une courbe qui représente la transconductance en fonction de l'entrée du mode commun de la paire différentielle complémentaire comme il est montré sur la Figure (II.23) [19].

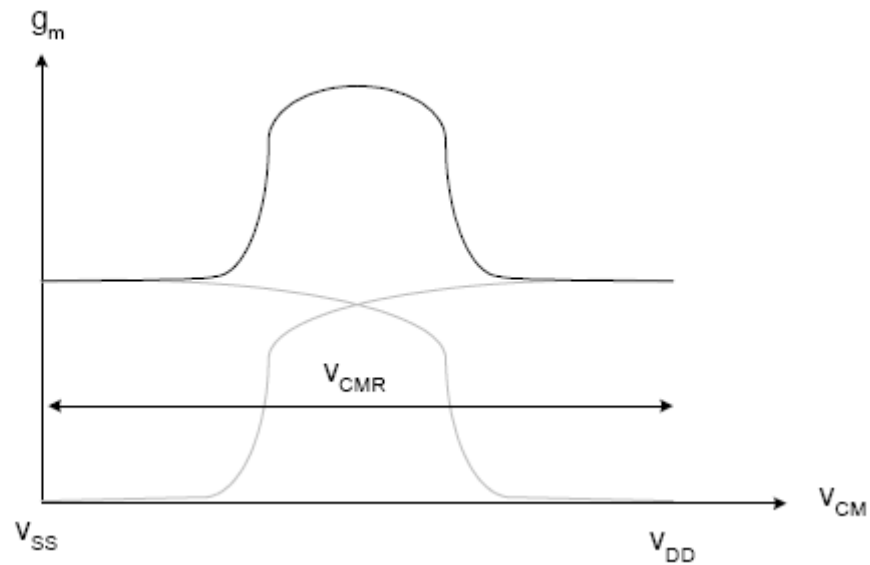


Fig. II.23. *Transconductance de la paire complémentaire en fonction de l'entrée du mode commun [20]*

II.7. Conclusion

Ce chapitre a été consacré à l'étude théorique détaillée du transistor MOS et les différents montages des miroirs de courant puis l'étude des amplificateurs opérationnels et finalement l'étude de la structure rail to rail.

Chapitre III

Simulation

III.1. Introduction

Dans ce chapitre nous allons développer la conception des différents étages et nous présenterons les schémas et les simulations des différents blocs qui constituent notre projet. Nous commençons par le distributeur de courant ensuite le multiplexeur et on termine par le driver de tension.

III.2. Cahier de charge

Ce travail est consacré à la conception et l'implantation d'une chaîne d'acquisition analogique pour un ADC 10 bits, avec la technologie CMOS 0.25 μ m, cette chaîne doit piloter des données analogiques sur 16 canaux dans les conditions suivantes :

Paramètre	Unit	max	Typ	Min
Voltage supply	V	5.5	5	4.5
température	°C	105	27	-20
Minimum input	mV		<30	
Maximum input	mV		>Vdd-30	
Max NL ERROR	mV		<2.5	
Max power consummation	uW		<200	
Max occupied area	mm ²		<0.24	

Tableau III.1. Conditions de travail de notre chaîne d'acquisition

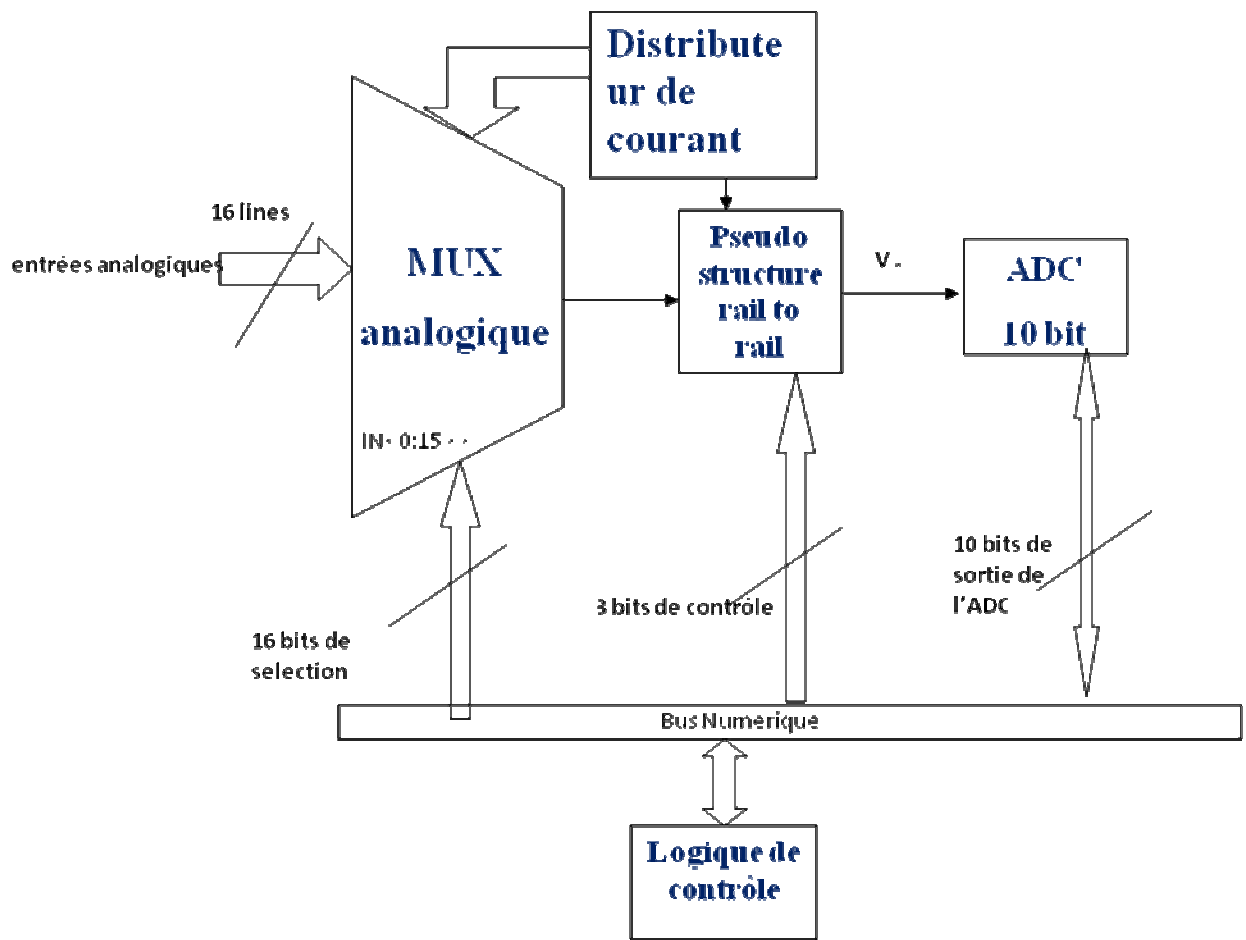


Fig. III.1. Schéma synoptique de la chaîne d'acquisition

Notre chaîne d'acquisition est constituée des blocs suivants.

- Distributeur de courant.
- Multiplexeur analogique 16 entrées avec éliminateur de bruit.
- Driver de tension contrôlée.

La conception de ces blocs va être présentée ultérieurement.

III.3. Distributeur de courant

III.3.1. Schéma de test

La figure (III.1) représente un schéma de test d'un distributeur de courant qui sert à polariser les différents transistors de notre circuit et il est constitué de :

- 6 entrées et 7 sorties :- Les 3 sorties (ibias1_lv, ibias2_lv, ibias3_lv) servent à polariser les circuits à basse tension (2.5V) et les 4 restantes pour la polarisation des circuits à haute tension (5V).
- vdd5 : tension d'alimentation de 5 V,
- vdd : tension d'alimentation de 2.5V
- vss : la masse.
- I1 : source de courant.
- vdc, vsupp, vsupp_1 : des sources de tensions.

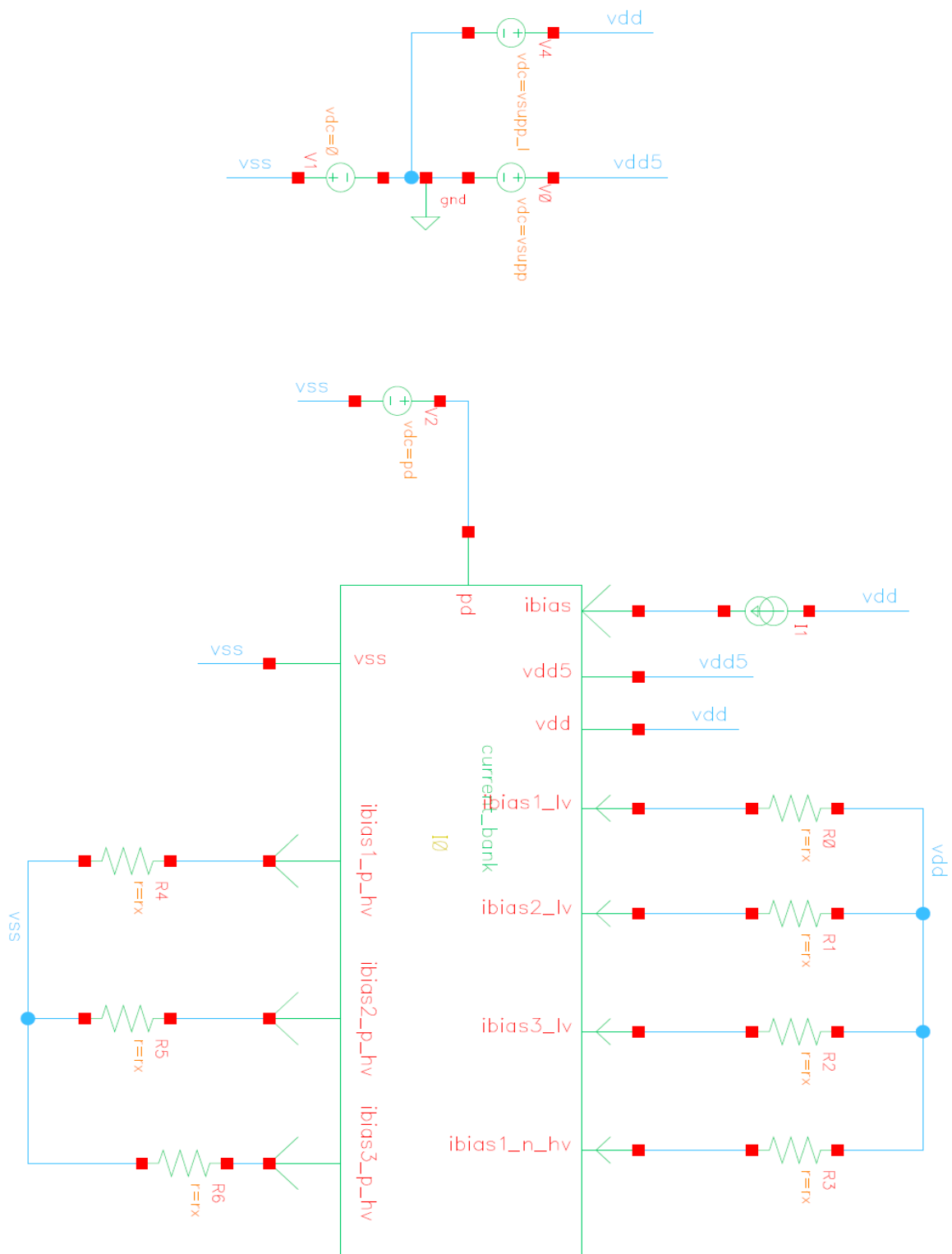


Fig. III.2. Schéma de test du distributeur de courant

III.3.2 Architecture interne

Le distributeur de courant est constitué de :

- Une chaîne de commande : sert à activer et désactiver les miroirs de courants.
- Miroir de courant type N
- Miroir de courant type P

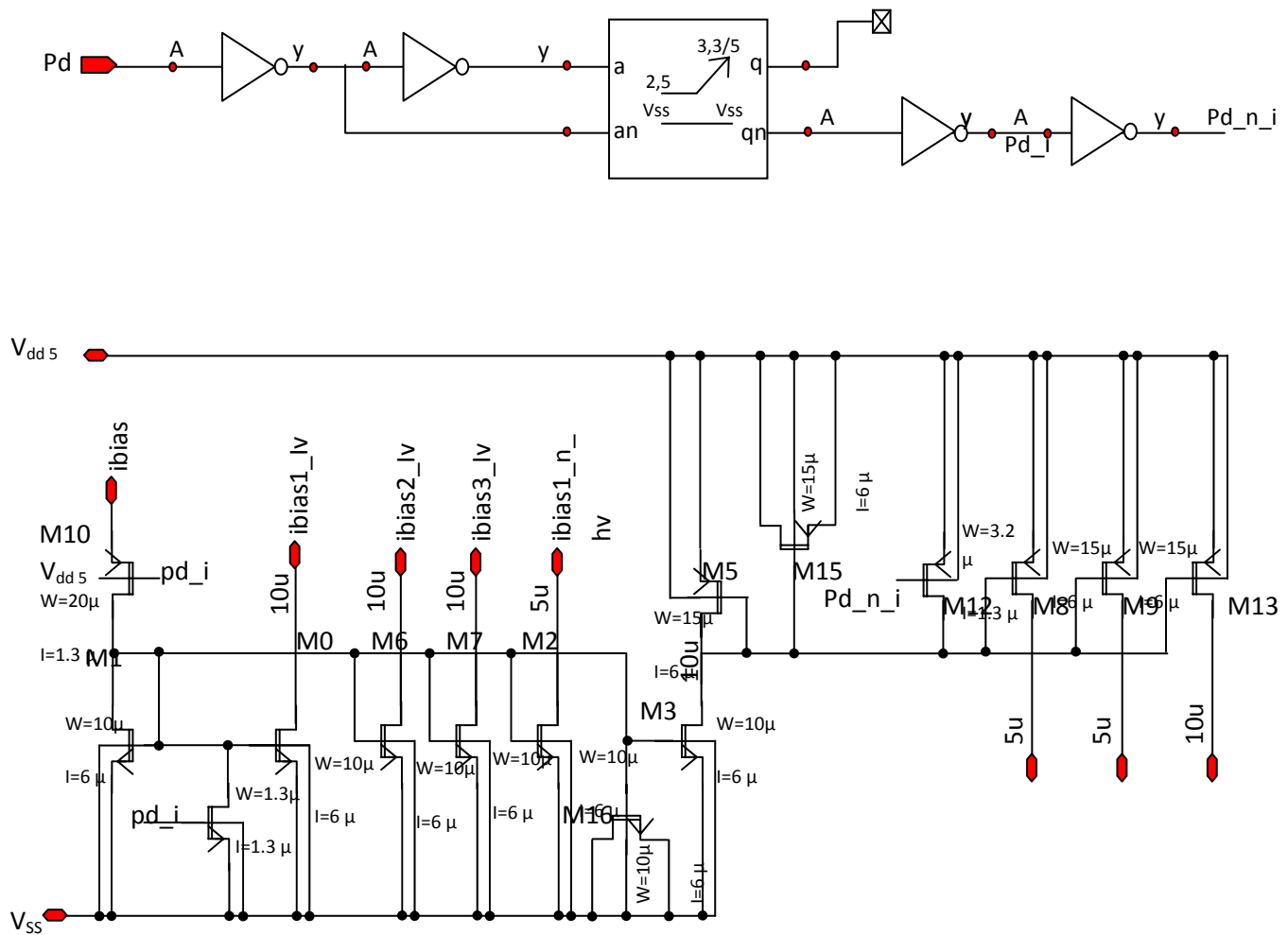


Fig. III.3. Architecture interne

III.3.2.1. chaîne de commande

La chaîne de commande est constituée de deux inverseurs suivis d'un éleveur de tension et de deux autres inverseurs.

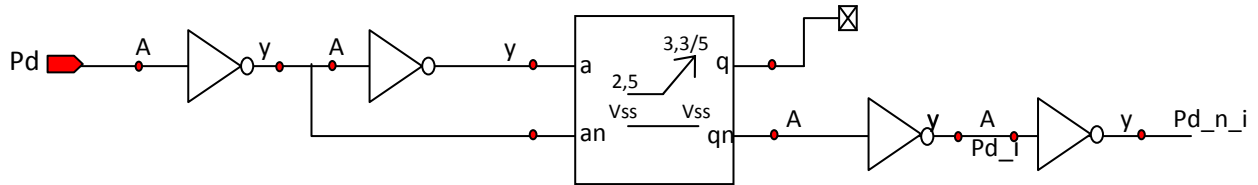


Fig. III.4. Chaîne de commande

- Si on met le point Pd à 0V on trouve à la sortie du premier inverseur un 1 logique qui est équivalent à 2.5V et qui représente l'entrée du circuit de décalage de tension, à la sortie de l'éleveur on trouve 5V qui représente maintenant le (1) logique qui sera inversé par le premier inverseur (inv1_hv) puis sera réinversé par le dernier inverseur (inv2_hv).

➤ circuit de décalage de tension (level_shift)

Le circuit de décalage de tension est un composant qui sert à augmenter la tension de 2.5V jusqu'à 5V. La figure (III.5) représente le schéma électrique du circuit de décalage de tension.

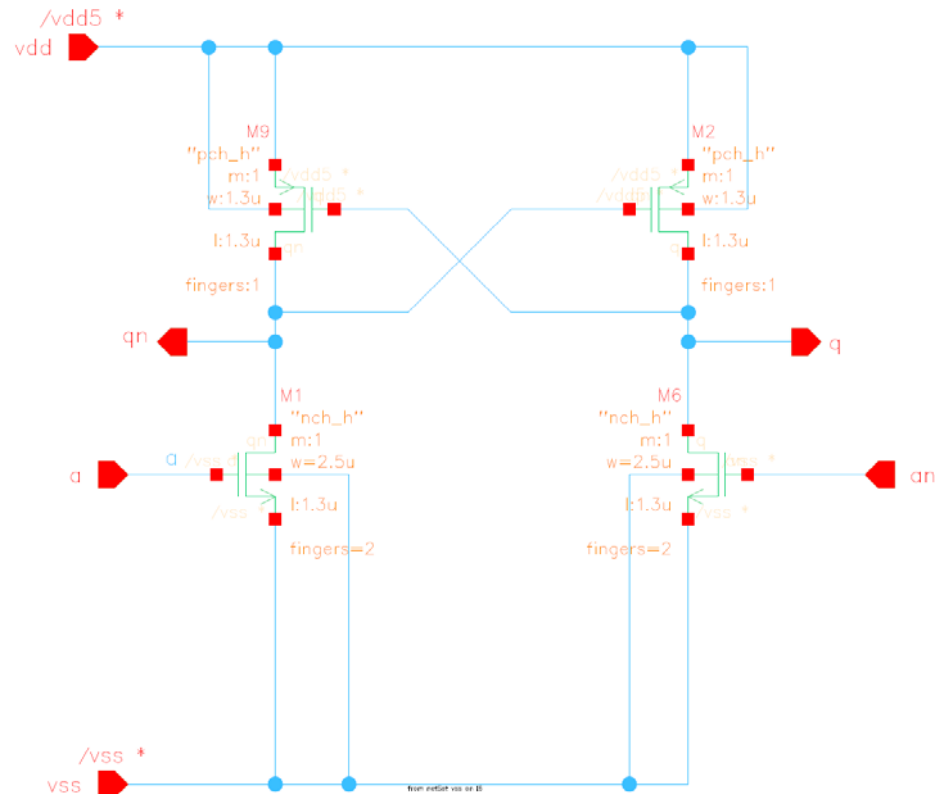


Fig. III.5. Circuit de décalage de tension

Le principe de fonctionnement du circuit de décalage de tension est le suivant :

An=1 logique =2.5V le transistor M6 est saturé, la grille de transistor M9 =0 c.à.d. ce dernier est saturé donc qn = 1 logique = 5V.

➤ L'inverseur

La figure (III.4) représente le schéma électrique d'un inverseur composée de deux transistors NMOS et PMOS.

Si on donne à l'entrée de l'inverseur une tension de 5V le transistor PMOS (M1) sera bloqué et le transistor NMOS sera saturé c.à.d la sortie est court circuité à la masse donc la sortie est à zéro.

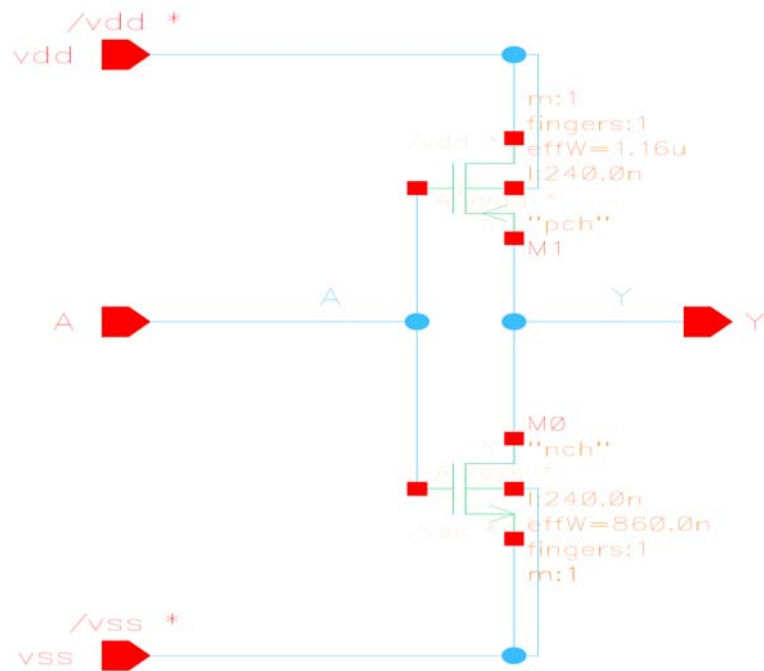


Fig III.6. Schéma électrique d'un inverseur

III.3.2.2. distributeur de courant

Le distributeur de courant illustré dans la figure (III.7) est constitué de deux miroirs de courant un de type n et l'autre de type p.

De la chaîne de commande on a le point $pd_i = 0$ et le point $pd_n_i = 1$.

Alors les transistors M11 et M12 sont bloqués, les deux miroirs de courants sont en mode de fonctionnements.

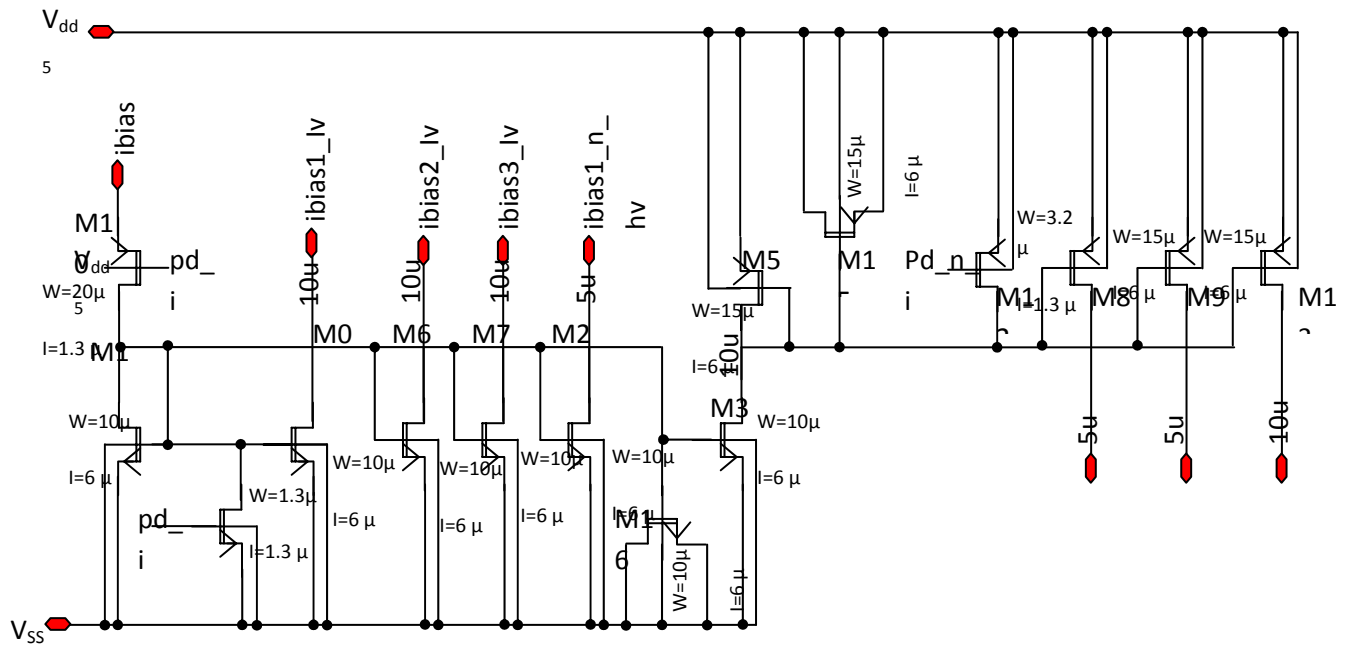


Fig III.7. Schéma électrique d'un distributeur de courant

III.4. Simulation du distributeur de courant

➤ Effet de la température sur le courant pour plusieurs valeurs de résistances

Les courbes de la figure (III.6) représentent l'effet de la température sur le courant pour plusieurs valeurs de résistances

1-simulation pour un miroir de courant de type P

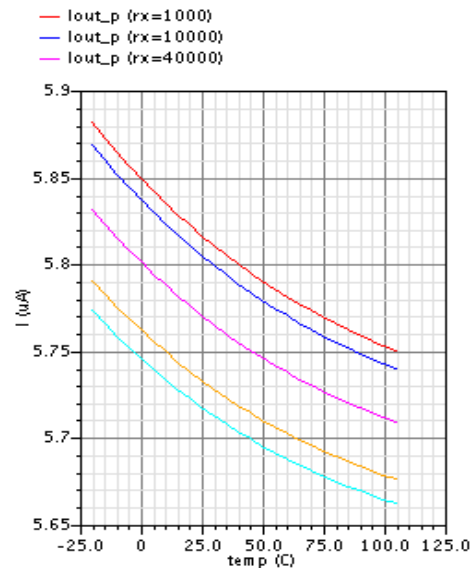


Fig.III.8. Effet de la température sur le courant pour plusieurs valeurs de résistances pour le miroir de courant de type P

D'après ces résultats de simulation on observe que la variation de la température (-25 jusqu' à 105 °C) et des différentes valeurs de résistances a un faible effet sur le courant de l'ordre de 0.15 μA

2-Simulation pour un miroir de courant de type N

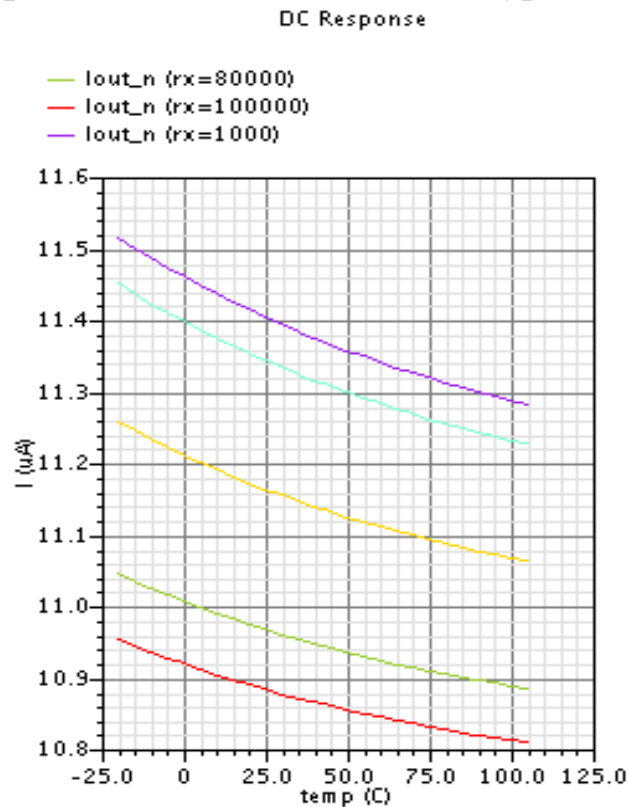


Fig.III.9. Effet de la température sur le courant pour plusieurs valeurs de résistances pour le miroir de courant de type N

De même on observe que La variation de la température (-25 jusqu' à 105 °C) pour différent valeurs de résistances a un faible effet sur le courant (de l'ordre de 0.3 μA).

➤ Effet de la tension sur le courant pour différentes valeurs de résistances

Les courbes de la figure (III.8) représentent l'effet de la tension sur le courant pour plusieurs valeurs de résistances

1-Simulation pour un miroir de courant de type P

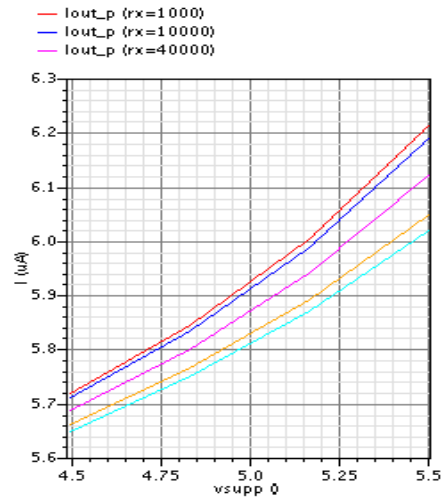


Fig.III.10. Effet de la tension sur le courant pour différentes valeurs de résistances pour le miroir de courant de type P

Si on prend par exemple la courbe de la résistance $r_x = 40000 \Omega$, on voit bien que la variation du courant en fonction de la tension est très faible, de l'ordre de $0.4 \mu A$. Le même comportement est observé lorsqu'on varie la valeur de la résistance x .

2-simulation pour un miroir de courant de type N

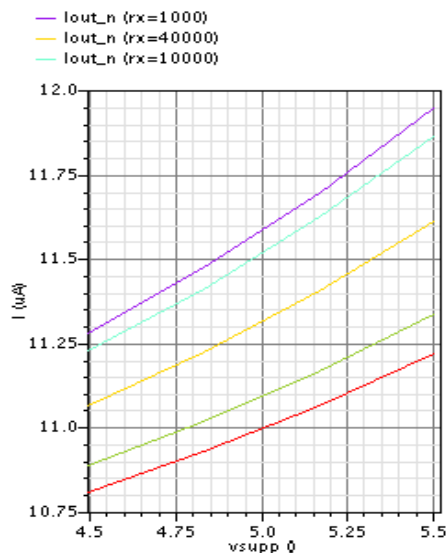


Fig.III.11. Effet de la tension sur le courant pour différentes valeurs de résistances pour le miroir de courant de type N

Si on prend par exemple la courbe de la résistance $R_x=40000\ \Omega$, on voit bien que la variation de courant en fonction de la tension est très faible de l'ordre de $0.5\mu A$.

Le même comportement est observé lorsqu'on varie la valeur de résistance.

D'après ces courbes on constate que le distributeur de courant fonctionne de manière adéquate dans les conditions suivantes :

- la température : $-25 \rightarrow 105\ ^\circ C$
- La tension : $4.5 \rightarrow 5.5\ V$

III.5. Multiplexeur à 16 entrées

Le multiplexeur (**MUX**) est un circuit permettant de concentrer sur une même voie de transmissions différents types de liaisons, en sélectionnant une entrée parmi N.

Dans notre cas le multiplexeur possède 16 entrées et une sortie. La figure (III.12) montre le schéma symbolique du MUX

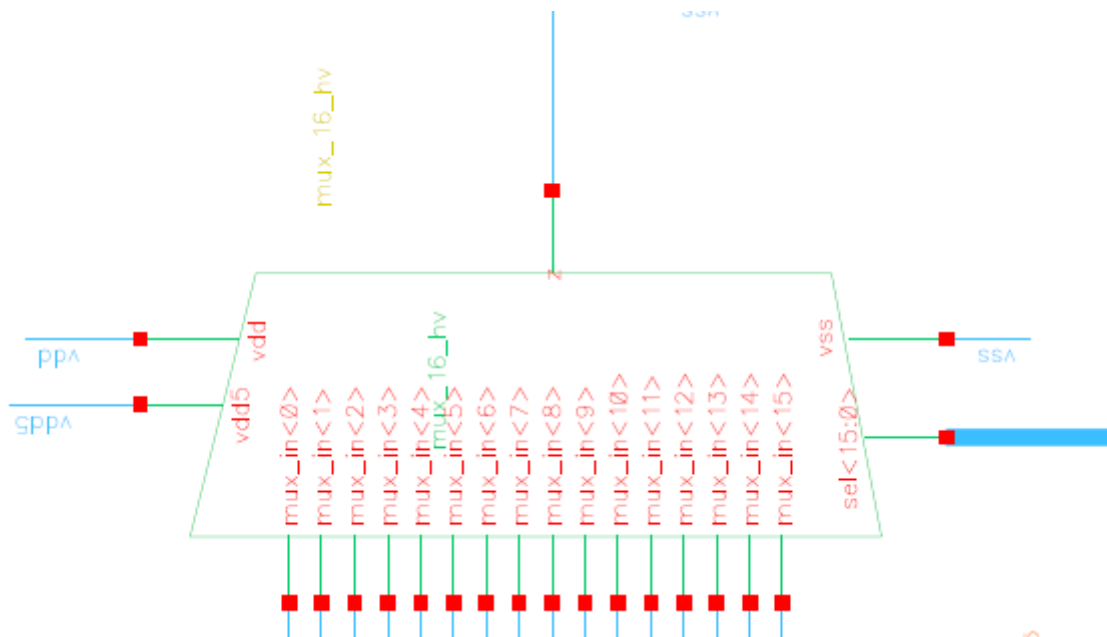


Fig. III.12. Schéma symbolique du MUX

Mux_in<0 :15> représente les entrées du MUX

Sel <15 :0> sert à sélectionner l'entrée voulu

Vdd5 =5V

Vdd = 2.5V

Vss la masse

Z : la sortie

III.5.1. Circuit de test

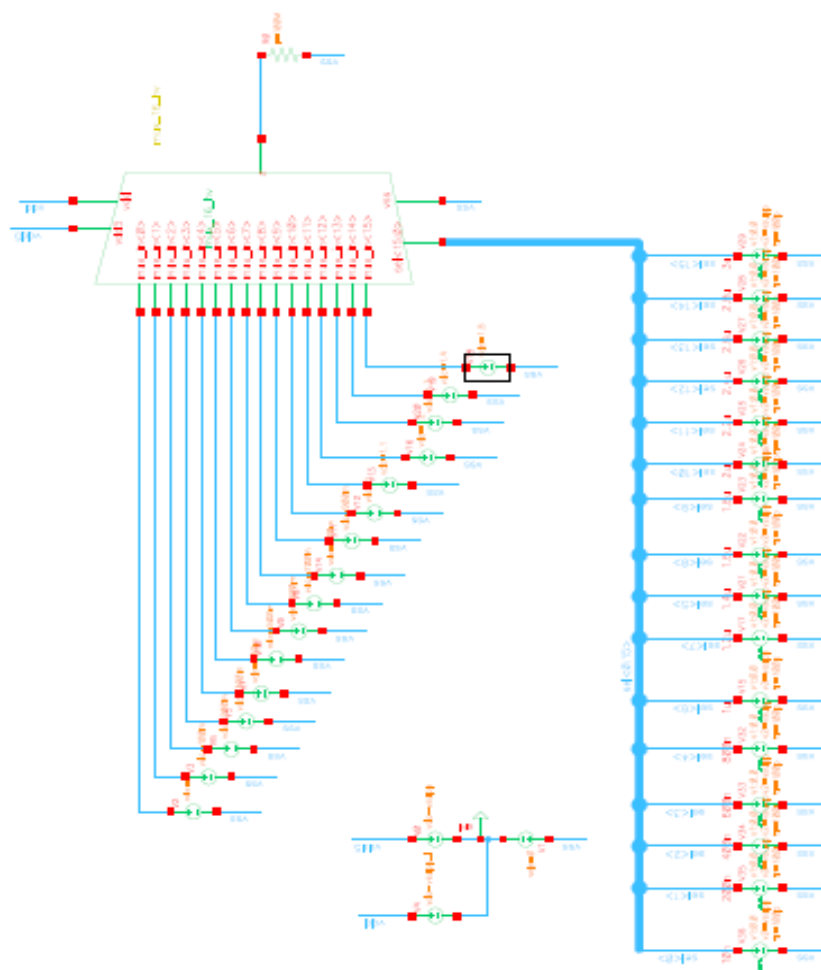


Fig. III.13. Schéma du circuit de test

La figure (III.13) représente le circuit de test d'un multiplexeur. Nous avons 15 entrées sélectives (de sel <0> jusqu'à sel <15>) qui sert à sélectionner l'entrée voulu qui possède une tension fixe, par exemple :

- Entrée mux_in<0> a une tension de 1.5V, elle est sélectionnée par l'entrée sélective 0
- Entrée mux_in<1> a une tension de 1.4 V, elle est sélectionnée par l'entrée sélective 1
- .
- .
- Entrée mux_in<15> a une tension de 0 V, elle est sélectionnée par l'entrée sélective 15

III.5.2. Simulation du multiplexeur

Après avoir élaboré le circuit de test de la figure (III.13) les résultats de simulation obtenus sont indiqués par la figure (III.14).

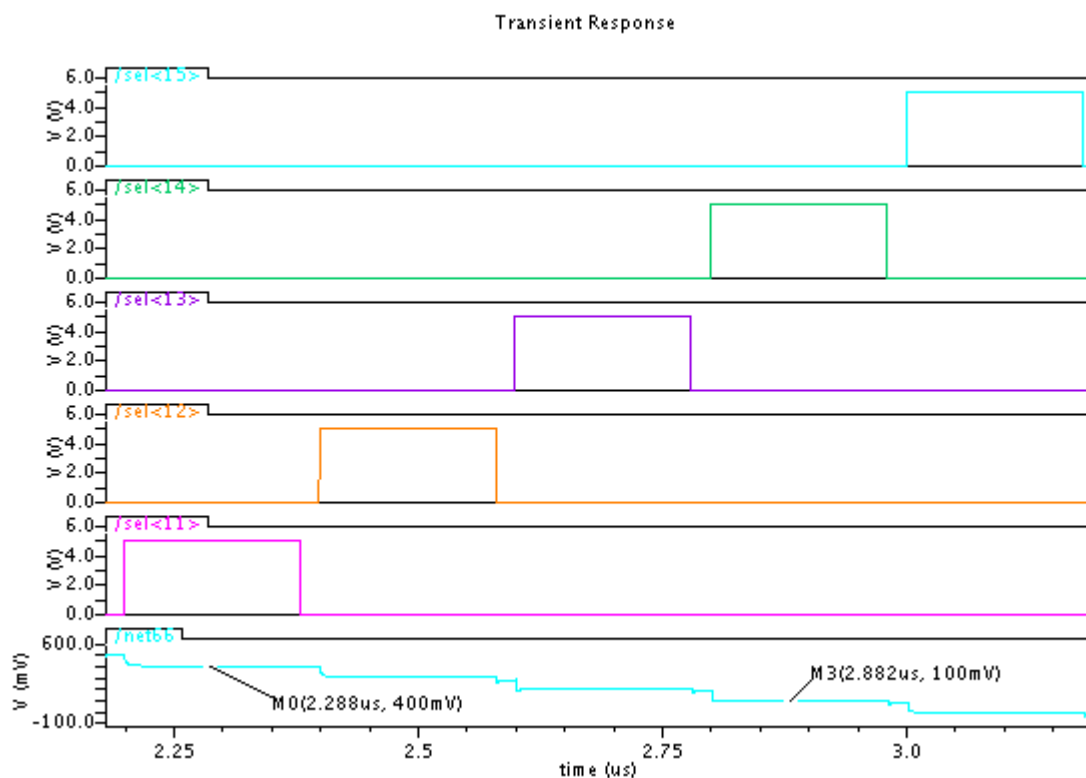


Fig.III.14. Résultats de simulation du MUX

On observe que la tension de sortie 400mV correspondant à l'entrée mux_in <11> est sélectionnée par l'entrée sélective sel <11>, et la tension de sortie 300mV correspond à

l'entrée mux_in <12> est sélectionnée par l'entrée sélective sel <12>, et ainsi de suite pour les autres entrées, ce qui indique le bon fonctionnement du multiplexeur.

III.5.3. L'interrupteur (switcher)

Le "*switcher*" est un interrupteur qui permet d'interrompre ou d'autoriser le passage d'un flux.

On propose deux types de "switcher" : simple structure et double structure.

III.5.3.1. Switcher de structure simple

Le switcher de structure simple est constitué de deux transistors NMOS et PMOS.

L'utilisation de ces deux types de transistors MOS sert à assurer le fonctionnement du switcher pour les basses tensions ainsi que les hautes tensions c.à.d. (0V à 5V).

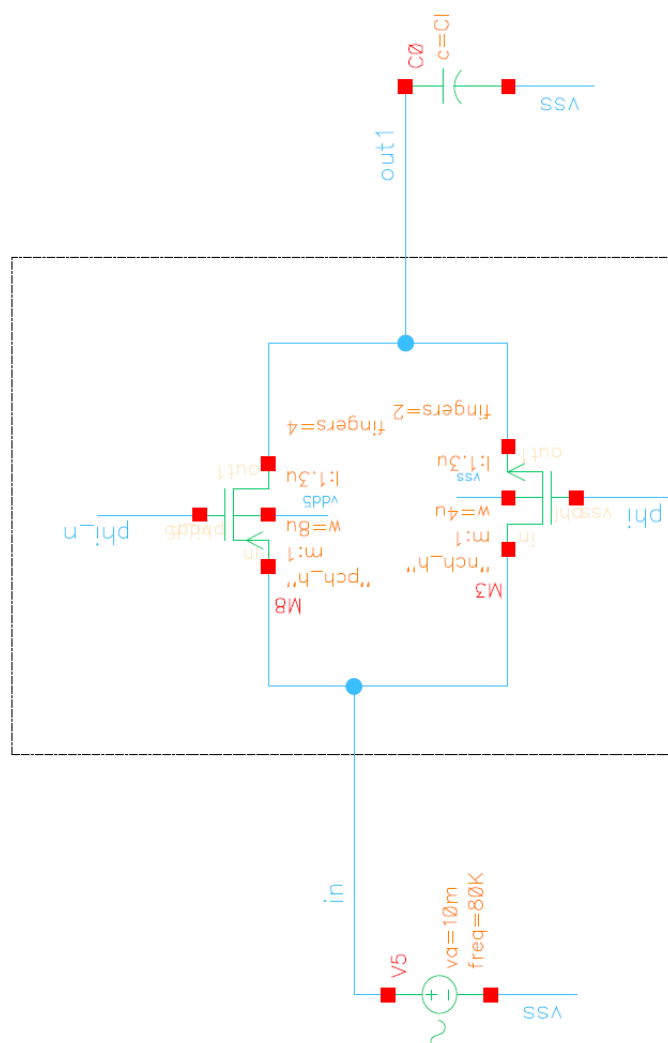


Fig.III.15. Schéma d'un switcher de simple structure

III.5.3.2. Résultats de simulation DC

Une fois que le switcher est monté comme indiqué sur la figure (III.15) les résultats de simulation obtenus sont donnés en figure (III.16).

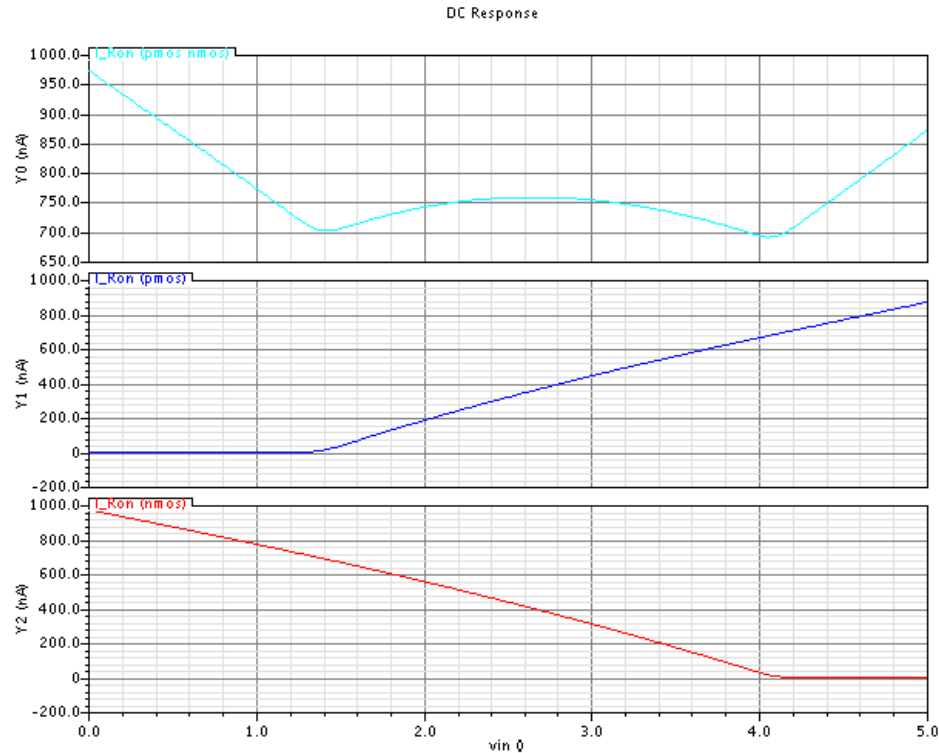


Fig.III.16. Résultats de simulation DC

On remarque que le transistor NMOS fait passer les tensions proche de 0V (<4V), et aux tensions supérieur à 4V le transistor ne fonctionne pas. Par contre le transistor PMOS fait passer les tensions proche de 5V (>1.4V), donc pour les tensions de 0 à 1.4V le transistor ne fonctionne pas.

Il apparait clairement que pour assurer le passage des basses tensions et des hautes tensions on utilise les deux transistors NMOS et PMOS en parallèle.

III.3.3.3. Résultats de la simulation transitoire

Lorsqu'on a injecté un signal alternatif à l'entrée du switcher on a obtenu les résultats de la figure (III.17) :

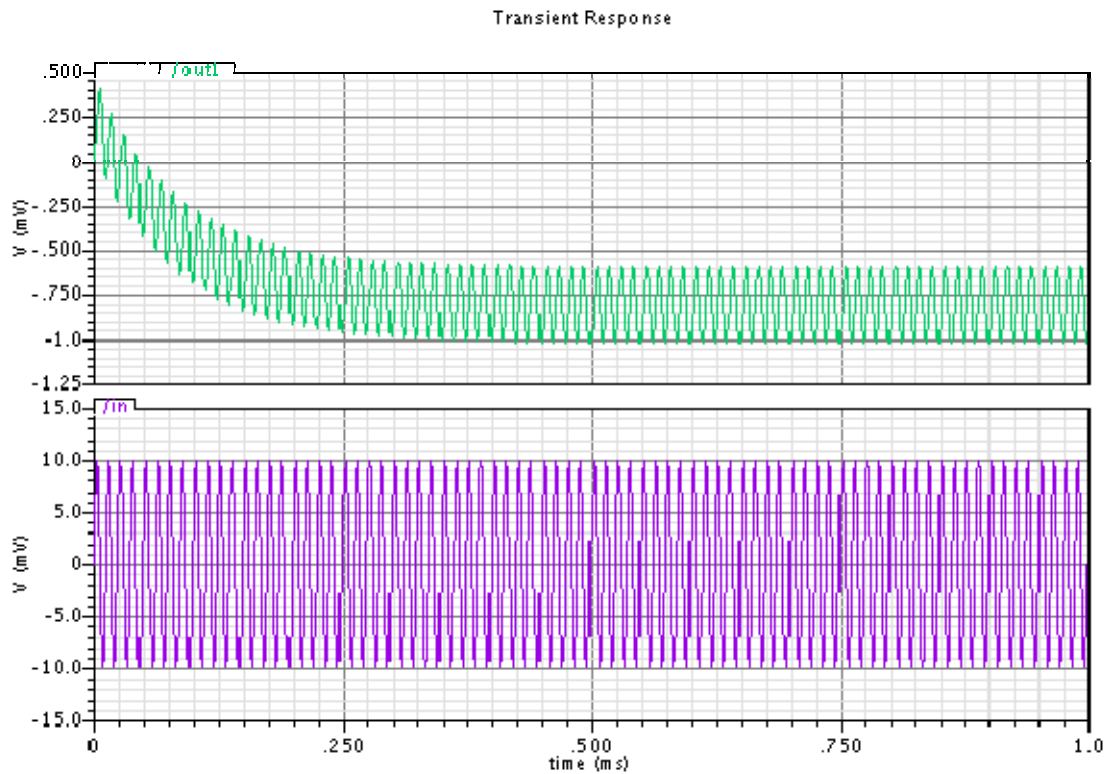


Fig.III.17. Résultats de la simulation transitoire du switcher

On remarque la présence d'un signal alternatif à la sortie du switcher qui représente le bruit. Normalement lorsque le transistor est bloqué aucun signal n'est obtenu à la sortie de ce transistor. En effet dans ce cas le transistor MOS joue le rôle d'un condensateur ce qui a permis le passage du signal alternatif. Afin de résoudre ce problème nous proposons le switcher à double structure.

III.5.3.4. Switcher à double structure

La structure de ce switcher est une combinaison de deux switchers à simple structure dont le deuxième permet de ne pas forcé la sortie du multiplexeur à zéro quand le switcher est bloqué. Le transistor (M10) branché à la masse sert alors à éliminer le bruit.

Pour activer le switcher il faut que les deux transistors N, P seront saturés, pour cela, il faut satisfaire la condition que l'entrée : $\phi = 1$ logique et l'entrée : $\phi_n = 0$ logique.

Si les deux switchers sont activés le transistor M10 est bloqué sinon les deux switchs seront équivalents à deux condensateurs et le transistor à un fil branché à la masse ce qui permet l'élimination du bruit.

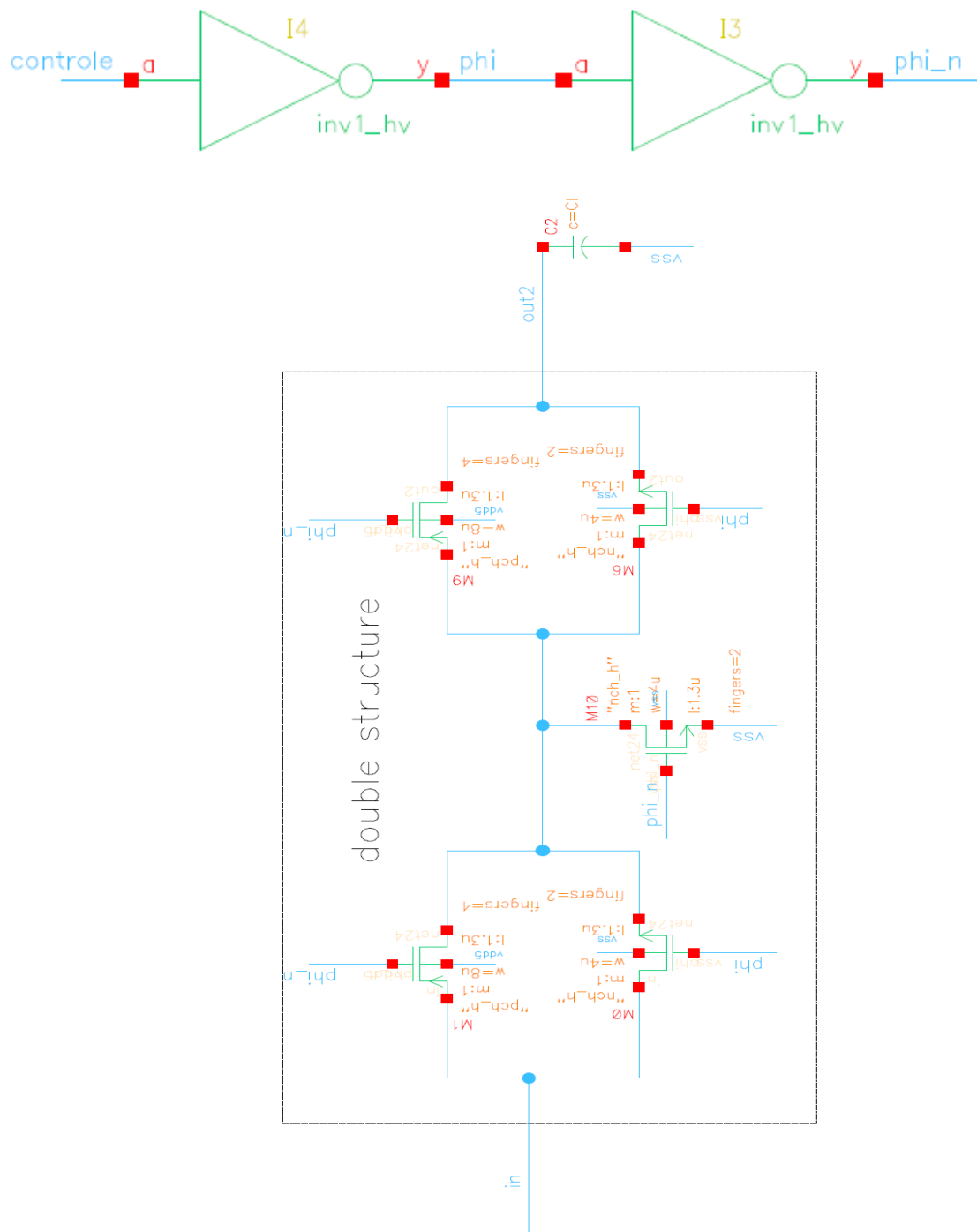


Fig.III.18. Switch à double structure

III.5.3.5. Résultats de simulation DC

Les résultats de simulation de ce switcher sont donnés par la figure (III.19)

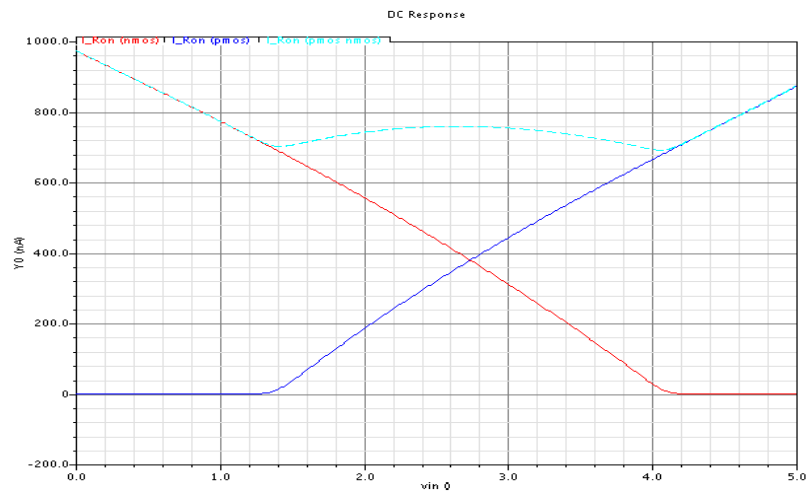


Fig.III.19. Résultats de simulation DC

D'après les résultats de simulation on remarque qu'il n'y a aucun changement à signaler concernant le fonctionnement des transistors par rapport au switcher simple structure en mode DC.

III.5.3.6. Résultats de la simulation transitoire

Lorsqu'on a injecté un signal alternatif à l'entrée du switcher à double structure, on a obtenu les résultats suivant :

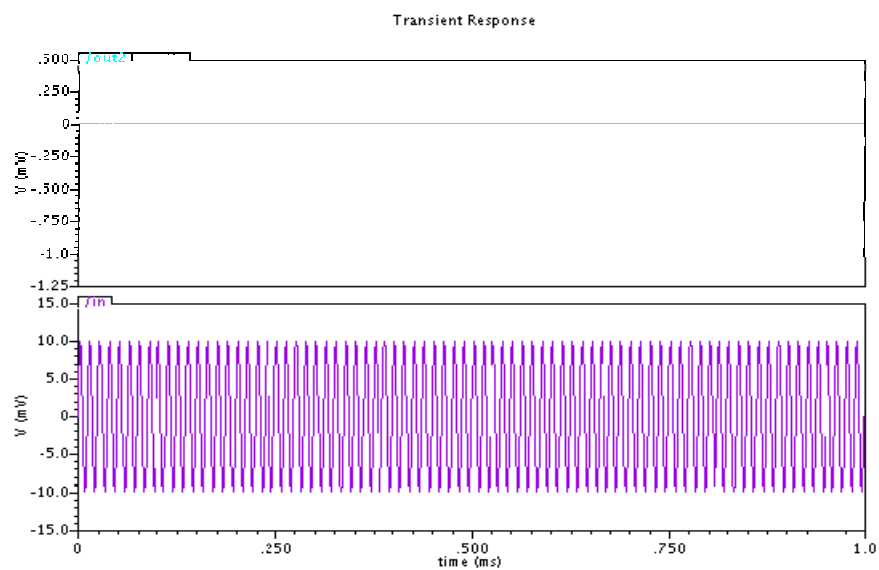


Fig.III.20. Résultats de la simulation transitoire

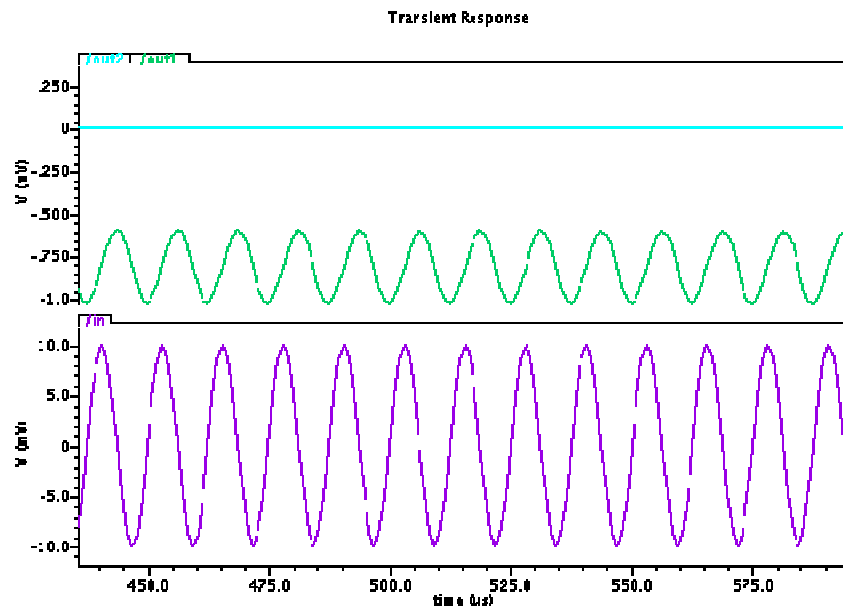


Fig.III.21. Résultats de la simulation transitoire

D'après les résultats de simulation on remarque qu'on a obtenu un signal de sortie filtrés à 0 V ce qui nous a permis d'éliminé le bruit qui a apparu dans le switcher à simple structure.

III.6. Driver de tension contrôlée

Notre driver est constitué essentiellement de deux amplificateurs opérationnels, l'un de type N et l'autre de type P. Le miroir de courant qui le comporte sert à stabiliser notre driver. La chaîne de résistances sert à diviser la tension de sortie par quatre.

III.6.1 Amplificateur opérationnel de type P

Cet amplificateur opérationnel est constitué d'un étage de polarisation (miroir de courant de type cascode) et un étage d'amplification différentiel et un autre étage de sortie, l'étage de polarisation sert à polariser la paire différentiel et l'étage de sortie. La paire différentiel est de type P, elle est composée de deux transistors MOS de type P.

Les deux transistors M76 et M67 ont pour rôle d'activer ou désactiver l'amplificateur. La figure (III.22) nous montre le schéma électrique de l'amplificateur opérationnel de type P.

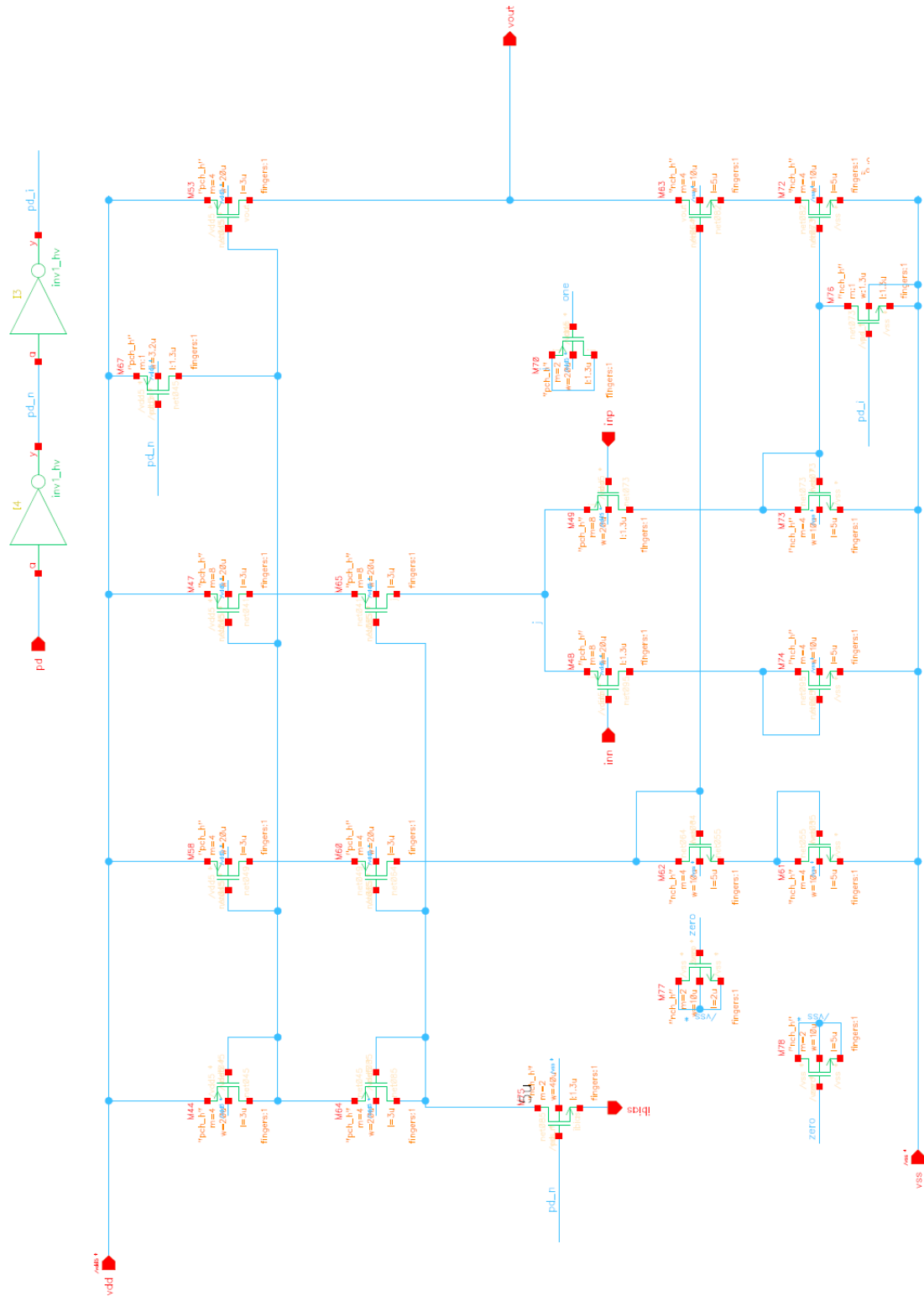


Fig.II.22. Schéma électrique de l'amplificateur opérationnel de type P

III.6.2 Amplificateur opérationnel de type N

Le schéma de la figure suivante représente un Amplificateur opérationnel de type N qui est constitué de trois étages, étage de polarisation dont son rôle est de polariser la paire différentiel, étage d'amplification différentiel et un étage de sortie. L'activation et la désactivation de l'amplificateur sont assurées par les deux transistors M6 et M7.

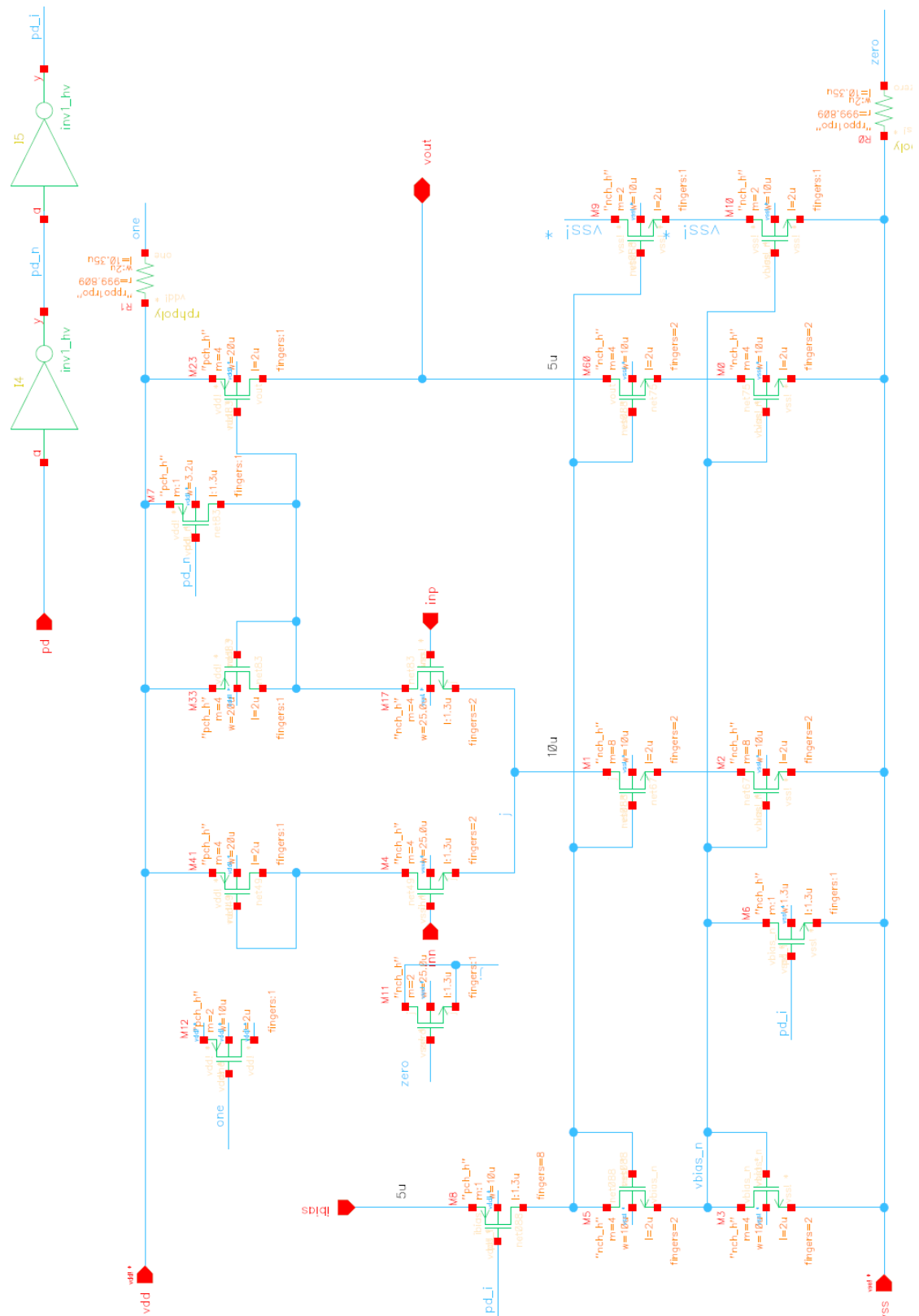


Fig.II.23. Schéma électrique de l'amplificateur opérationnel de type N

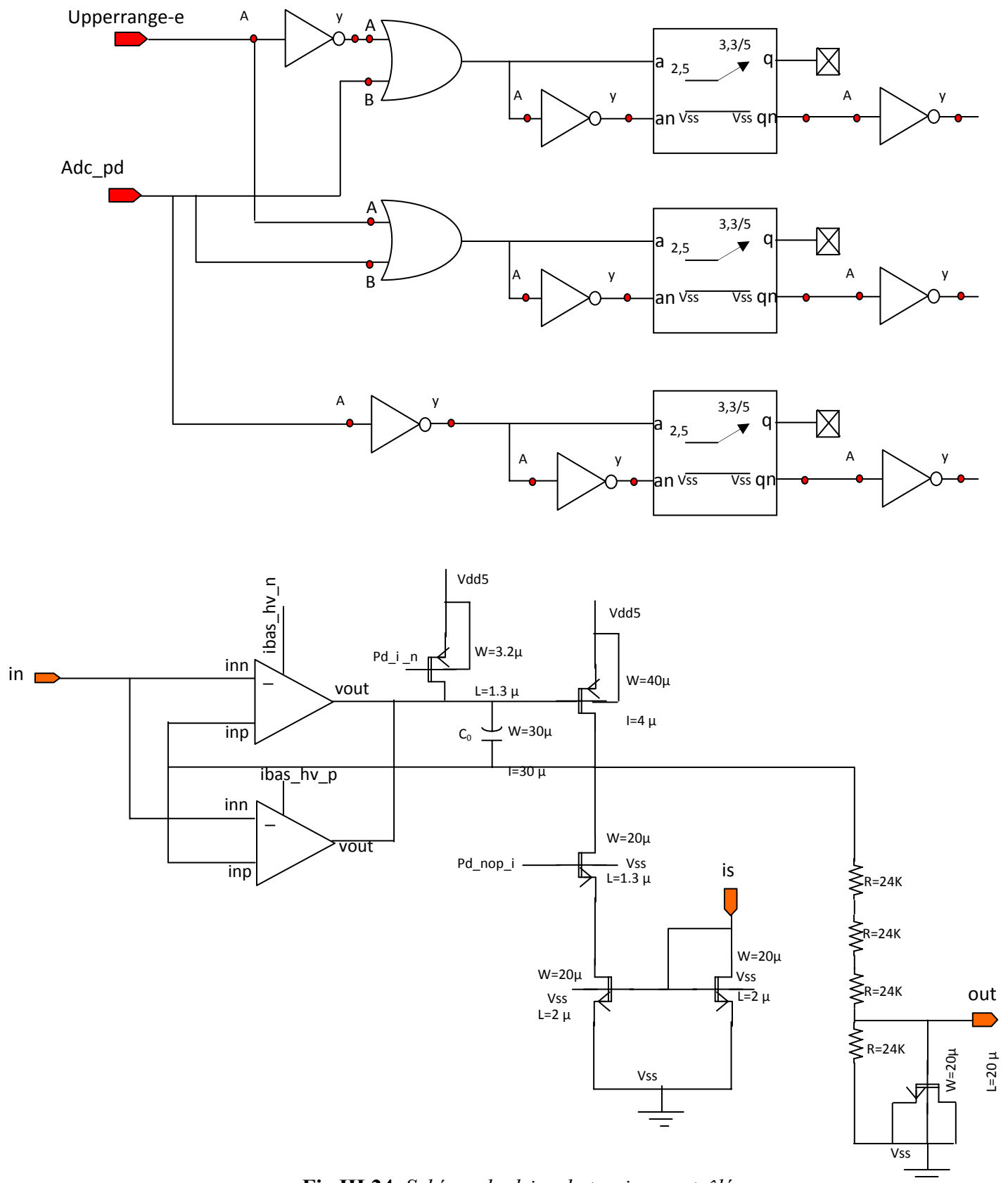


Fig.III.24. Schéma du drive de tension contrôlée

Le principe de fonctionnement de notre drive de tension est le suivant :

Upperrange_e (input active niveau haut): permet de sélectionner l'amplificateur type P et désactivé l'amplificateur type N et vise versa.

Adc_pd (input active niveau haut) : power down permet de désactivé les deux amplificateurs opérationnels.

Adc_pd LV	Upperrange_e LV	Pd_nop_i HV	Pd_pop_i HV	Pd_i_n
0	0	1	0 (P active)	1
0	1	0 (N active)	1	1
1	0	1	1	0 (M37 bloqué)
1	1	1	1	0 (M37 bloqué)

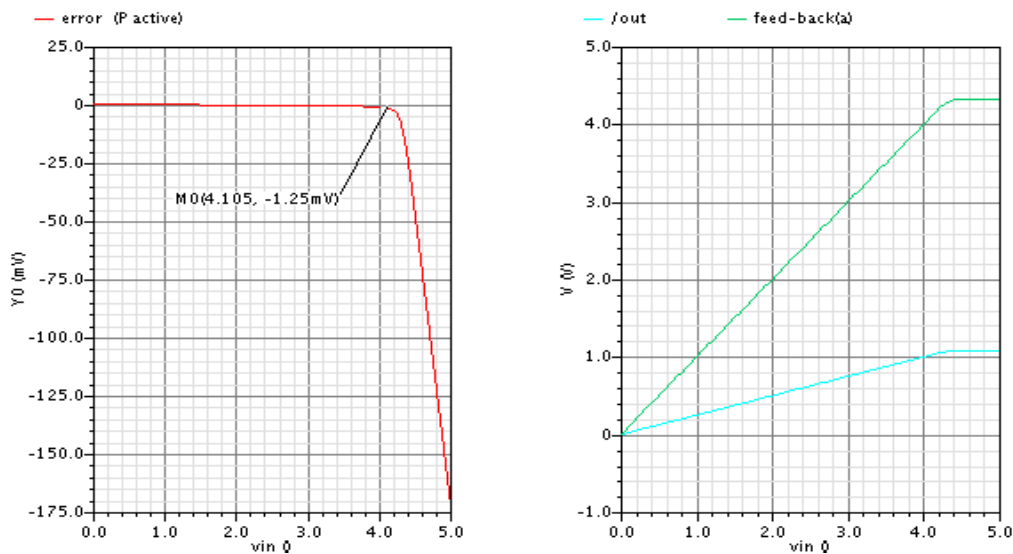
Tableau III.2. Principe de fonctionnement du driver

Remarque :

- l'ADC est conçu pour mesurer des tensions dans la plage de 0 à 1.25 V, alors pour adapté les tensions d'entrée, on a ajouté un pont de résistance (figure III.24), ce dernier permet l'obtention d'une tension adapté à l'ADC par la division par 4 du signal d'entrée.

III.6.3. Résultats De Simulation DC

➤ **1^{er} cas : l'op-amp p activé et l'op-amp n désactivé**



a- Courbe de l'erreur en fonction de l'entrée

b- courbe de la sortie du feed back en fonction de l'entrée

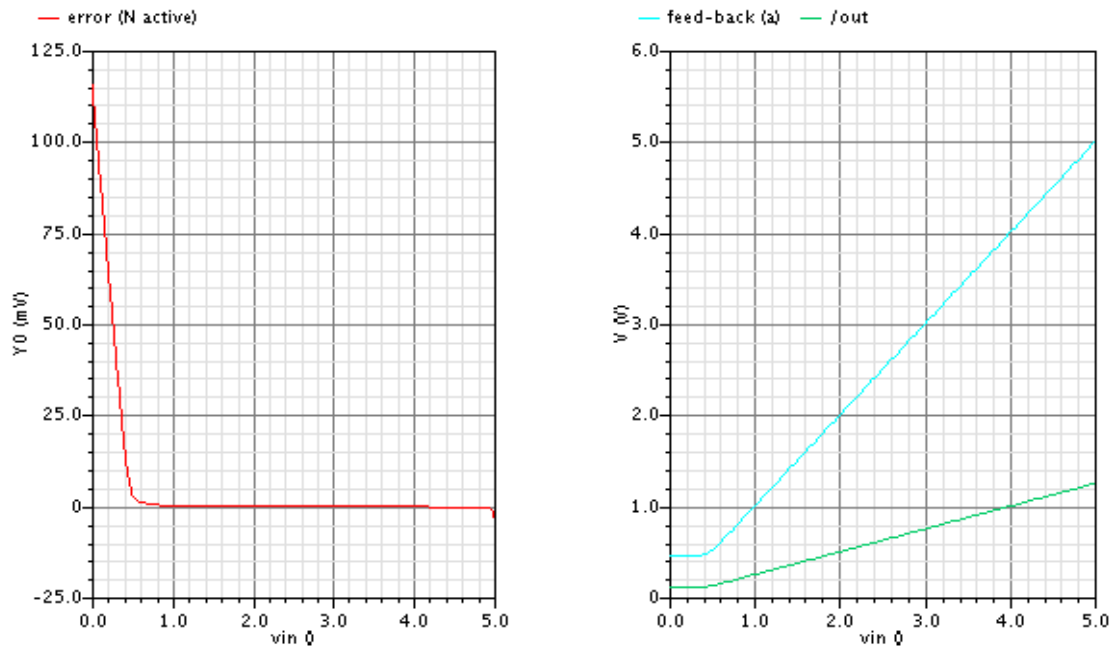
Fig.III.25 Résultats de simulation DC avec l'op-amp-P- activé

On voit bien que dans la courbe de couleur verte (la sortie feed back en fonction de l'entrée) lorsqu'on injecte à l'entrée une tension de 0 à 4.4V on trouve à la sortie presque la même tension d'entrée, mais pour les tensions de 4.4 jusqu'à 5V on remarque que la tension de sortie ne suit pas la tension d'entrée. On peut alors dire que l'amplificateur de type P assure le bon passage des tensions de 0 à 4.4V.

Pour la courbe de couleur bleu (la tension de sortie est le $\frac{1}{4}$ de la tension d'entrée), L'ADC est conçu pour mesurer des tensions dans la plage de 0 à 1.25 V, alors pour adapté les tensions délivrées par les capteurs, on a ajouté un pont de résistance qui se trouve sur la figure (III.24), ce dernier permet l'obtention d'une tension adapté à l'ADC par la division par 4 du signal d'entrée.

La courbe de la figure (a) montre que pour les tensions de 0 à 4.4V l'erreur LSB est inférieure à 1.25V ce qui concorde marche avec les conditions de travail de L'ADC.

➤ 2^{ème} cas : l'op-amp N activé et l'op-amp P désactivé



a- Courbe de l'erreur en fonction de l'entrée

b- courbe de la sortie du feed back en fonction de l'entrée

Fig.III.26 résultats de simulation DC avec l'op-amp-N- activé

On observe dans la courbe bleue (la sortie feed back en fonction de l'entrée) que lorsque on injecte à l'entrée une tension de 0 à 0.6V la tension de sortie ne suit pas la tension d'entrée, mais pour les tensions de 0.6 jusqu'à 5V on trouve à la sortie presque la même tension d'entrée, alors on peut dire que l'amplificateur de type N assure le bon passage des tensions de 0.6 à 5V.

D'après les deux simulations précédentes de l'amplificateur de type N et de type P, on peut dire que si on veut assurer le bon fonctionnement de notre ADC sur tout l'intervalle de [0, 5V] il faut utiliser les deux types des amplificateurs N et P. Le résultats ainsi obtenu est montré par la figure (III.27).

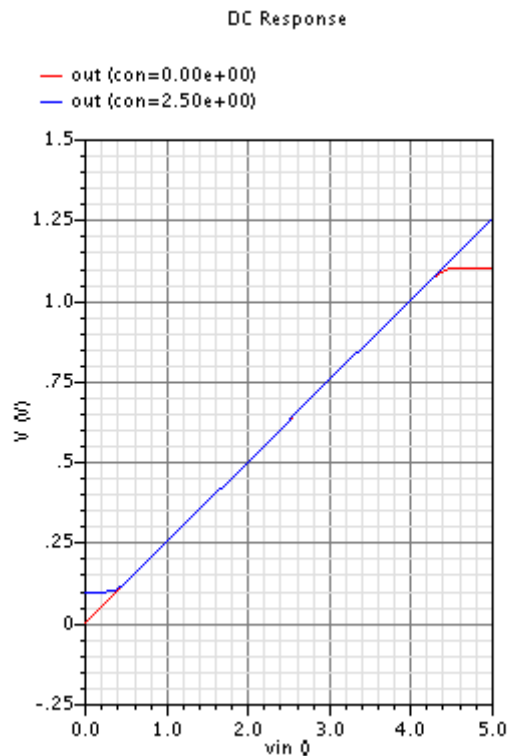


Fig.III.27 Résultats de simulation dc pour op-amp-N-et -P-

On remarque sur la figure (III.27) que dans l'intervalle de 0 à 0.6V l'amplificateur de type P fonctionne bien et sur l'intervalle de 0.6 à 4.4V se sont les deux amplificateurs qui interviennent en même temps. On peut activer soit l'amplificateur N ou P. Sur l'intervalle de 4.4 à 5V c'est l'amplificateur de type N qui fonctionne.

➤ Effet de la température sur la tension de sortie

Un paramètre important dont il faudra tenir compte est la température. Dans cette simulation on étudie l'effet de la température sur la tension de sortie, en injectant un signal d'entrée de 0 à 5V et on fait varier la température de -20 jusqu'à 105°C, on prend trois points de température, 17°C pour la température idéal, -20 et 105°C pour les pires cas. Les résultats de simulations sont montrés en la figure (III.28)

Remarque : (la tension de sortie = $\frac{1}{4}$ de la tension d'entrée).

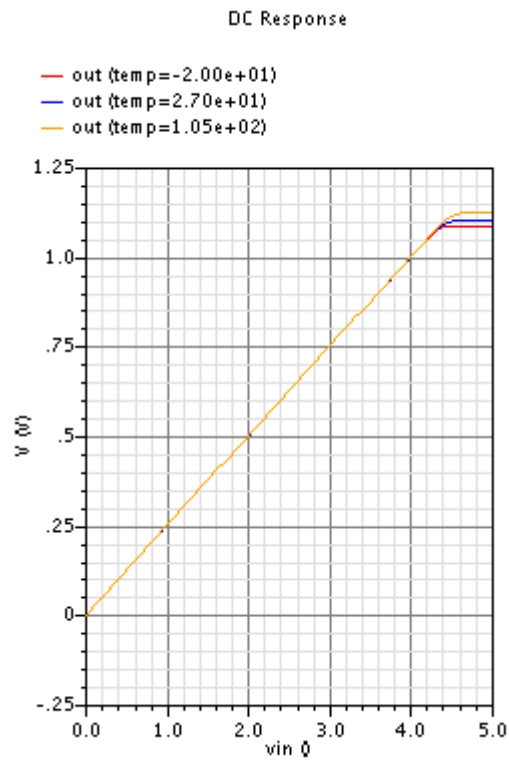
A- cas d'un amplificateur de type P

Fig.III.28. *Effet de la température sur la tension de sortie*

pour l'amplificateur de type P

D'après cette courbe, on observe que la température n'a presque aucun effet sur la tension de sortie.

B- cas de l'amplificateur de type N.

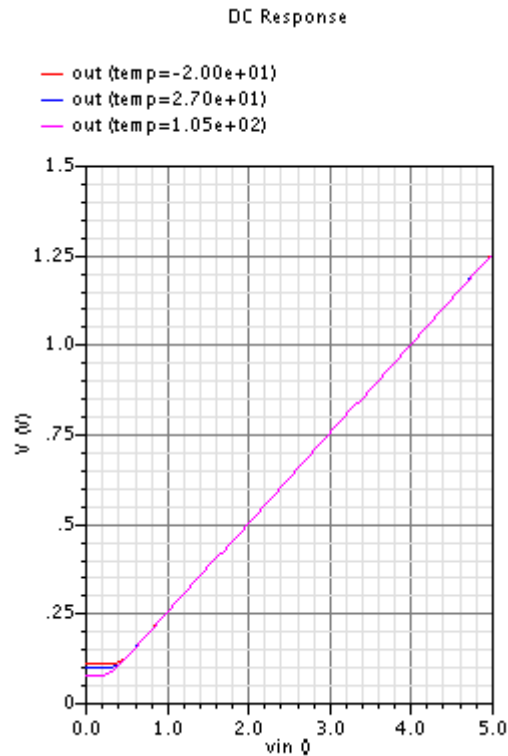


Fig.III.29. *Effet de la température sur la tension de sortie
pour l'amplificateur de type N*

D'après cette courbe on peut dire que l'effet de la température est négligeable, donc on peut assurer que notre drive fonctionne bien dans l'intervalle de température $[-20, 105^{\circ}\text{C}]$

III.6.4. Simulation transitoire du driver

Après l'injection de plusieurs signaux d'entrées avec de différentes valeurs de tension : 1,2 et 3V par exemple et une période de $100\ \mu\text{s}$ et cela afin de calculer le temps de réponse de ce driver. Les résultats de simulation sont représentés sur la figure (III.30).

Remarque : la sortie est au $\frac{1}{4}$ de la tension d'entrée.

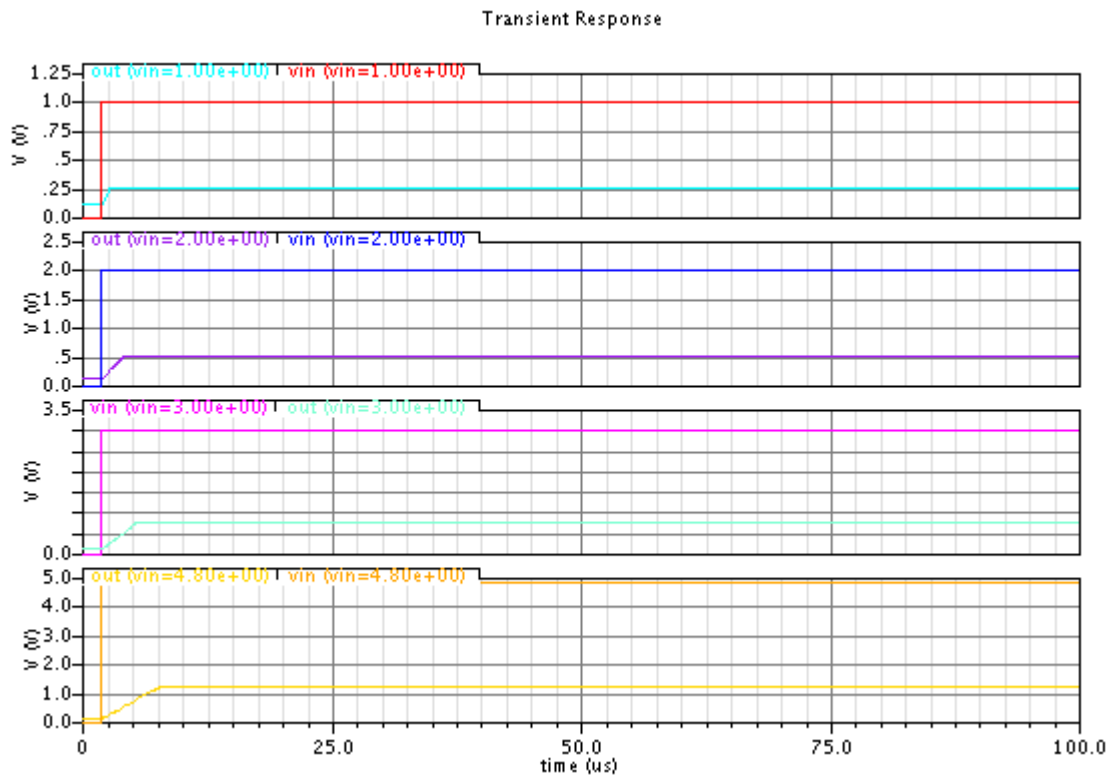


Fig.III.30. Simulation transitoire du driver

D'après les simulations établies on remarque que le temps de réponse est très petit pour toutes les tensions d'entrées, et lorsque la tension d'entrée augmente le temps de réponse augmente.

Input (vin)	Upperrange_e	Settling time
3V	0(p active)	6.65 μ s
2V	0(p active)	5.25 μ s
1V	0(p active)	3.85 μ s
50mV	0(p active)	3.13 μ s
3V	1(n active)	5.27 μ s
2V	1(n active)	4.036 μ s
1V	1(n active)	2.78 μ s
4.8V	1(n active)	7.48 μ s

Tableau III.3. Résultats de la simulation transitoire du driver

III.6.5. Simulation de stabilité

- 1^{er} cas : simulation du drive sans le miroir de courant

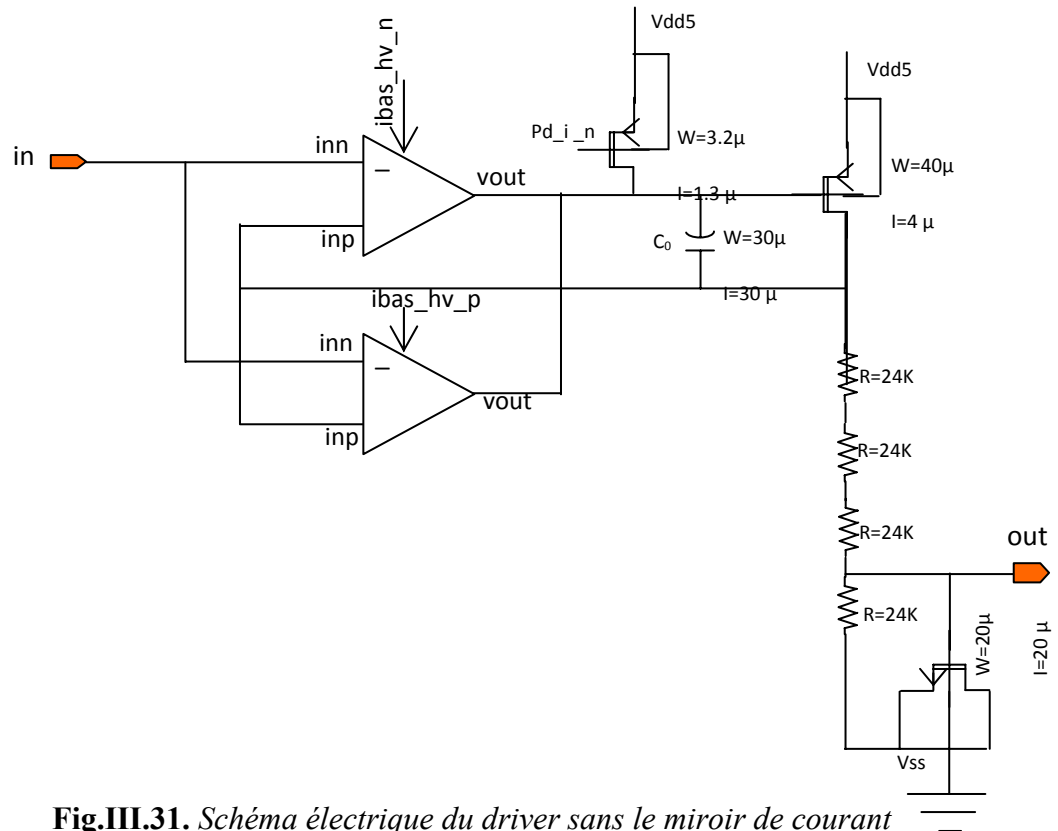


Fig.III.31. Schéma électrique du driver sans le miroir de courant

Les résultats de la simulation sont représentés sur la figure (III.32)

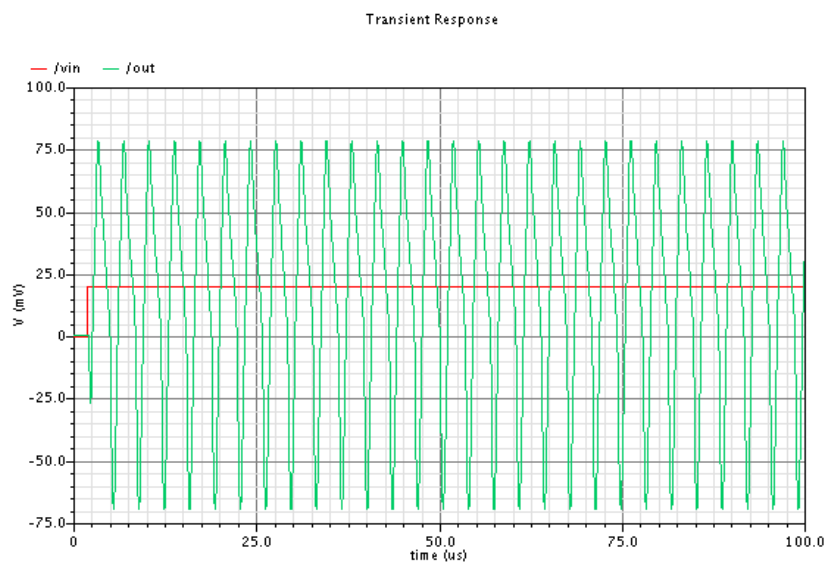


Fig.III.32. Résultats de simulation du driver sans le miroir de courant

En remarque que notre système est instable pour les entrées inférieure à 40mV et afin d'améliorer d'avantage la stabilité on soustrait un courant constant via le miroir de courant ajouté au schéma précédent, ce qui donne la figure (III.28)

➤ 2^{ème} cas : simulation du drive avec le miroir de courant

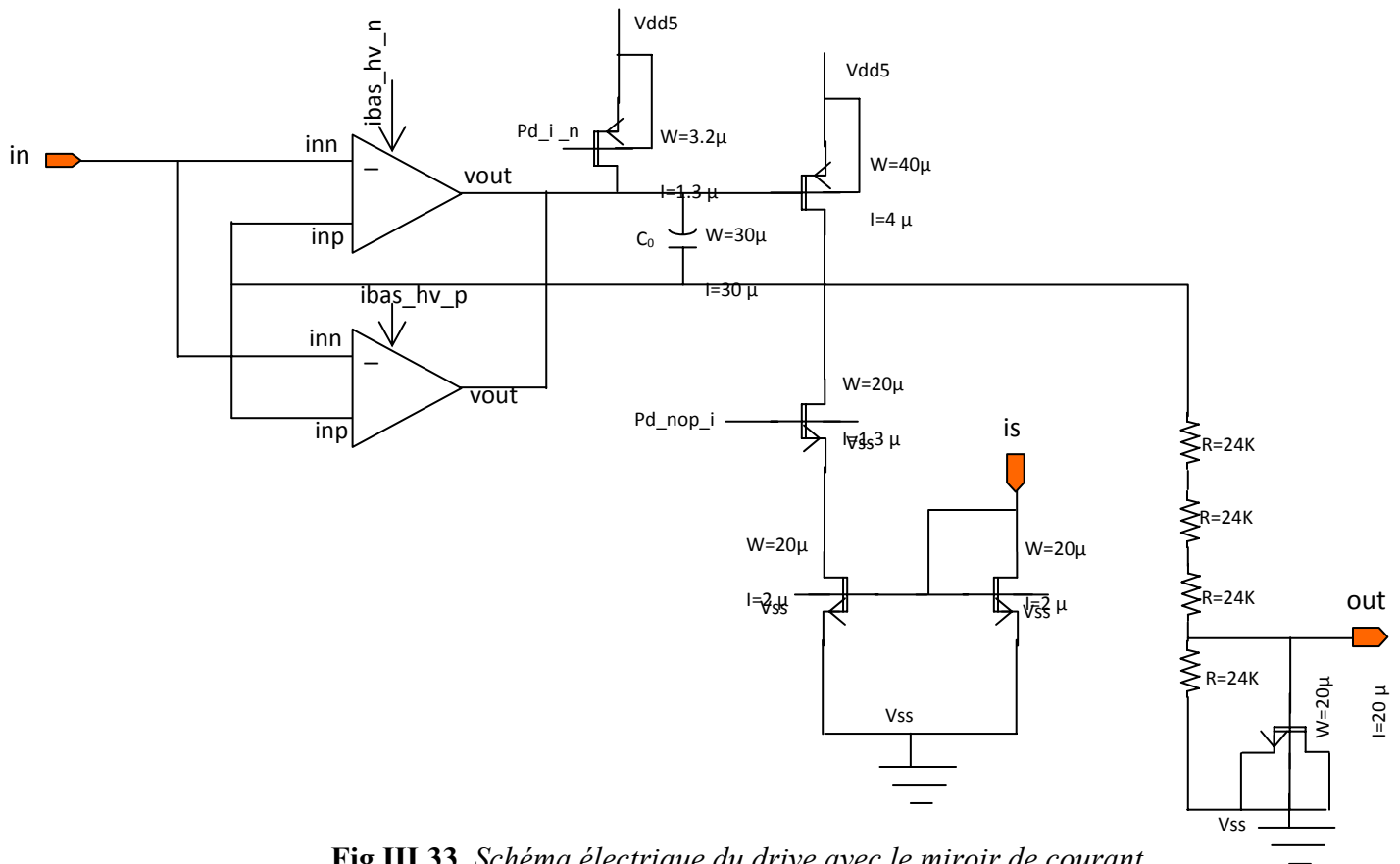


Fig.III.33. Schéma électrique du drive avec le miroir de courant

Les résultats de simulation sont montrés sur la figure (III.34).

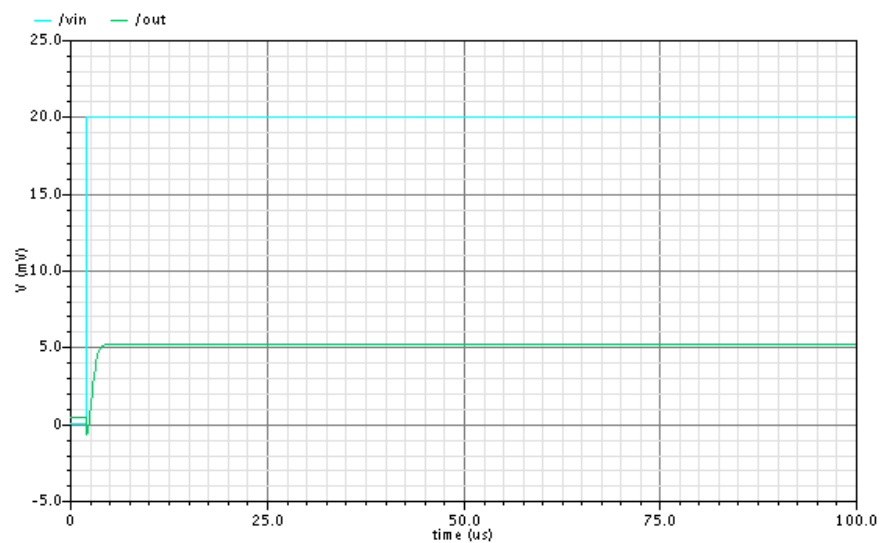


Fig.III.34. Résultats de la simulation du driver avec le miroir de courant

D'après les résultats de simulations, on remarque que notre système est stable et que le courant est optimisé à la valeur de 10uA.

III.6.6. AC simulation

Dans cette simulation on calcule :

- ✚ La marge de phase
- ✚ le gain DC
- ✚ Bande passante à gain unitaire (Unit gain bandwidth)

III.6.6.1. Marge de phase

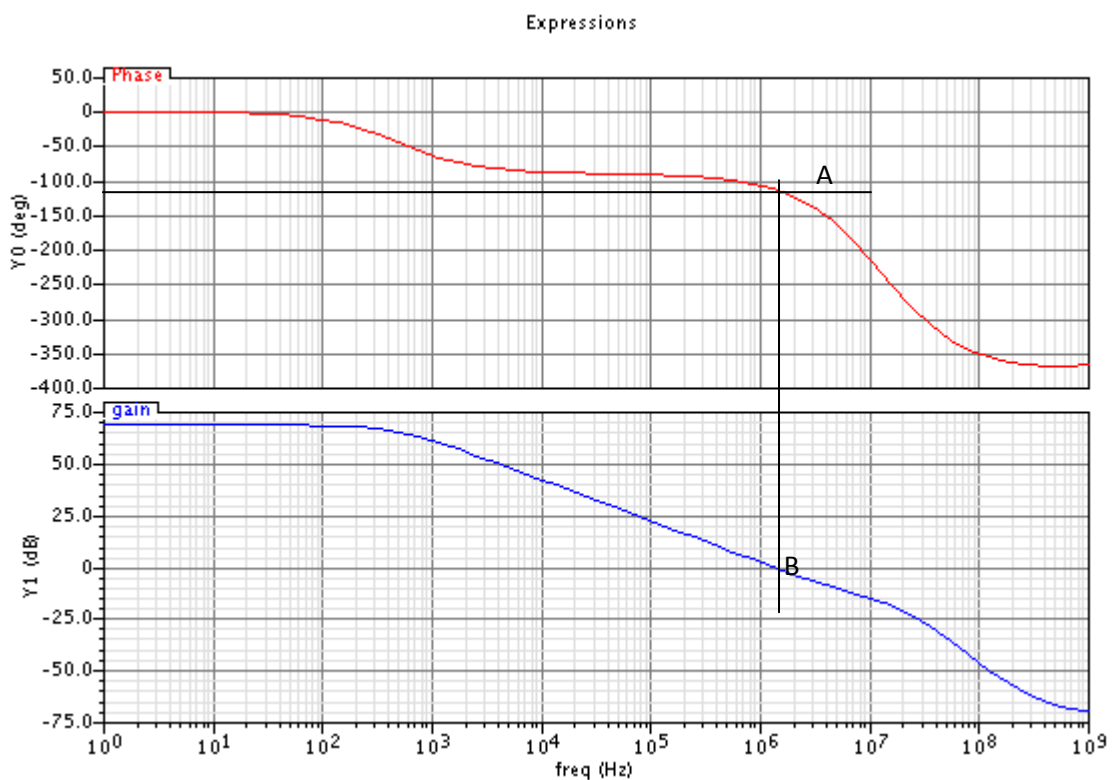


Fig.III.35. Calcul de la marge de phase graphiquement

Marge de phase = $180^\circ + A_y$ exprimé en degré.

Pour calculer la marge de phase on prend le point B ($B_y=0$, B_x) dans le graphe de gain, on fait une projection verticale du point B sur le graphe de la phase, puis une projection horizontale sur l'axe des Y de la courbe de phase.

➤ Critère de stabilité

Marge de phase $> 45^\circ$ système est stable

Marge de phase $> 67^\circ$ système est complètement stable [17]

III.6.6.2. Bande passante à gain unitaire (Unit gain bandwidth)

Unit gain bandwidth= Bx exprimé en Hz

Le cas typique : (27 °C et Vdd=5V) :

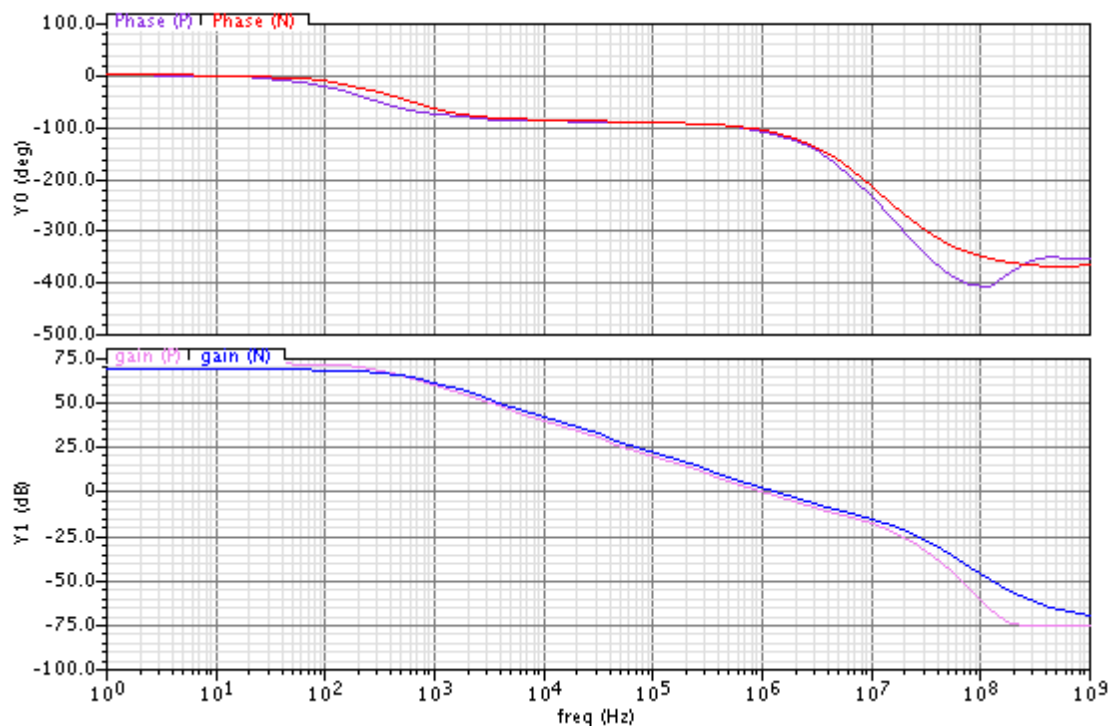


Fig.III.36. Résultats de simulation de la phase et le gain des amplificateurs N et P

OPAMP Type N			OPAMP Type P		
DC gain	Marge de phase	Unit gain bandwidth	DC gain	Marge de phase	Unit gain bandwidth
68.32 dB	68.58 deg	1.284 MHz	71.79dB	71.35 deg	1.006MHz

Tableau III.4. Résumé des résultats de simulation des amplificateurs N et P

III.6.6.3. Taux de réjection du mode commun – CMRR

Il est défini par le rapport du gain en mode différentiel sur le gain en mode commun.

$$CMRR = \frac{A_{dc}}{A_{cm}} \quad (III-1)$$

$$CMRR = A_{dc}(dB) - A_{cm}(dB) \quad (III-2)$$

Le terme CMRR nous donne une idée sur la non linéarité c.à.d. quand le CMRR augmente la non linéarité diminue.

➤ Cas d'un amplificateur de type N

A_{dc} : DC gain = 66.81dB (dans le cas typique)

A_{cm} : common mode gain = -28.29 dB (indiqué en la figure III.37)

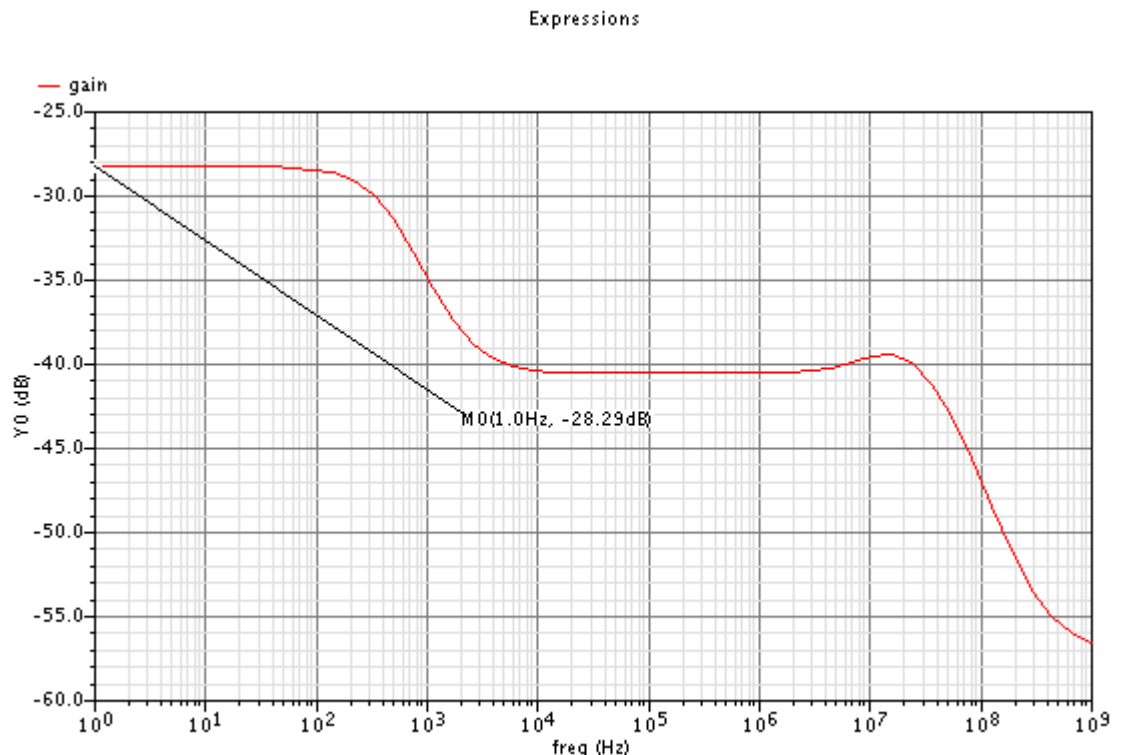


Fig.III.37. Résultat de simulation du Taux de réjection du mode commun – CMRR d'un amplificateur de type N

Le résultat obtenu est $CMRR = 95.1 \text{ dB}$

➤ Cas d'un amplificateur de type P

Adc : DC gain = 71.79db (dans le cas typique)

Acm : Common mode gain = -22.41 dB (comme il est montré sur la figure suivante)

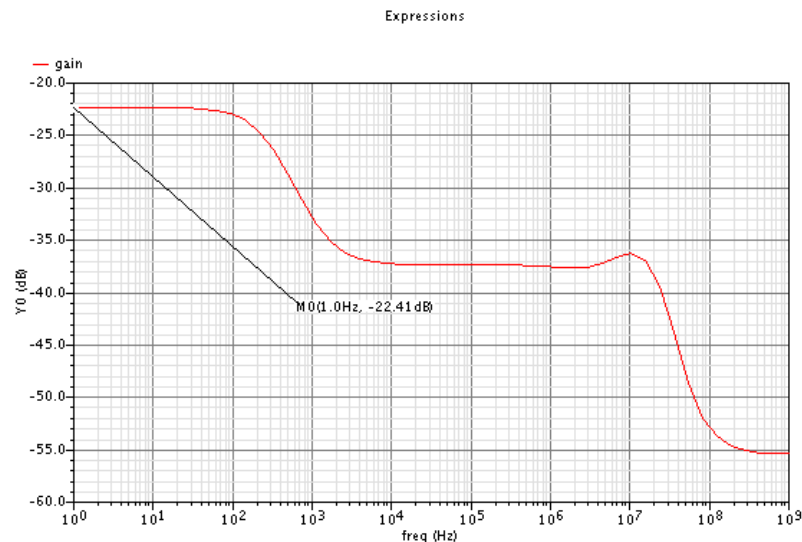


Fig.III.38. Résultat de simulation du Taux de réjection du mode commun – CMRR d'un amplificateur de type P

Le résultat obtenu est $CMRR = 94.2 \text{ dB}$

III.6.6.4. Taux de réjection de l'alimentation - PSRR

Le terme PSRR nous donne une idée sur la stabilité de l'amplificateur.

➤ Cas d'un amplificateur de type N

$$PSRR = A_{dc}(\text{dB}) - A_{ps}(\text{dB}) \quad (\text{III-3})$$

Adc : DC gain = 66.81dB (dans le cas typique)

Aps : gain en puissance = -62.35 dB (voir la figure III.39)

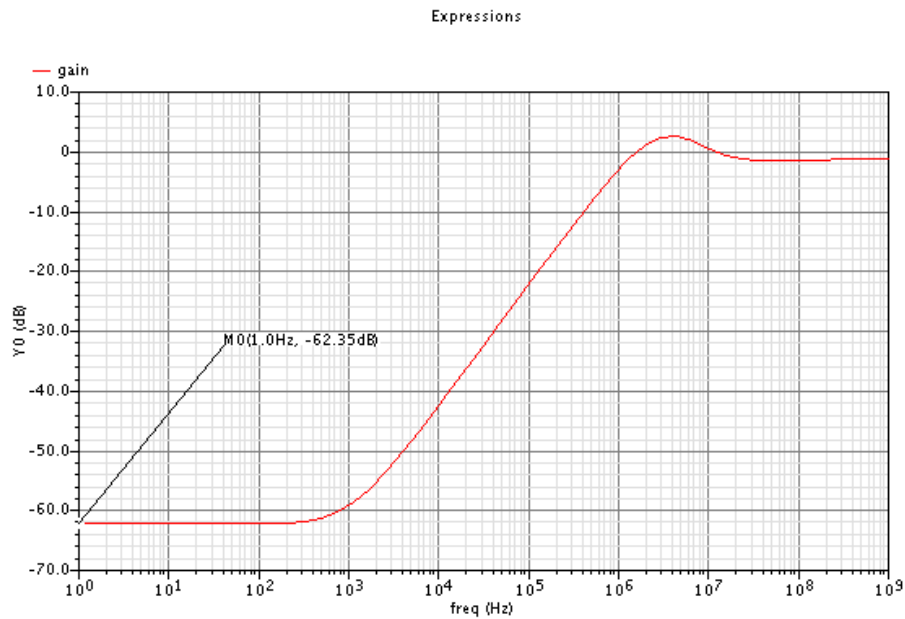


Fig.III.39. Résultat de simulation du Taux de réjection de l'alimentation – PSSR

d'un amplificateur de type N

Le résultat obtenu est PSRR = 129.16 db

➤ Cas d'un amplificateur de type P

$$\text{PSSR} = \text{Adc}(\text{dB}) - \text{Aps}(\text{dB})$$

(III-4)

Adc : DC gain = 71.79dB (dans le cas typique)

Aps : gain en puissance = -68.54 dB (voir la figure III.40)

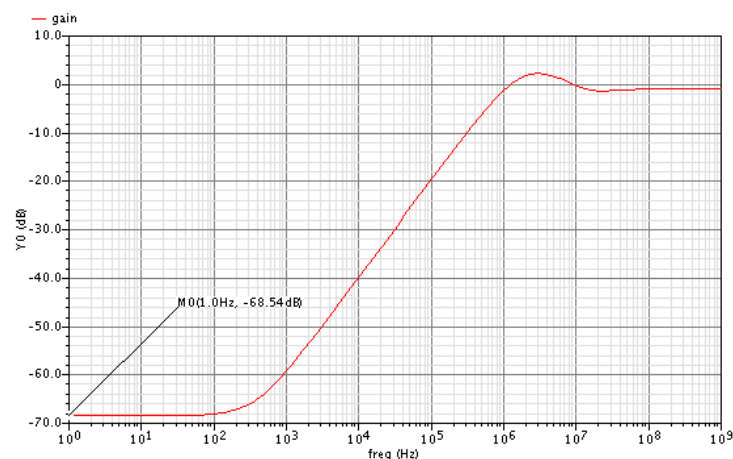


Fig.III.40. Résultat de simulation du Taux de réjection de l'alimentation – PSSR

d'un amplificateur de type N

Le résultat obtenu est PSRR = 140.33 dB

III.7. conclusion

Dans ce chapitre nous avons exposé la conception des différents blocs, et nous avons présenté les résultats de simulation:

Paramètres	Unité	min	Typ	max
Température	°C	-20	27	105
Voltage supply	V	4.5	5	5.5
Voltage Input	V	$V_{SS}+30m$	-	$V_{DD}-30m$

Tableau III.5. *Résumé des paramètres de fonctionnement retenu pour notre conception*

Nous avons énuméré les différentes contraintes rencontrées ainsi que les solutions proposées pour y remédier. Le tableau III.5 résume les paramètres de fonctionnement retenu pour notre conception.

Chapitre IV

Layout

IV.1. Introduction

Pour un circuit de grande complexité, la création de son dessin des masques avec un outil comme Cadence peut facilement nécessiter plus qu'une année-personne de travail. Le temps requis dépend évidemment du niveau d'optimisation désiré. L'avènement d'outils automatiques, comme les programmes de placement et routage et les outils de synthèse, ne va pas faire disparaître les outils d'édition de masques.

L'étape de dessin des masques (layout) est la phase la plus longue et la plus fastidieuse de la conception des circuits intégrés. Pour assurer le bon fonctionnement de celui-ci, un certain nombre de règles technologiques concernant les dimensions et les espacements de ces motifs doivent être respectées. Pour corser le tout, le concepteur doit de plus s'assurer que les parasites introduits par son dessin ne dégradent pas trop les performances du circuit. Enfin, pour des raisons de coût, il doit aussi faire en sorte que le circuit réalisé soit le plus compact possible de façon à économiser au maximum la quantité de silicium requise. Une étape de vérification après tout reste nécessaire pour s'assurer que toutes les règles de dessin ont bien été respectées et que les parasites introduits n'auront pas d'influence critique sur le fonctionnement [21].

IV.2. layout

Le layout c'est une étape parmi les étapes de cycle de conception d'un circuit intégré. Dans cette étape, la représentation de chaque composant du circuit est convertie en une représentation géométrique. Cette représentation est en fait un ensemble de modèles géométriques qui exécutent la fonction prévue du composant correspondant. Les connections entre les différents composants sont également exprimées en tant que des modèles géométriques. Les détails exacts d'un layout dépendent des règles de conception, qui sont des directives basées sur les limitations du processus de fabrication et les propriétés électriques des matériaux de fabrication. Le layout d'un circuit est un processus très complexe, en conséquence, il est toujours décomposé en diverses étapes secondaires (sub-steps) afin de manipuler la complexité du problème.

IV.3. Le cycle d'un circuit layout

A l'entrée au cycle de conception de layout, on doit avoir un schéma d'un circuit pour avoir à la sortie un layout. Ceci est accompli en passant par plusieurs étapes telles que le partage (partitionning), floorplanning, placement, routage et compactage. Les différentes étapes du cycle de layout sont montrées sur la figure IV.1 [21].

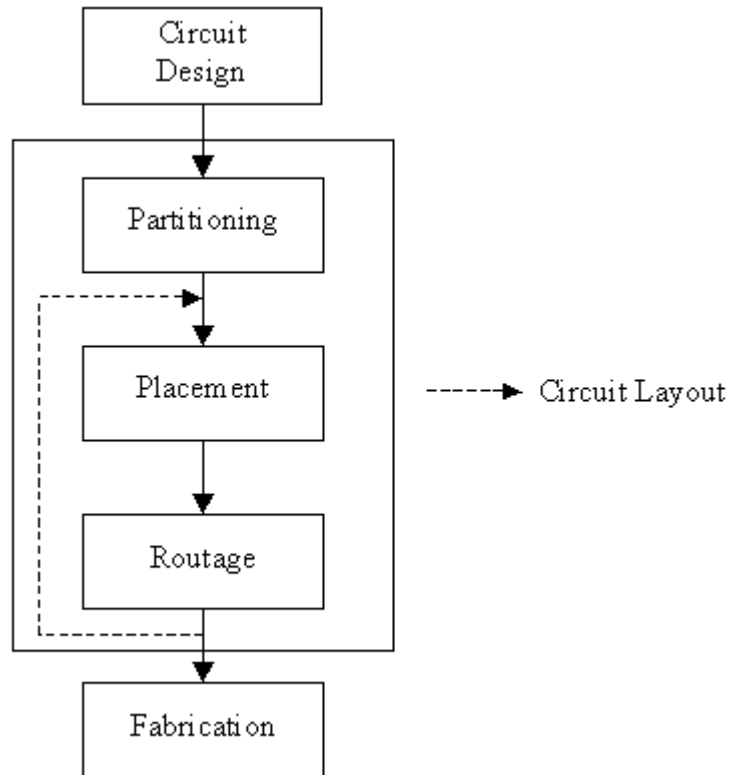


Fig.IV.1. Les étapes de processus de layout

IV.3.1. Partitioning

Un chip peut contenir plusieurs millions de transistors. Le layout entier du circuit ne peut pas être manipulé dû aux limitations de l'espace mémoire aussi bien à la puissance de l'ordinateur disponible. Par conséquent, il est normalement partitionné en groupant les composants dans des blocs (subcircuits / modules). Le processus de partitionnement actuel considère beaucoup de facteurs comme: la taille des blocs, le nombre des blocs et le nombre des interconnexions entre les blocs. La sortie de la partition est un ensemble de blocs avec des interconnexions entre eux. L'ensemble d'interconnexions exigées est désigné sous le nom netlist [3].

IV.3.2. Placement

Durant le placement, les blocs sont exactement placés dans le chip. Le but du placement est de trouver la surface de rangement minimale pour les blocs qui permette l'accomplissement des interconnexions entre eux. Le placement est typiquement fait en deux phases; dans la première phase, un placement initial est créé et dans la seconde, le placement initial est évalué et des améliorations itératives sont apportées jusqu'à ce que layout aura la surface minimale et se conforme selon les spécifications de la conception. L'espace entre les blocs est intentionnellement laissé vide pour permettre des interconnexions entre les blocs. La qualité du placement ne sera pas évidente jusqu'à ce que la phase de routage ait été finie. Le placement peut ne pas mener à une conception routable; c à d, le routage peut ne pas être possible dans l'espace fourni. Dans ce cas, une autre itération de placement est exigée pour résoudre ce problème. Une estimation de l'espace de routage est exigée pour limiter le nombre d'itérations de l'algorithme de placement. Le bon routage et la performance du circuit dépendent fortement d'un bon algorithme de placement. Une fois les positions des blocs sont fixées, il devient difficile d'améliorer le routage et la performance totale du circuit [21].

IV.3.3. Routage

L'objectif de la phase de routage c'est d'accomplir les interconnexions entre les blocs selon le netlist spécifié. L'espace non occupé par les blocs est partitionné en des régions rectangulaires appelées les canaux. En utilisant les canaux, c'est dans le but d'accomplir toutes les connexions de circuit en utilisant la longueur de fil la plus courte possible. Le problème de routage est difficile et il est toujours fait en deux phases; le routage global et le routage détaillé. Dans le routage global, les connexions sont accomplies entre les blocs du circuit en négligeant les détails géométriques exacts de chaque fil et pin. Le routage global indique la route lâchée (loose route) d'un fil à travers les différentes régions dans l'espace de routage. En d'autres termes, le routage global découvre la liste des canaux qui doivent être utilisés comme un passage pour chaque fil. Le routage détaillé suit le routage global, il accomplit point à point les connexions entre les pins et les blocs; c à d, le routage lâché est converti à un routage exact en indiquant l'information géométrique telle que l'attribution des masques des fils. Le routage détaillé inclut le routage de canaux [21].

IV.4. Les couches de masques

IV.4.1. Le well

Nous pouvons construire le well de plusieurs manières. Dans un processus de n-well, le substrat est de type p (la plaquette elle-même) et nous utilisons un masque de n-well. Nous n'avons pas besoin d'un masque de p-well parce qu'il n'y a aucun masque p-well dans un processus n-well. L'implantation d'un transistor NMOS est faite dans le substrat (la plaquette) mais souvent nous concevrons le masque p-well bien qu'il existe.

Quelque soit le processus que nous utilisons, nous devons relier tout le n-well au potentiel le plus positif dans le chip, normalement V_{DD} , et tous les p-well au V_{SS} .



Fig.IV.2. LSW de la couche NWEL

IV.4.2. Les couches des métaux

Les couches de masque sont les diverses couches employées pour définir l'endroit et la taille des composants et des lignes de connexion. Chaque couche peut être traitée comme une couche individuelle, deux couches différentes n'ont donc aucune liaison électrique entre elles [22].

Dans la particularité de la technologie TSMC CMOS 0.25 μ m, elle contient cinq niveaux de métal (IV.3) [23]. Ces niveaux sont appelés METAL1, METAL2, METAL3, METAL4 et METAL5. Pour la couche METAL5 Nous n'allons pas utiliser dans ce Layout puisqu'elle n'est pas nécessaire. Les couches en métal sont employées pour le routage en reliant les différentes cellules ensemble.





	METAL 1	dg
	METAL 2	dg
	METAL 3	dg
	METAL 4	dg

Fig.IV.3. LSW des couches des métaux

IV.4.3. Les couches de diffusions

Les deux couches n⁺ et p⁺ sont utilisées pour créer la région de la source et la région du drain des transistors MOS. Les couches actives sont également utilisées pour relier METAL1 au substrat ou au well. En général, l'introduction de la couche active n⁺ dans le well est faite pour garder le potentiel du well fixe, à l'exception dans le cas de la résistance lorsque le courant traverse le n-well. La couche active p⁺ est introduite dans le substrat pour fixer le potentiel [3].



Fig.IV.4. *LSW des couches des diffusions*

IV.4.4. La couche du poly

La couche du poly est utilisée pour former la grille du transistor MOS, les résistances et les capacités. Le polysilicium se compose des petites régions cristallines de silicium. Par conséquent, dans le sens le plus strict le poly n'est pas un silicium amorphe, et ce n'est pas un cristal de silicium tel que la plaquette. La couche du poly peut également être utilisée pour connecter les transistors MOS ensemble. La limitation principale quand on utilise la couche du poly pour l'interconnexion est sa résistance de feuille (sheet). Dans notre technologie il y a une seule couche de poly comme il est montré par la figure (IV.5) [3].



Fig.IV.5. *LSW de la couche de poly*

IV.4.5. Les Vias et le contact

Le via est un objet qui permet d'effectuer une connexion entre deux niveaux de métal. Dans les vues physiques, le via est réalisé par un rectangle de métal de niveau inférieur, un rectangle de métal de niveau supérieur et un rectangle représentant le trou de communication entre les deux niveaux.

Les contacts peuvent être utilisés, cependant pour relier le métal aux autres couches.

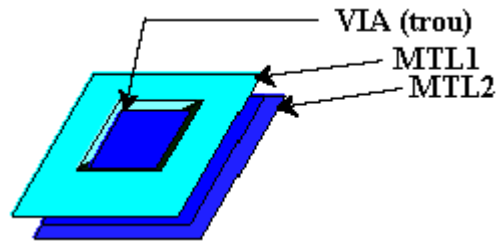


Fig.IV.6. *Le Via* [3]

IV.5. Les techniques de layout

La création d'un layout d'un circuit intégré comporte plusieurs techniques. Ces techniques sont suivies pour assurer que celui-ci fonctionnera correctement à la fin, aussi bien pour assurer la performance du circuit.

IV.5.1. L'appariement des composants (Matching)

L'une des contraintes les plus importantes à considérer dans la conception des circuits analogiques est l'appariement des composants. Les circuits électriques analogiques sont souvent basés sur la connexion de réseaux qui doivent être parfaitement symétriques. L'exemple classique est celui d'un circuit différentiel. L'obtention d'un appariement parfait entre les branches du circuit est l'une des principales difficultés rencontrées lors de layout.

L'appariement c'est l'uniformité du dopage des transistors pendant la phase de fabrication (à la fonderie). Il est difficile de l'obtenir pour toute la plaque de silicium. C'est pourquoi on accorde une attention particulière aux composants qui nécessitent cette uniformité (les paires différentielles, les transistors de charges d'un amplificateur différentiel, etc...).

Cette contrainte analogique du layout concerne les composants et l'appariement des parasites. Les variations inévitables, présentés dans tous les processus menés jusqu'ici, viennent du faible non-appariement des caractéristiques électriques de deux composants identiques. Si ce non-appariement est assez grand, il peut avoir un effet sur les performances des circuits en introduisant des problèmes comme l'offset [24].

IV.5.1.a. Les facteurs généraux de l'appariement (matching)

Lors de la conception du layout, il faut garantir un appariement maximum des composants afin de maintenir la performance des circuits. Quelques règles pour un appariement optimal: [3]

- La même structure.
- La même température.
- La même forme.
- La même taille.
- Les distances minimales.
- La même orientation.
- Le même voisinage.
- La structure centroïde commun.

Tous ces facteurs c'est pour assurer l'obtention du meilleur appariement possible. Le degré d'appariement qui peut être accompli dépendra du processus et de la structure des composants.

➤ **Appariement: la même température**

On peut ne pas considérer comme étant un grand problème si la dissipation de puissance totale du chip est assez basse, mais il faut placer les composants symétriquement avec la source de chaleur le long d'une source isotherme comme il est montré sur la figure (IV.7).

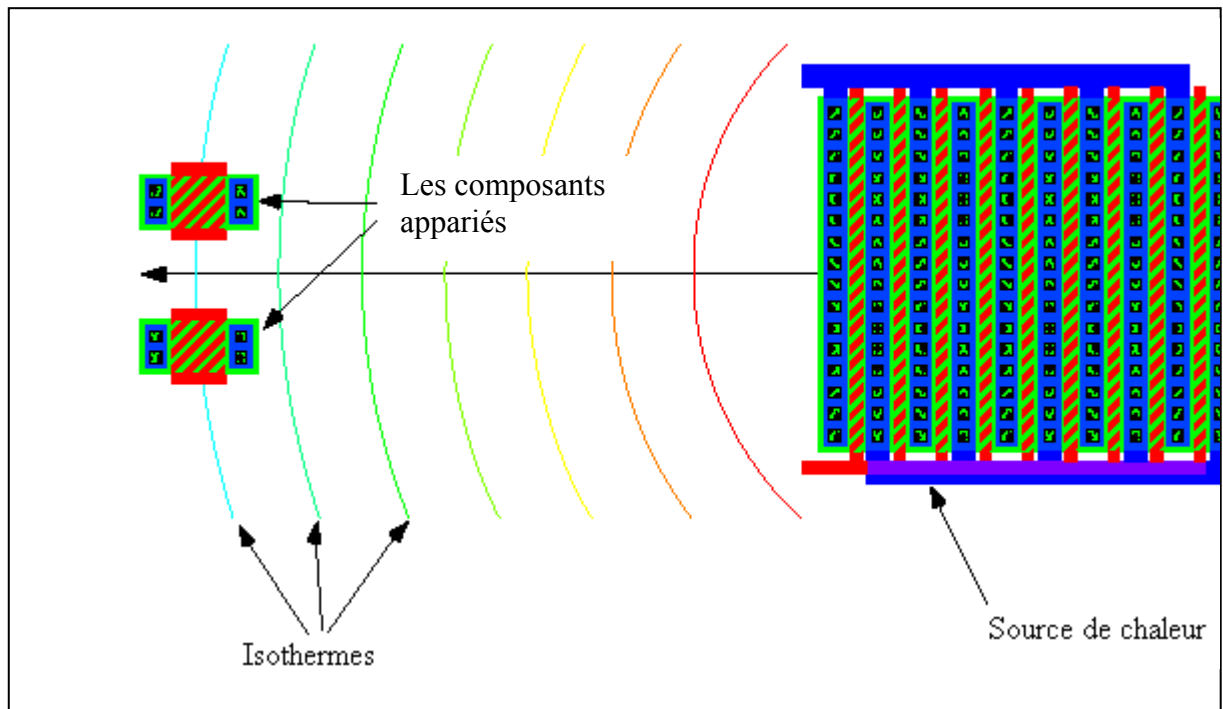


Fig.IV.7. L'appariement: la même température [3]

➤ **L'appariement: La même forme et la même taille identique**

Pour avoir un bon appariement les composants devront avoir la même taille et la même forme comme il est montré sur la figure (IV.8) [3].

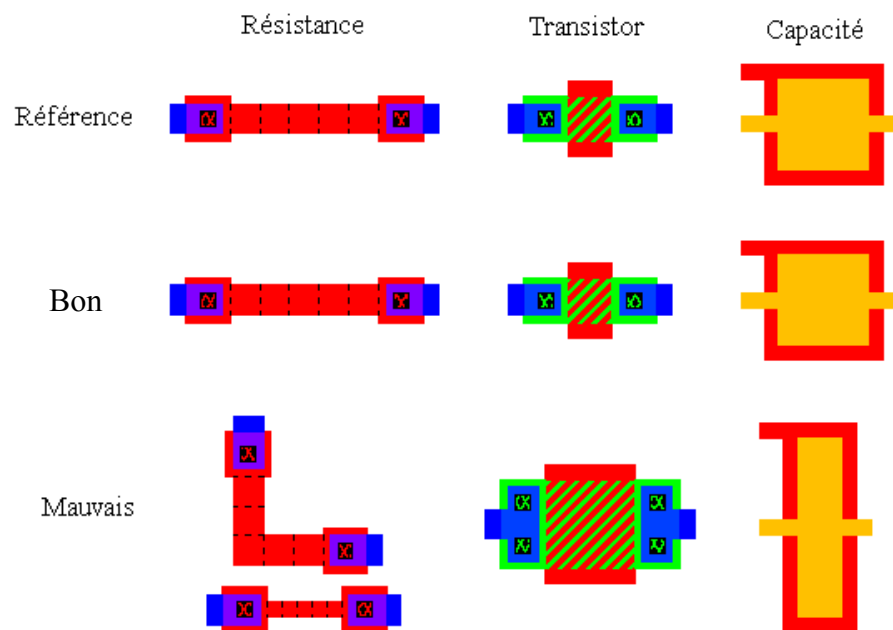


Fig.IV.8. L'appariement: la même forme et la même taille [3]

➤ **L'appariement: La distance minimale**

Pour avoir une distance minimale, il faut placer les composants aussi près que possible l'un de l'autre (IV.9).

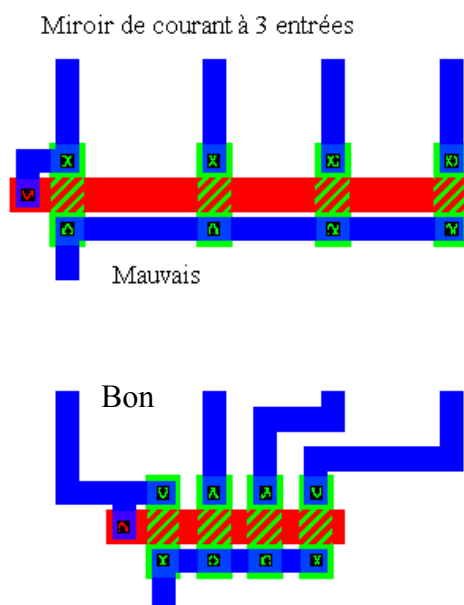


Fig.IV.9. *L'appariement: la distance minimale* [3]

➤ **L'appariement: le centroïde commun**

Le centroïde commun d'un layout améliore l'appariement en réduisant les erreurs provoquées par des effets du gradient, tel que la température ou l'épaisseur d'oxyde de la grille changeant à travers le microcircuit. Un exemple d'un centroïde commun de deux transistors appariés est montré sur la figure (IV.9).

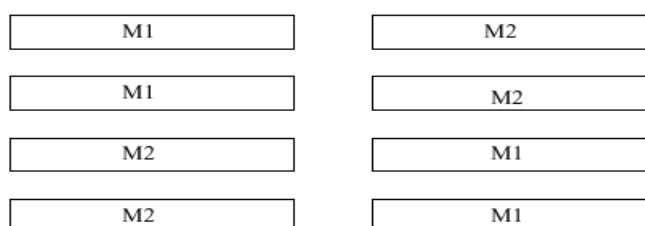


Fig.IV.9. *Structure Common-Centroid de deux Grands Transistors* [3]

➤ **L'appariement: le même voisinage**

L'utilisation des éléments "dummy" est fait pour que tous les éléments fonctionnels aient les mêmes environnements et pour une meilleure exactitude de l'appariement.

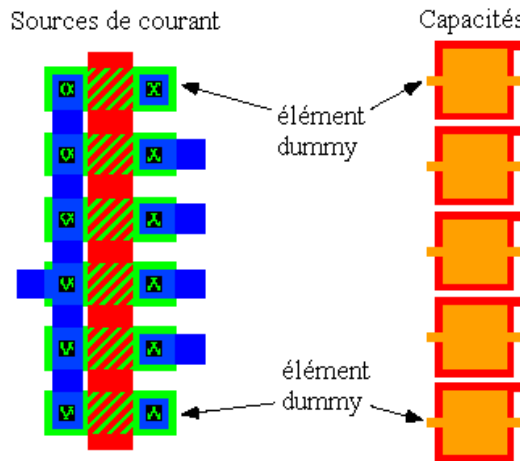
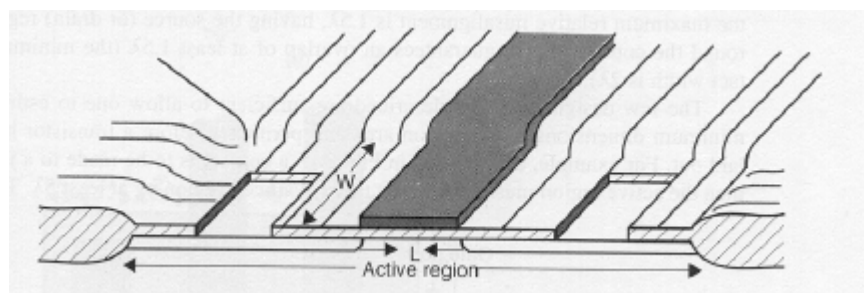


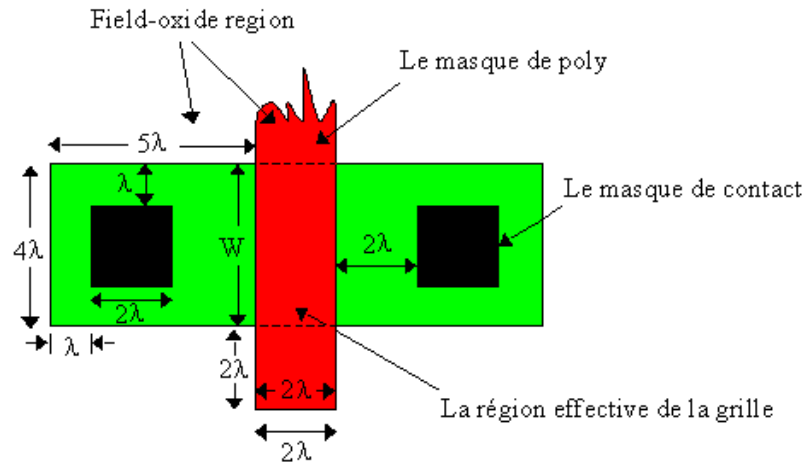
Fig.IV.10. *L'appariement: le même voisinage* [3]

IV.5.1. Les règles de base de Lambda

Les règles de conception pour les transistors sont souvent exprimées en termes de quantité λ , où λ est $\frac{1}{2}$ de la longueur de la grille. Cette généralisation permet à plusieurs règles de conception d'être simplement exprimées, indépendamment de la vraie valeur minimale de la longueur du canal (c à d 2λ). La figure IV.11-b montre le plus petit transistor possible qui peut être réalisé où un contact doit être fait à chaque jonction. Cette dernière montre aussi les différentes dimensions minimales exprimées en termes de λ .



(a)



(b)

Fig.IV.11. (a) Une vue partielle simplifiée d'un transistor finie, (b) Le layout correspondant de polysilicium l'actif et contact masques [3]

Un chevauchement entre deux régions quelconques d'un microcircuit causait un court circuit destructif, alors une séparation de 2λ entre les régions correspondantes dans layout est nécessaire. Par exemple, considérer le masque du poly et le masque du contact dans la figure (IV.11-b). Si ces deux régions chevauchent dans le microcircuit, alors le métal utilisé pour contacter la jonction de la source est aussi court-circuité au poly de la grille, entraînant une fermeture continuellement du transistor, (IV.12). S'il arrive que la source soit connectée à la masse, cette erreur court-circuite aussi la grille à la masse. [3]

IV.5.2. Guard ring

Les anneaux de garde (guard rings) sont des diffusions p^+ dans un substrat type p , ou des diffusions n^+ dans le n -well. Ils sont utilisés pour rassembler les porteurs minoritaires injectés pour réduire de ce fait les porteurs parasites du substrat (courants). Ces porteurs parasites peuvent être injectés dans le substrat quand les diodes de drain des transistors seront polarisées, qui peuvent se produire pendant les commutations transitoires, particulièrement si elles sont rapides. Les anneaux de garde pour des transistors de type n sont des encerclements type p^+ accordés au V_{SS} , et pour des transistors type p sont des encerclements type n^+ raccordés à V_{DD} [3].

IV.5.2. Limitations du courant transporté

Le facteur qui limite la quantité de courant sur un fil de métal est l'électromigration du métal.

L'électromigration du métal est résultée d'un conducteur portant beaucoup de courant. Cet effet est semblable à l'érosion qui se produit quand un fleuve porte beaucoup d'eau. Le résultat est un changement des dimensions de conducteur, causant une présence d'une résistance élevée et par la suite une éventuelle défaillance. Si la densité de courant est gardée au-dessous de la densité du courant de seuil de migration du métal J_{AL} , alors la migration du métal ne se produira pas. Typiquement le seuil du courant de migration J_{AL} de l'aluminium par lequel le metal1, metal2 et metal3 sont faits voire de 1mA à 1 μ m [25].

IV.6 Layout des différents blocs de notre projet

IV.6.1 Layout d'un Switcher

La figure (IV.12) représente le layout ou le dessin des masques de notre Switch utilisé dans notre multiplexeur contenant des transistors, deux inverseurs et un éleveur de tension, pour les relier entre eux nous avons utilisé trois niveaux de métaux METAL1, METAL2 et METAL3.

La partie A constitue les deux transistors de type P (M8 et M9) dans la quelle nous avons utilisé l'option de FINGERS afin de réduire les dimensions de l'espace occupé.

La partie B et C représente respectivement le layout de l'éleveur de tension, les deux inverseurs.

Tandis que la partie D est une représentation des trois transistors de type N (M3, M6 et M10).

Finalement les dimensions obtenues de cette structure sont 20 μ m x 38 μ m

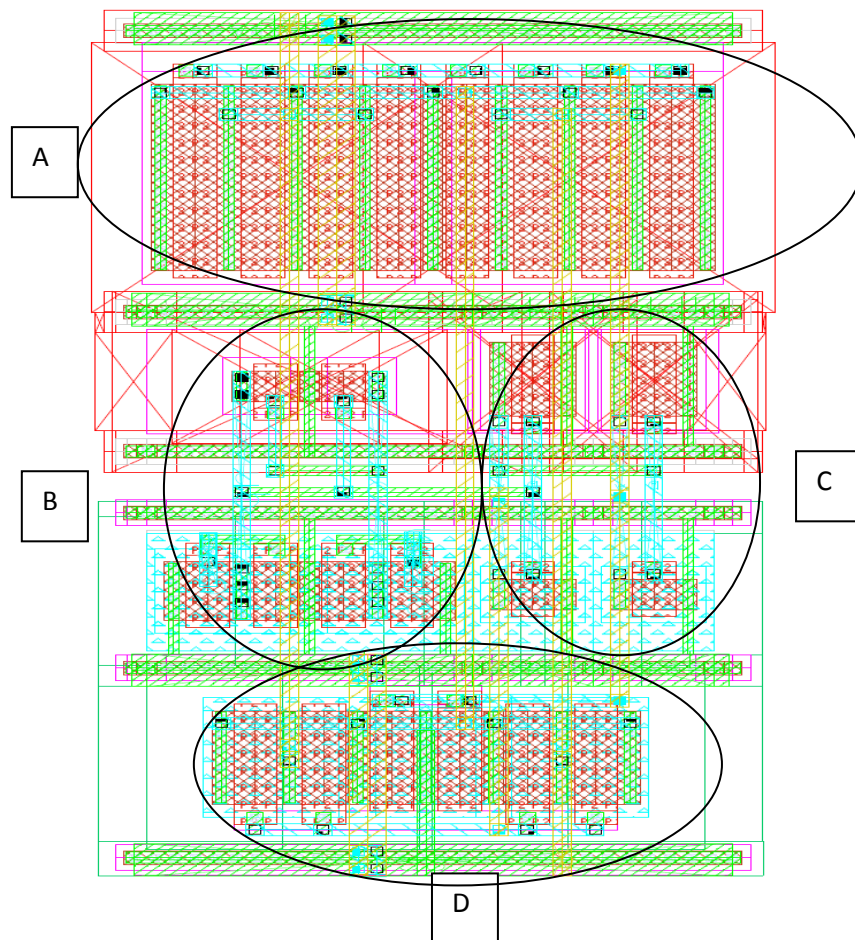


Fig. IV.12. *Layout d'un Switch*

IV.6.2 Layout du multiplexeur

Notre multiplexeur montré dans la figure IV.13 possède 16 entrées et une sortie, il est constitué de 16 interrupteurs et un condensateur. Pour relier entre eux nous avons utilisé quatre niveaux de métaux METAL1, METAL2, METAL3 et METAL4.

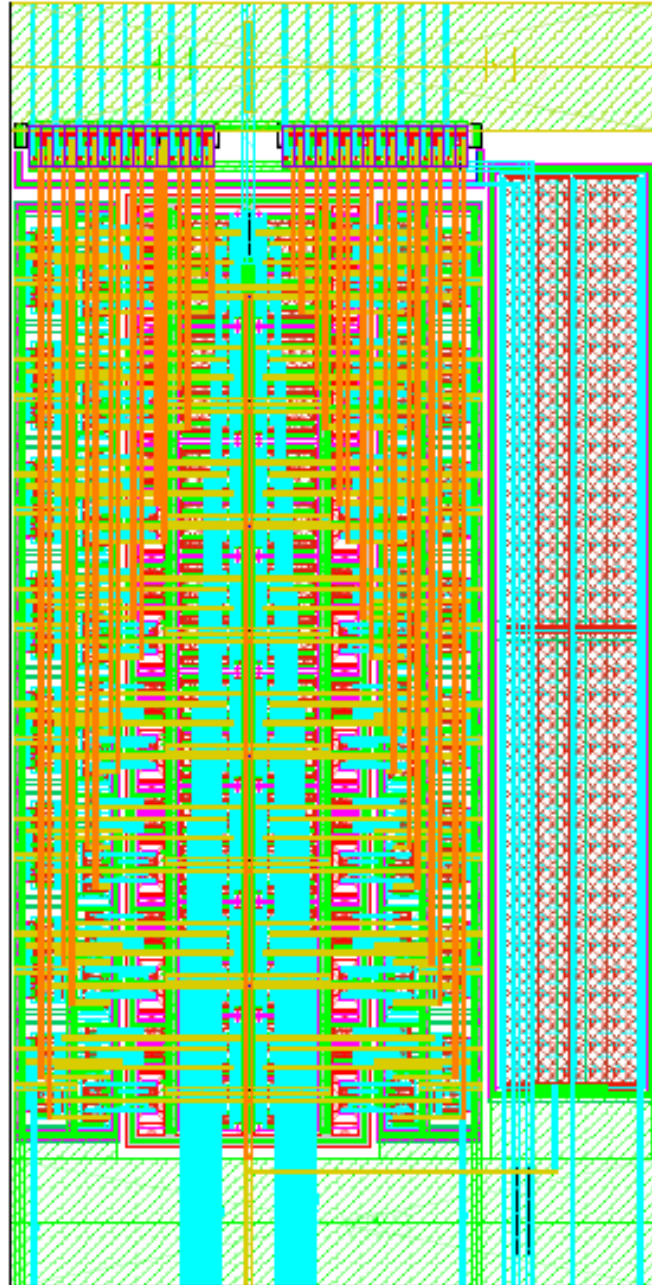


Fig. IV.13. *Layout du multiplexeur*

Les dimensions obtenues du multiplexeur sont $101\mu\text{m} \times 200\mu\text{m}$

IV.6.3. Layout du driver

Notre drive est constitué de deux amplificateurs opérationnels un de type N et l'autre de type P, un miroir de courant, un condensateur et une chaîne de Résistances.

IV.6.3.a. Layout de l'amplificateur opérationnel de type N

L'amplificateur opérationnel de type N comporte une paire différentielle, un miroir de courant de type P et deux miroirs de courant de type N

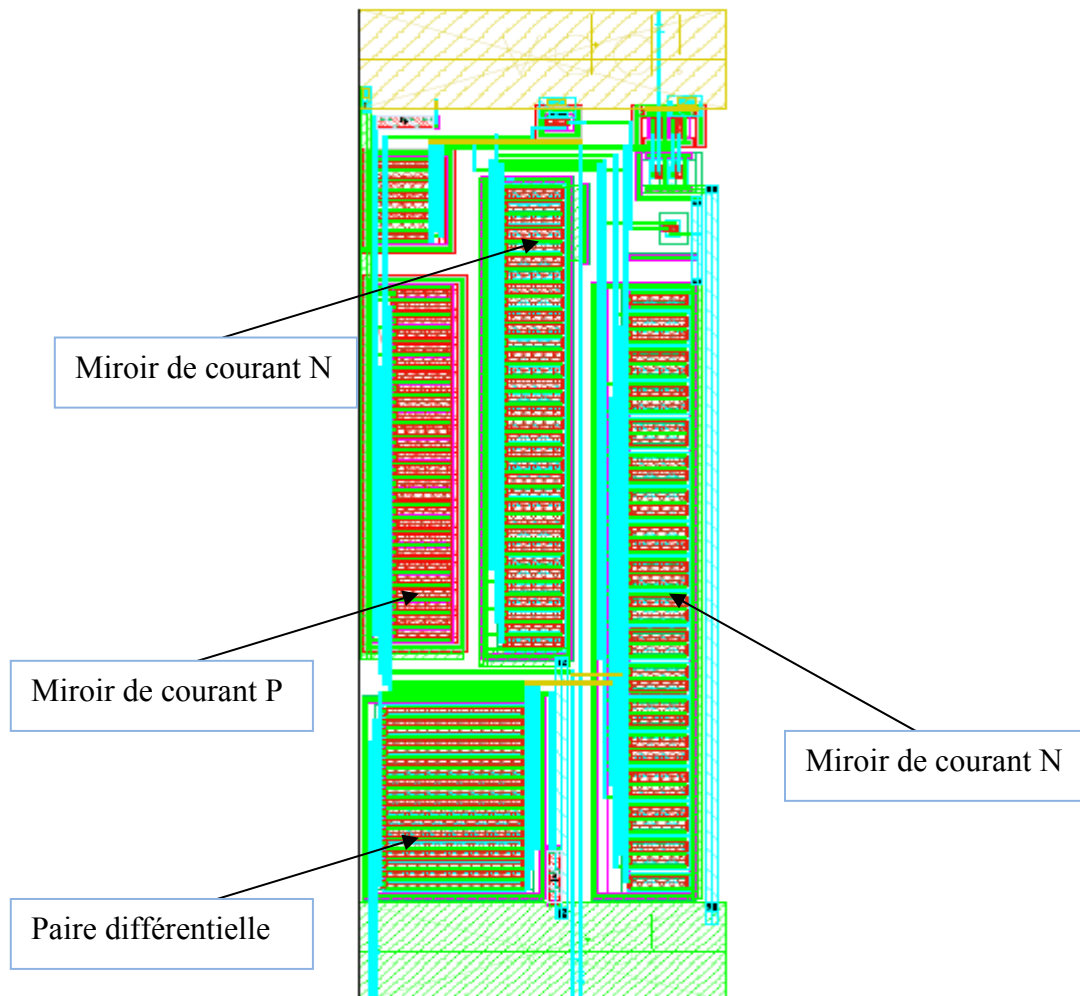


Fig. IV.14. Layout de l'amplificateur opérationnel de type N

Dans la paire différentielle et les miroirs de courant il faut garantir un appariement maximum des composants afin de maintenir la performance des circuits. Les dimensions obtenues de l'amplificateur opérationnel de type N sont $67\mu\text{m} \times 200\mu\text{m}$.

IV.6.3.b. Layout de l'amplificateur opérationnel de type P

L'amplificateur opérationnel de type P comporte une paire différentielle, deux miroirs de courant de type P et deux miroirs de courant de type N

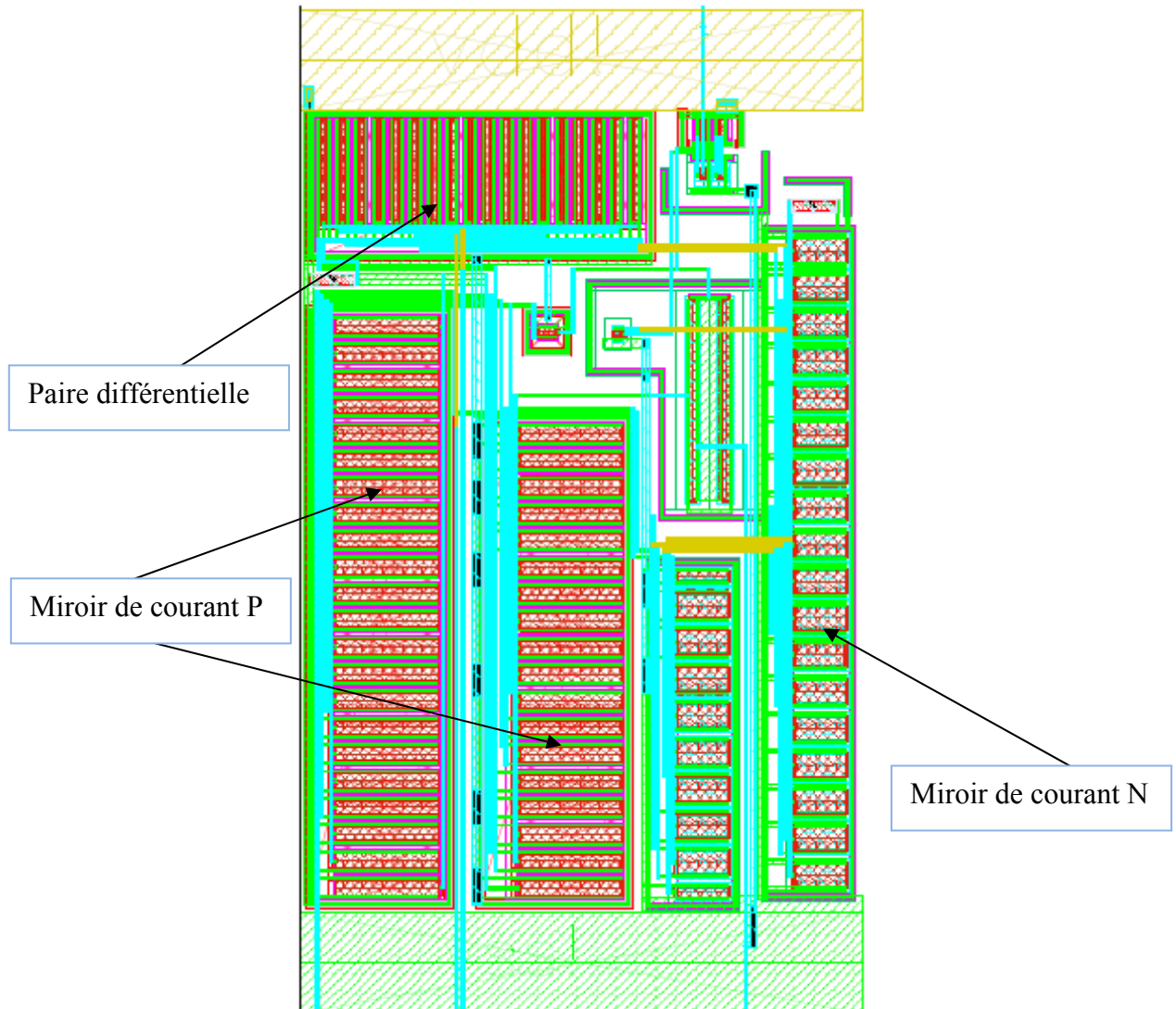


Fig. IV.15. Layout de l'amplificateur opérationnel de type P

Dans la paire différentielle et les miroirs de courant il faut garantir un appariement maximum des composants afin de maintenir la performance des circuits. Les dimensions obtenues de l'amplificateur opérationnel de type N sont $110\mu\text{m} \times 200\mu\text{m}$.

IV.6.3.c. Layout de la chaine de Résistances

La chaine de résistance est constituée de quatre résistances de même valeur ($24k\Omega$) connectées en série par des connexions métalliques. il faut garantir un maximum appariement des résistances pour assurer la division par quatre de la tension de sortie.



Fig. IV.15. *Layout de la chaine de Résistances*

Pour obtenir le layout du drive on associé les différents blocs précédents, la figure (IV.15) représente le layout complet du driver.

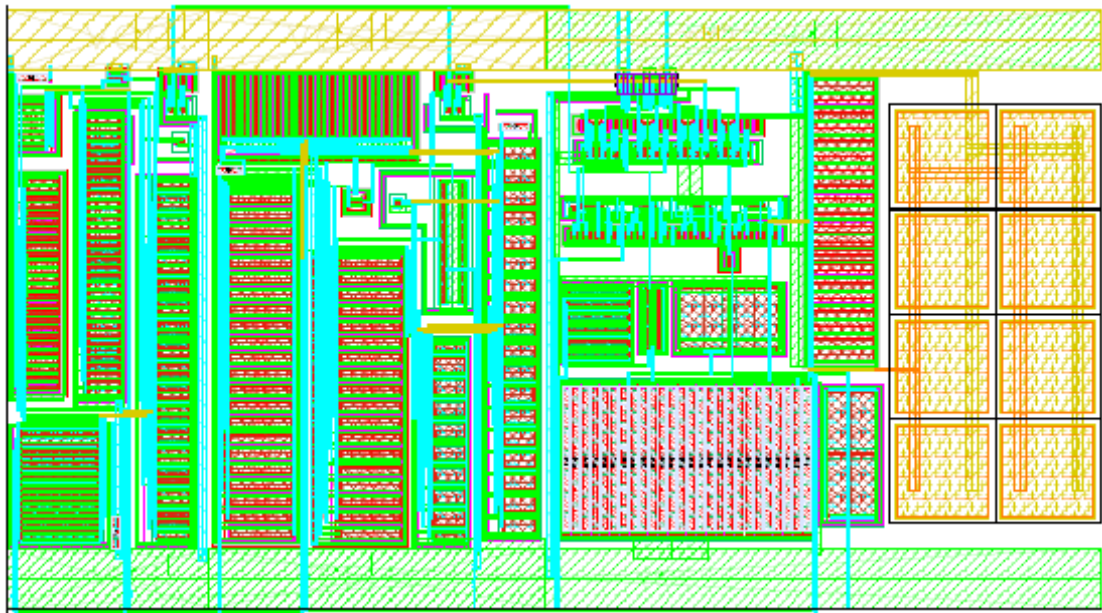


Fig. IV.15. *Layout du driver*

Les dimensions obtenues du drive sont $363\mu\text{m} \times 200\mu\text{m}$.

IV.6.4. Layout du distributeur de courant

Le distributeur de courant est constitué de deux miroirs de courants un de type N et l'autre de type P comme il est indiqué en la figure IV.16.

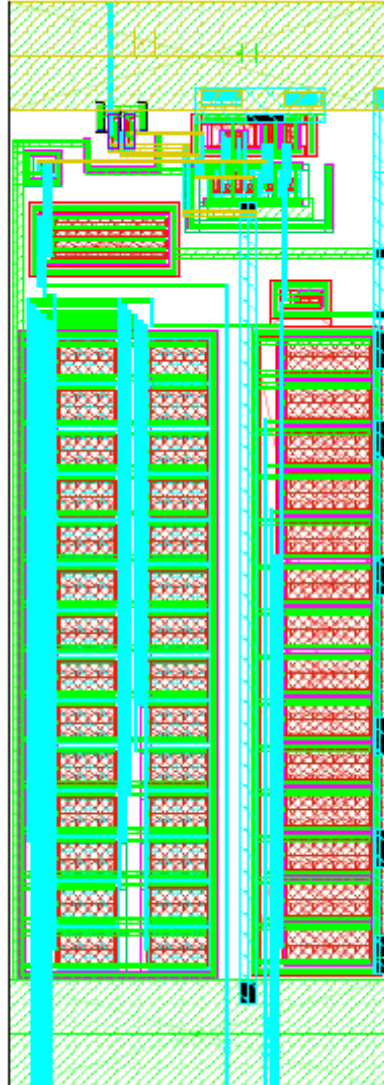


Fig. IV.16. *layout du distributeur de courant*

Les dimensions obtenues du distributeur de courant sont $70\mu\text{m} \times 200\mu\text{m}$.

IV.7. Conclusion

Dans ce chapitre on a essayé de citer en premier lieu Le cycle d'un circuit layout avec quelques détails ensuite les différentes couches de masques utilisées dans la technologie TSMC 0,25 μm puis les techniques essentielles du layout et finalement le Layout des différents blocs réalisé dans le cadre de notre projet.

Conclusion Générale

Conclusion Générale

Au terme du projet nous dirons que la tâche qui nous a été assignée a été atteinte avec succès à savoir la conception la simulation et la réalisation d'un certain nombre de blocs électroniques constituant une chaîne d'acquisition de données en technologie CMOS 0.25 μm .

En effet un multiplexeur à 16 entrées a été conçu, un Switch à double structures un driver de tension contrôlée, un amplificateur opérationnel type N et un autre de type P un distributeur de courant et une chaîne de résistances ont été réalisés après avoir vérifié par simulation leur bon fonctionnement. Cette simulation a été effectuée au sein du laboratoire de microélectronique de l'université technique de Berlin au moyen du logiciel Cadence. Ce travail nous a permis de toucher à un projet à caractère industriel chaperonné par des experts en la matière, ce qui nous a permis de contourner efficacement tous les inconvénients rencontrés au cours de cette conception dans le domaine de l'électronique analogique.

Bibliographies

Bibliographies

- [1] Faouzi Chaahoub. "*Etude des méthodes de conception et des outils de C.A.O. Pour la synthèse des circuits intégrés analogiques*", Thèse doctorat, Institut National Polytechnique de Grenoble, France, 1999.
- [2] <http://www.aime.insa-tlse.fr/cours/> "*CAO des Circuits Analogiques*".
- [3] Assia HAMOUDA " *Design and Layout of a Temperature Tegulator for a Class D Audio Amplifier in ELMOS Automotive High Voltage 0.8 μ m bicmos Technology*", Université De Batna, Faculte Des Sciences De L'ingenieur, Département d'Electronique Thèse de MAGISTER en MICROELECTRONIQUE Option: IC DESIGN 2003 .
- [4] P. De Halleux, J.P. Feste, D. Girault and, R.V. Honorat, "*ASIC Circuits Intégrés Specifiques*", Editions Radio, Paris 1988.
- [5] Rabia OUCHEN " *Contribution to the Design and Layout of a class D audio amplifier In ELMOS automotive High voltage 0.8 μ m BiCMOS technology*" UNIVERSITE DE BATNA FACULTE DES SCIENCES DE L'INGENIEUR Département d'Electronique Thèse de MAGISTER en MICROELECTRONIQUE Option: IC DESIGN 2003.
- [6] www.abcelectronique.com "*Technologie Bipolaire*".
- [7] P.H. Mellor, S.P. Leigh, B.M.G. Cheetham, "*Reduction Of Spectral Distortion In Class D Amplifiers By An Enhanced Pulse Width Modulation Process*", IEE Proceedings G, Vol. 138, No.4, Aug. 1991, pp. 441-448.
- [8] J. R. Davis, " *Instabilities in Mos Devices*"
- [9] Jean-Baptiste Waldner, "*Nano-informatique et Intelligence Ambiante - Inventer l'Ordinateur du XXIème Siècle*"
- [10] Ali A. Iranmanesh, Vida Ilderem, Madan Biswal, and Bami Bastani "*A 0.8 μ m Advanced Single-Poly BiCMOS Technology for High-Density and High-Performance Applications*", IEEE Journal of Solid-State Circuits, Vol. 26, No. 3, March 1991.
- [11] Chih-Liang Chen, "*2.5V Bipolar/CMOS Circuits for 0.25 μ m BiCMOS Technology*", IEEE Journal of Solid-State Circuits, Vol. 27, No. 4, April 1992.
- [12] Yvan Bonnasseux " *Du Silicium aux portes de base*" Ecole polytechnique 2005
- [13] <http://LSIwww.epfl.ch/LS/2001/Teachnig/Physiciens/Leon12.html>. "*Le transistor MOS, famille logique*".

- [14] Gray-Meyer, "*Analysis and Design of Analog Integrated Circuits (Gray-Meyer) with solutions*", 2001
- [15] B. Razavi, "*Design of analog CMOS integrated circuits*", Mc Graw Hill, Boston, 2001.
- [16] J. M. BIFFI, "*Contribution à la modélisation, conception et caractérisation de chaînes vidéo ASIC en technologie BiCMOS*". Thèse doctorat, Centre National d'Etudes Spatiales (C.N.E.S.) de Toulouse, France, décembre 1995, <http://www.lesia.insa-tlse.fr/zz-fichiers-associes/documents/these-jm-biffi.pdf>.
- [17] " *As an amplifier so connected can perform the mathematical operations of arithmetic and calculus on the voltages applied to it's input, it is hereafter termed an « Operational Amplifier »* ", Analysis of problems in dynamics by electronic circuits, Proceedings of the IRE, vol. 35, p. 444, mai 1947
- [18] Walt Jung, " *Op Amp History --Vacuum tubes Op Amps* ", p. 779 : " Naming the Op Amp ", Op Amp Applications Handbook, Newnes, 2004 (ISBN 0750678445 et ISBN 978-0750678445),.
- [19] Laboratoire d'Electronique et de Physique des systèmes Instrumentaux, Universite Louis Pasteur Strasbourg, "*Amplificateur opérationnel Modélisation comportementale*"
- [20] Dr. Khoman Phang, Ahmed Gharbiya, "*Operational Amplifiers Rail to Rail Input Stages Using Complementary Differential*" Pairs, November 15, 2002
- [21] H. A. Y. Etawil. "*Convex Optimization and Utility Theory: New Trends in VLSI Circuit Layout*". Phd thesis, Waterloo, Ontario, Canada, 1999, <http://etd.uwaterloo.ca/etd/ehussein1999.pdf>.
- [23] Jean- François Naviner "*Environnement de conception de circuit intégré*" 2005-2006
- [24] F. CHAAHOUB. "*Etude des méthodes de conception et des outils de C.A.O. Pour la synthèse des circuits intégrés analogiques*". Thèse doctorat. L'Institut National Polytechnique De Grenoble, France, septembre 1999
- [25] R. J. BAKER, H. W. LI and D. E. BOYCE. "*CMOS Circuit Design, Layout, and Simulation*". The Institute of Electrical and Electronics Engineers, Inc, New York, 1998.

Annexe

A.1 Présentation de l'environnement logiciel [23]

L'environnement de conception est constitué de plusieurs outils logiciels de sources différentes:

- une chaîne de conception assistée par ordinateur offrant une interface multifenêtres et graphiques sur laquelle s'appuie une collection d'outils logiciels adaptées à différentes tâches de conception. Dans le cadre de ce travail, nous utiliserons la chaîne de CAO Opus de Cadence1. Cette chaîne est dite ouverte, c-à-d qu'il est possible d'y associer des outils d'autres sources ou d'en intégrer de nouveaux.
- des outils de vérification de la conception : vérification des règles de dessin (DRC), comparaison de graphes électriques entre schématique et masques, extraction d'éléments parasites (capacités, résistances) en vue de simulations.
- l'ensemble de conception attaché à la technologie CMOS 0,25µm utilisée. Il comprend un jeu de bibliothèques et de programmes intégrés aux environnements Opus et Calibre. [23]

A.2 Démarrage de l'environnement

1. Connectez-vous sur une machine, Comelec sous Linux.
2. Dans une fenêtre de terminal, créez un répertoire qui sera votre répertoire de travail pour l'utilisation de l'environnement de conception :

```
mkdir <mon_repertoire>
```

3. Placez-vous dans le répertoire crée :

```
cd <mon_repertoire>
```

puis entrez la commande :

```
env_cmos250gp
```

Répondez 'o' à la question posée.

Une nouvelle fenêtre de terminal s'ouvre alors. Pour accéder à l'environnement de conception, vous devez travailler à partir de cette nouvelle fenêtre. La commande d'initialisation a recopié dans votre répertoire de travail divers fichiers et répertoires et a

défini diverses variables d'environnement pour les logiciels Opus, Calibre, Eldo, ADVance-MS, etc.

4. Pour initialiser le logiciel Opus, tapez dans le terminal la commande :

icfb&

Cette commande démarre le logiciel Opus en donnant l'accès à l'ensemble des outils disponibles.

A.3 Découverte de l'environnement Opus

A.3.1 Fenêtre principale

Après démarrage du logiciel Opus, vous obtenez la fenêtre de la figure A.1. Cette fenêtre fournit le dialogue : les messages associés aux commandes exécutées sont affichés dans la zone centrale ; une ligne en dessous permet d'introduire des commandes en langage Skill. La ligne encore en dessous indique les commandes associées aux boutons de la souris. La partie supérieure de la fenêtre comporte une ligne vers des menus déroulants : [23]

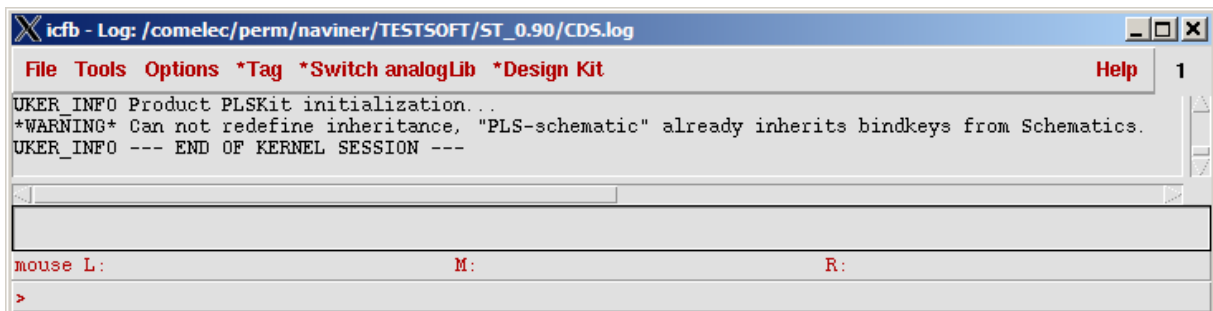


Fig. A.1 – Fenêtre principale.

- File : menu contenant des commandes de création ou ouverture de bibliothèques ou cellules au sein de la base de données.
- Tools : menu donnant l'accès direct aux principaux environnements de conception.
- Options : menu permettant de particulariser l'interface utilisateur.
- *Tag : menu du design kit
- *Switch analog lib : menu design kit
- *Design Kit : menu design kit

A.3.2 Fenêtre des bibliothèques

A partir du menu déroulant Tools, sélectionnez la commande Library Manager.... Cette commande ouvre une nouvelle fenêtre A.1 qui vous permettra d'accéder aux cellules des bibliothèques génériques des logiciels, à celles fournies avec le design kit et enfin à vos propres bibliothèques. La colonne Library comporte les noms des bibliothèques disponibles. La colonne Cell comporte les noms des cellules au sein de la bibliothèque sélectionnée. La colonne view comporte les noms des représentations de la cellule sélectionnée. Une colonne supplémentaire Category peut être ajoutée en cliquant sur le bouton Show Categories. Les catégories sont des regroupements de cellules au sein d'une bibliothèque, afin d'en faciliter la recherche.

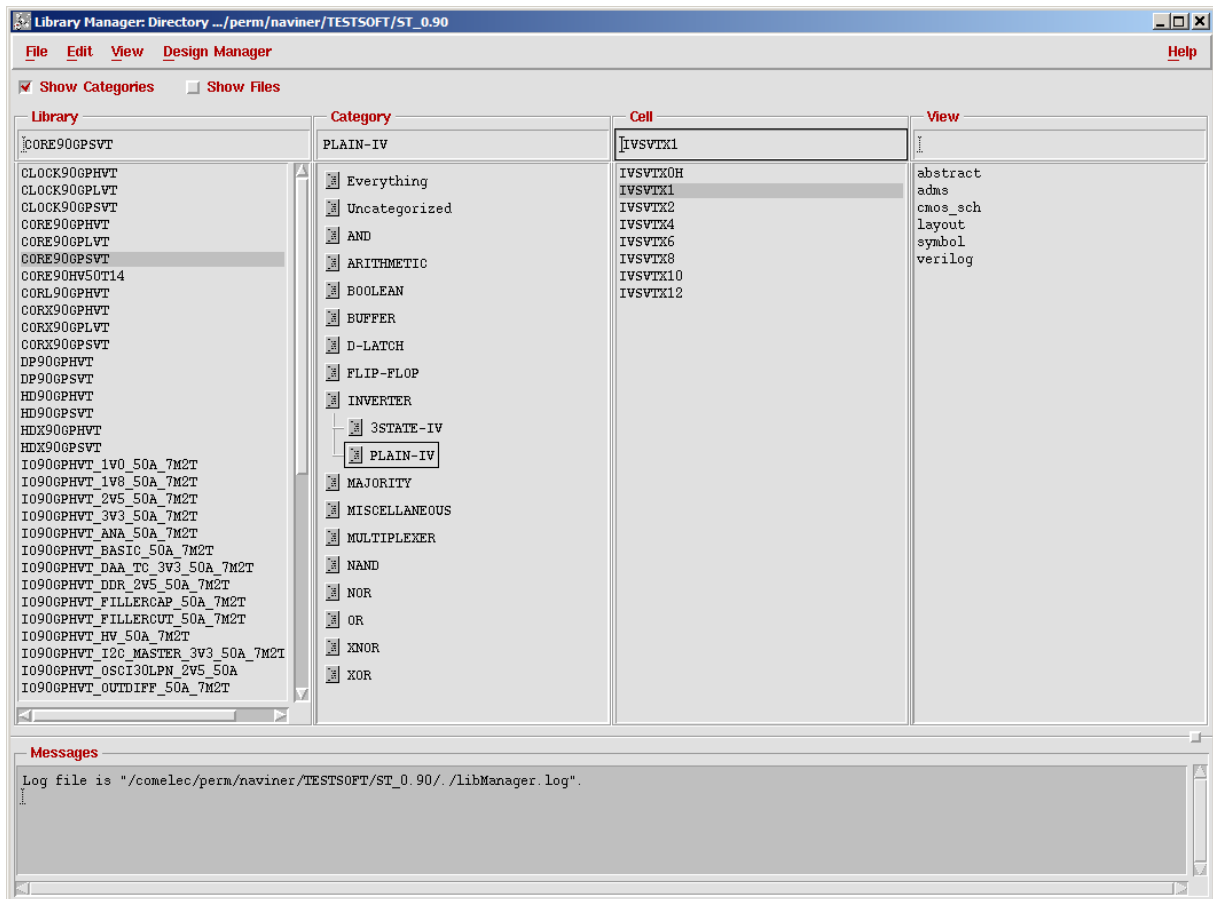


Fig. A.2 – Fenêtre d'accès aux bibliothèques

A.3.3 Création d'une bibliothèque de travail

A partir du menu déroulant File de la fenêtre Library Manager, sélectionnez la commande New puis Library.... Une nouvelle fenêtre s'affiche dans laquelle vous devez préciser le nom de la nouvelle bibliothèque (' TPMIEL' par exemple). Après validation, une nouvelle fenêtre s'affiche : sélectionnez l'option Attach to an existing techfile puis validez. Dans la fenêtre suivante, dans le champ Technology Library, sélectionnez la bibliothèque cmos250.

A.4 Etude des représentations d'une cellule

Nous allons dans cette section étudier les principales représentations d'une cellule standard d'une bibliothèque. L'objectif est ici principalement de découvrir l'accès `a ces différentes représentations et à en comprendre l'intérêt.

A.4.1 Identifiez la cellule IVSVTX1 dans la bibliothèque CORE90GPSVT (Cliquez avec le bouton de gauche de la souris pour ouvrir le contenu d'un élément). Ouvrez et observez successivement les représentations symbol, cmos_sch, layout et abstract de cette cellule. Pour cela, cliquez avec le bouton de droite de la souris sur la représentation choisie puis cliquez avec le bouton de gauche sur Open (Read Only). [23]



Fig. A.3 – Création de bibliothèque – 1

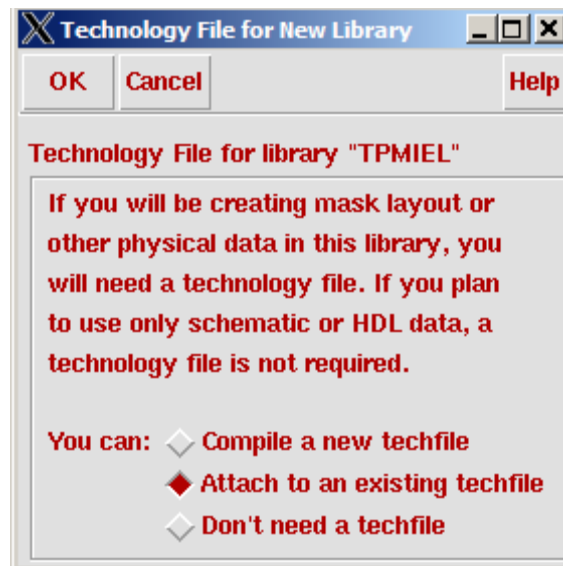


Fig. A.4 – Création de bibliothèque – 2

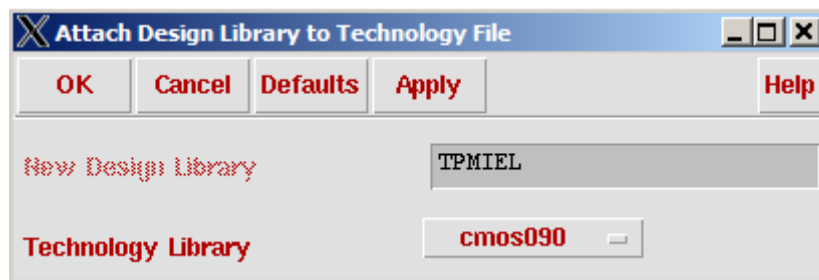


Fig. 1.5 – Création de bibliothèque – 3

A.5 Conception des masques d'une cellule

A.5.1 Copie d'une cellule

Nous allons réaliser la conception partielle d'une cellule. Après recopie de la cellule observée précédemment dans la bibliothèque de travail, nous compléterons les masques puis vérifierons la conception réalisée.

A.5.1 Pour recopier la cellule IVSVTX1 dans votre bibliothèque de travail, cliquez avec le bouton droit sur le nom de la cellule puis, dans le menu déroulant, sélectionnez la commande Copy.... Dans la fenêtre qui s'affiche A.5, dans le champ To Library indiquez le nom de votre bibliothèque de travail puis validez deux fois. [23]

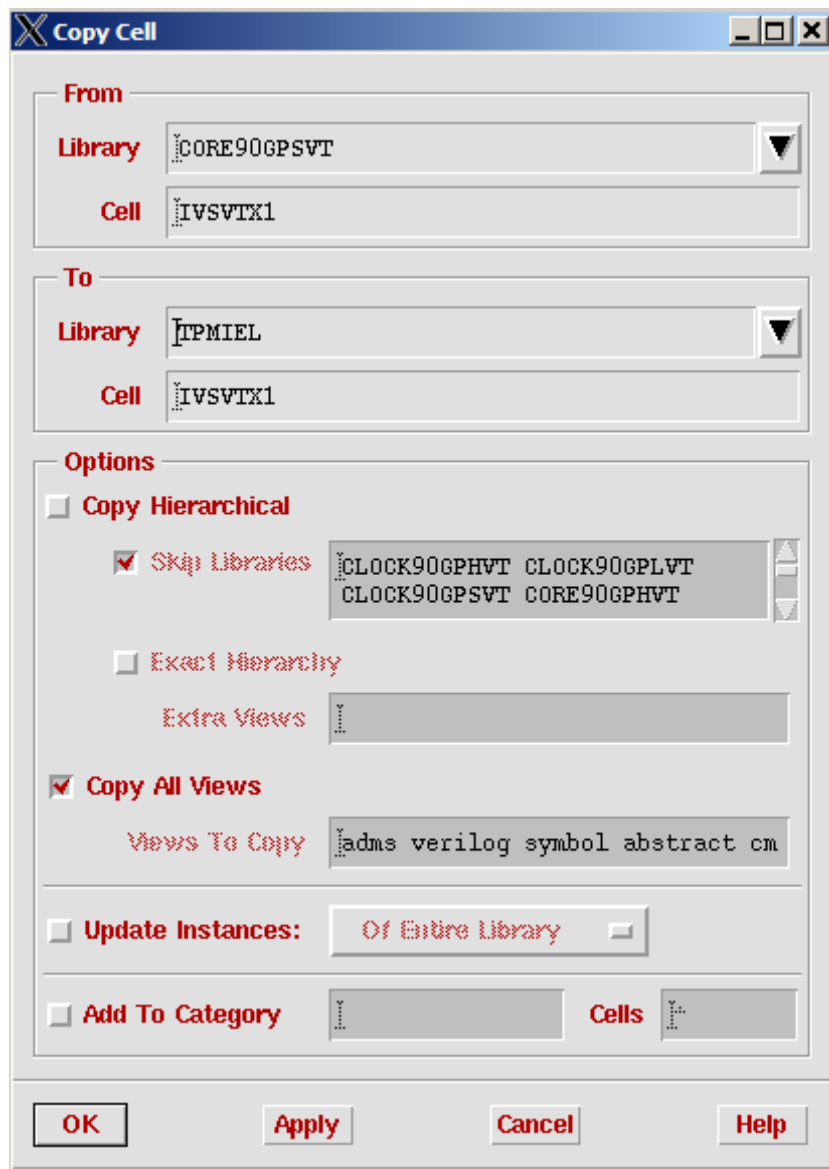


Fig. A.6 – Copie de cellule

A.5.2 Ouvrez les masques de la cellule IVSVTX1 recopiée dans votre bibliothèque de travail (pour cela, procédez par double-click sur layout ou sélectionnez la commande Open... dans le menu déroulant obtenu en cliquant avec le bouton de droite de la souris sur layout). Vous obtenez la alors la fenêtre représenté Fig.1.7 L'ouverture de la fenêtre des masques est accompagnée de l'affichage d'une palette (fenêtre LSW A.7). Cette fenêtre contient la représentation graphique des masques utiles à la conception. Vous pouvez à partir de cette fenêtre procéder à un affichage partiel des masques ou rendre certains d'entre eux non sélectionnables. Pour cela, utilisez les boutons médian (visibilité) et droit (sélectivité) de la souris sur le masque voulu puis dans la fenêtre des masques de la cellule, choisissez la

commande Redraw pour rafraîchir l’affichage. La sélection d’un masque avec le bouton de gauche de la souris permet de choisir le masque de dessin. [23]

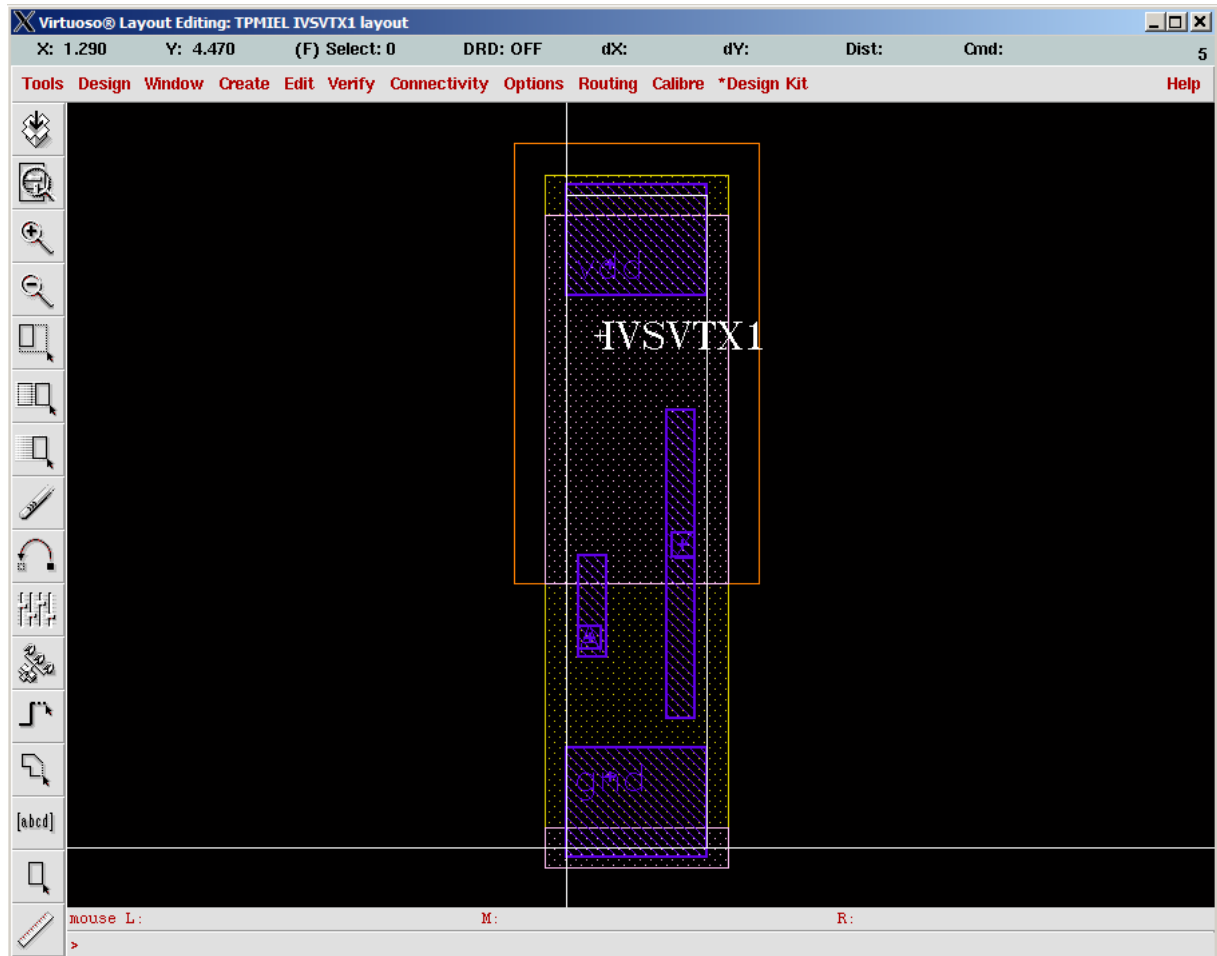


Fig. A.7 – Masques de la cellule

A.5.2 Ajout des masques de transistors

Nous allons maintenant compléter les masques de la cellule en commençant par les composants actifs : les transistors. Pour accélérer la saisie des masques, des procédures génèrent les masques de chaque transistor à partir des données géométriques, éventuellement électriques.

On parle alors de cellules paramétrables (PCELL) ou encore plus spécifiquement de générateurs de masques. [23]

A.5.3 Vous devez saisir dans les masques le même type de transistors que ceux utilisés dans la schématique et avec les mêmes paramètres. Pour cela, procédez à l’affichage de la schématique (représentation cmos_sch) puis éditez les propriétés de chaque transistor à l’aide

de la commande Edit→Properties→Objects... après sélection de l'instance. Notez la bibliothèque, le nom de l'instance et les caractéristiques géométriques alors indiquées. Pour saisir une instance, dans la fenêtre layout, sélectionnez la commande Create→Instance.... Dans la fenêtre Create instance, précisez d'abord les noms de la bibliothèque et de la cellule à instancier (vous pouvez les retrouver avec le bouton Browse) puis indiquez les valeurs des paramètres en cohérence avec ceux de la schématique. Dans la fenêtre layout, un fantôme de l'instance apparaît. Vous pouvez placer l'instance à l'endroit souhaité par un click (bouton de gauche de la souris) à l'endroit voulu. Procédez de même pour l'autre transistor. On veillera à l'alignement des grilles des transistors.

A.5.3 Ajout de connexions

A.5.4 Nous allons tout d'abord saisir la connexion entre les grilles des deux transistors.

Pour cela, sélectionnez dans la palette le masque de polysilicium (PO, attribut Drawing).

Utilisez ensuite la commande Create→Path. Avec cette commande, vous pouvez saisir une connexion (un polygone) dont la largeur est égale au minimum technologique autorisé pour le matériau. Vous pouvez également utiliser la commande Create→Rectangle. Dans ce cas, aucune des dimensions n'est fixée a priori. Procédez ensuite de même pour les connexions de sources. [23]

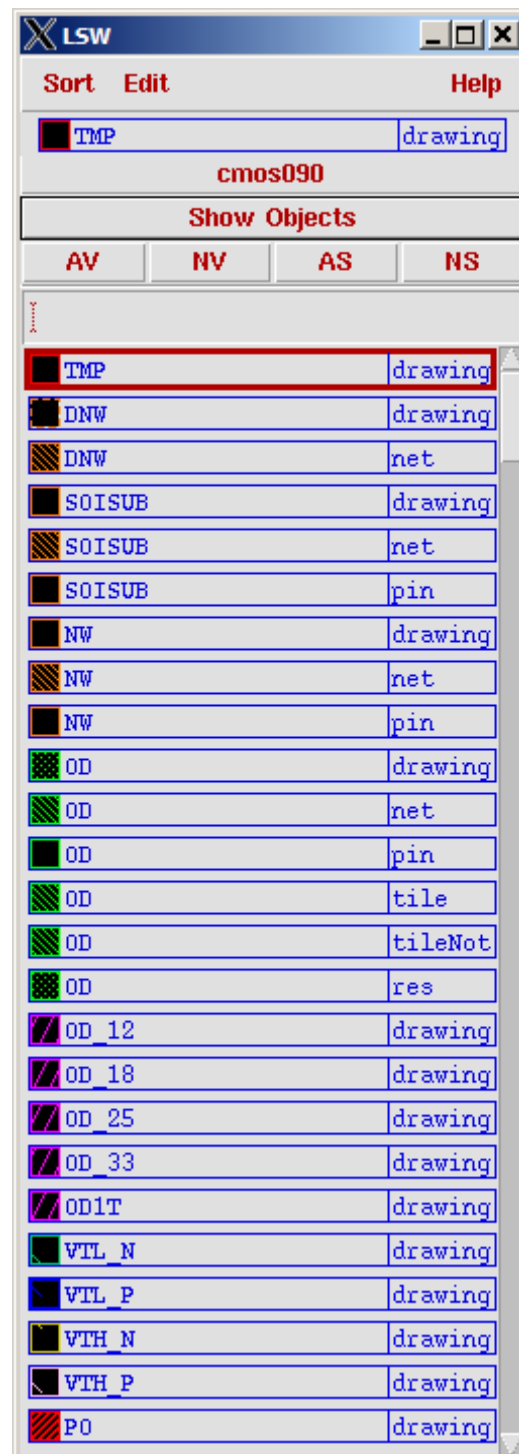


Fig. A.8 – Palette des masques

A.5.4 Ajout de contacts

Des contacts doivent être ajoutés : pour la polarisation du substrat et du caisson, pour la connexion des grilles à l'entrée de la cellule en métal1, pour connecter les sources des transistors aux alimentations. [23]

Question A.5.5 La saisie des contacts s'effectue à l'aide de la commande Create->Contact... (Fig.A.9). Dans la fenêtre Create Contact, indiquez le type de contact à créer dans le champ Contact Type. Vous pouvez préciser les caractéristiques géométriques à l'aide des autres champs.

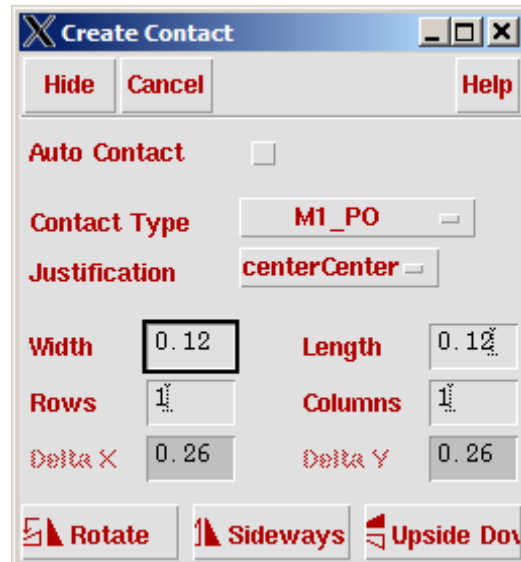


Fig. A.9 – Saisie de contacts

A.5.5 Sauvegarde de la cellule

Question A.5.6 Vous pouvez à tout moment sauvegarder la représentation Layout de votre cellule à l'aide de la commande Design->Save. 1.7 Vérification des masques d'une cellule Une fois la saisie des masques de la cellule terminée, il est nécessaire de vérifier :

- la conformité aux règles de dessin ;
- la concordance entre le graphe électrique de la schématique et celui que l'on peut extraire à partir des masques ;
- la conformité du fonctionnement de la cellule après ajout des dimensions exactes des composants et des connexions et la prise en compte des éléments parasites (capacités et résistances). [23]

A.6.1 Conformité de la cellule aux règles de dessin

Question A.6.1 La conformité de la cellule aux règles de dessin est effectuée grâce à un outil appelé Design Rule Checker (DRC). Choisissez la commande Calibre→Run DRC. Dans la fenêtre Customization Settings, désélectionnez l’option Check Density Rules puis validez.

Dans la fenêtre Calibre Interactive - DRC, remplacer le chemin indiqué dans le champ Calibre DRC Run Directory par '.' (si ce champ n’apparaît pas, cliquez sur le bouton Rules). Ensuite, cliquez sur le bouton Run DRC. Une fois la vérification terminée, la fenêtre Calibre - DRC RVE s’affiche (Fig.A.10). Elle vous fournit la liste éventuelle des erreurs de dessin, vous en donne l’explication et vous permet d’en visualiser la localisation sur la fenêtre des masques (menu déroulant Highlight). Procédez aux corrections nécessaires des masques puis recommencer la vérification jusqu’à obtention d’un résultat sans aucune erreur. Fermez ensuite toutes les fenêtres relatives au DRC. [23]

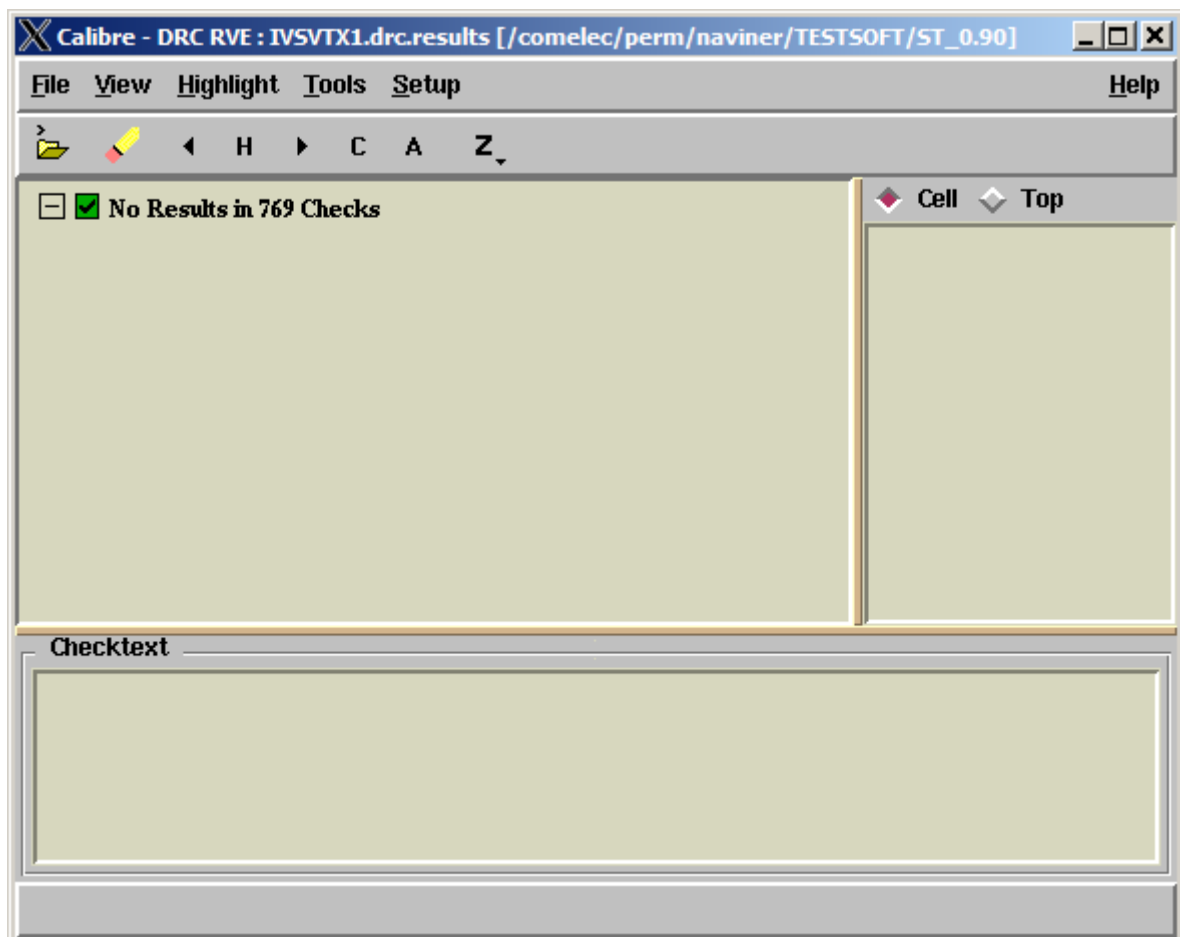


Fig. A.10 – Compte rendu de DRC

A.6.2 Concordances des graphes électriques

Question A.6.2 La vérification de la concordance des graphes électriques entre schématique et masques est effectuée grâce à un outil appelé Layout versus Schematic (LVS).

Choisissez la commande Calibre→Run LVS. Validez la fenêtre Customization Settings. Dans la fenêtre Calibre Interactive - LVS, cliquez sur le bouton Inputs puis sur l'index Netlist. Cochez l'option Export from Schematic Viewer. Cliquez ensuite sur le bouton Run LVS. Dans la fenêtre Specify schematic cell, remplacer la valeur du champ View Name par cmos_sch. Une fois la vérification terminée, la fenêtre Calibre - LVS RVE s'affiche (Fig.A.11). Elle vous fournit la liste éventuelle des différences, vous en donne l'explication et vous permet d'en visualiser la localisation sur la fenêtre des masques (menu déroulant Highlight) et sur celle de la schématique. Procédez aux corrections nécessaires des masques puis recommencer la vérification jusqu'à obtention d'un résultat sans aucune erreur. [23]

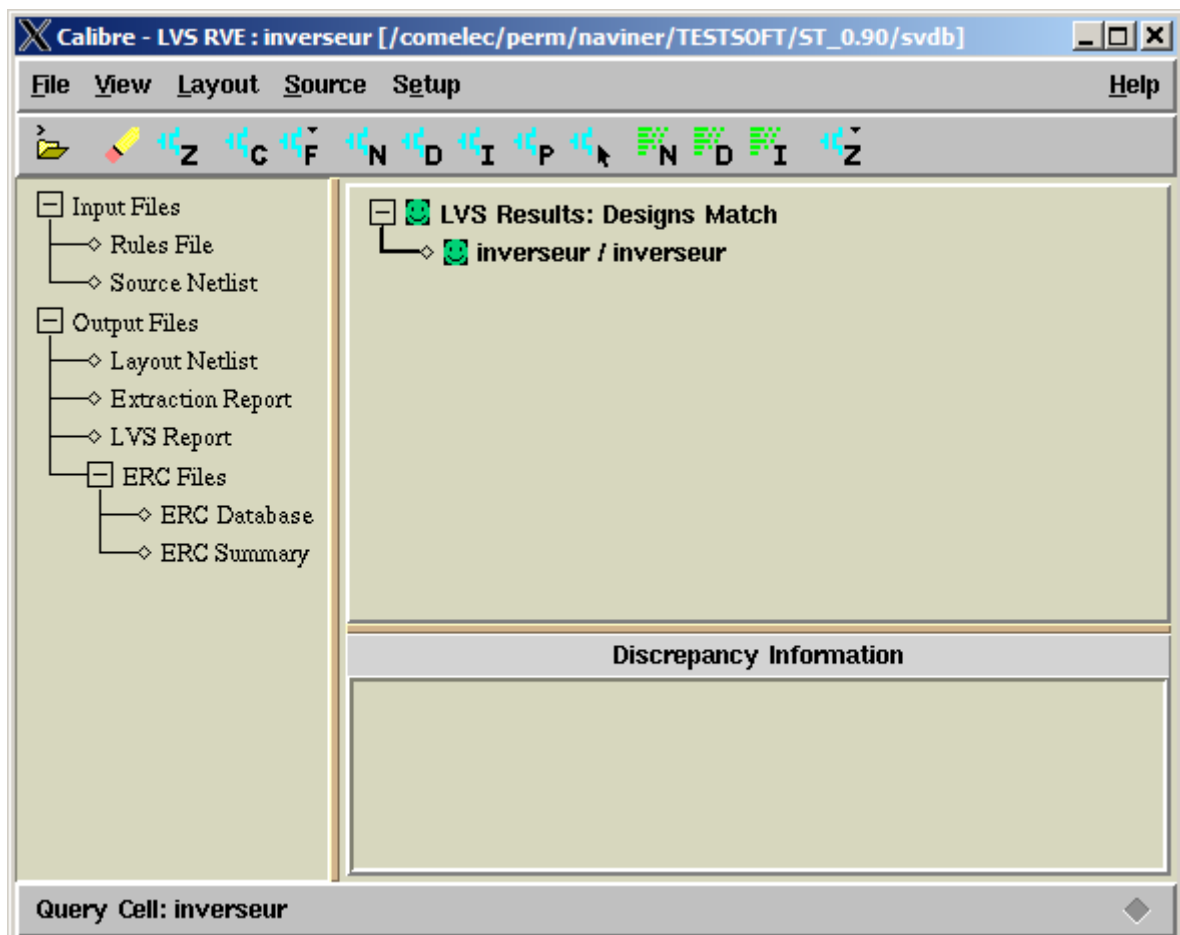


Fig. A.11 – Compte rendu de LVS