

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTRE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE**



**Université de Batna
Faculté Des Sciences de l'Ingénieur
Département d'Electronique**



Mémoire

Présenté en vue de l'obtention du diplôme de Magister en Electronique

OPTION : IC-DESIGN

PAR

MESSAADI Lotfi

THEME

Macromodélisation du transistor MOSFET

Devant le jury constitué de :

Dr. BENHAYA Abdelhamid	M.C. U. Batna	Président
Dr. DIBI Zohir	M.C. U. Batna	Rapporteur
Dr. AYAD Fayçal	M.C. U. Jijel	Examineur
Dr. DJEFFAL Fayçal	M.C. U. Batna	Examineur
Dr. MAHAMDI Ramdane	M.C. U. Batna	Examineur

Remerciements

Mes remerciements s'adressent tout d'abord au Dieu tout puissant de m'avoir donné tous ce que je possède et de guider mes pas vers le chemin du savoir.

Je tiens à exprimer ma haute gratitude, mes profonds respects et mes sincères remerciements et reconnaissances d'abord à mon encadreur Monsieur Z. DIBI chef du département d'électronique et maître de Conférences à l'université de Batna qui m'a guidé avec grande patience tout au long de l'élaboration de ce travail.

J'adresse mes chaleureux remerciements à Monsieur A.BENHAYA Maître de Conférences au Département d'Électronique, Université de Batna, pour avoir accepté de présider le Jury de ce mémoire.

Mes sincères remerciements sont adressés à Monsieur F. DJEFFAL Maître de Conférences au Département d'Electronique, Université de Batna, pour m'avoir honoré en acceptant d'examiner ce travail.

Je tiens à exprimer toute ma gratitude et ma reconnaissance à Monsieur R. MAHAMDI Maître de Conférences au Département d'Electronique, Université de Batna, et Monsieur F. AYAD Maître de Conférences à l'Université de Jijel, qui m'ont fait l'honneur de participer au jury et examiner ce travail.

Dédicaces

A

Ma tendre mère

A

Mon père

A

Mes frères et mes sœurs.

A l'ensemble des enseignants

A tous mes collègues et amis.

Je dédie ce mémoire.

Liste des symboles

t_{ri}	Temps de montée du courant à la transition OFF-ON (S)
t_{fv}	Délai de la chute de potentiel dans le Switch à la transition OFF-ON (S)
$t_{d(ON)}$	Délai avant d'établissement de la tension dans un Switch pendant la transition ON-OFF (S)
t_{rv}	Temps d'établissement de la tension dans un Switch pendant la transition ON-OFF (S)
$t_{d(OFF)}$	Délai d'établissement du courant dans un Switch à la transition OFF-ON (S)
p_s	Pertes par commutation d'un Switch (W)
p_{ON}	Pertes par effet Joule dans un Switch (W)
p_0	Puissance efficace d'un interrupteur (W)
ϵ_{ox}	Permittivité de l'oxyde de silicium ($F.m^{-1}$),
ϵ_{Si}	Permittivité du silicium ($1,04.10^{-8}F.m^{-1}$),
λ	Paramètre empirique de la variation de longueur de canal (V^{-1}),
μ_0	Perméabilité du vide ($4\pi 10^{-7}N.A^{-2}$),
μ_{nsa}	Mobilité de surface des électrons dans une couche D'accumulation ($cm.s^{-1}.V^{-1}$),
μ_{ns}	Mobilité de surface des électrons ($cm^2.s^{-1}.V^{-1}$),
Φ_P	Potentiel de surface en régime d'inversion (V),
Φ_{MS}	Potentiel Métal–Semi-conducteur (V),
Φ_S	Potentiel de surface (V),
ρ	Densité ($g.m^{-3}$),
A_{GD}	Surfaces de grille et de drain en regard (m^2),
A_{MOS}	Surface du transistor (m^2),
C_{DS}	Capacité drain-source (C),
C_{GDj}	Capacité grille-drain formée par la ZCE (F),
C_{GD}	Capacité grille-drain (C),
C_{GS}	Capacité grille-source (F),
C_{iss}	Capacité d'entrée, drain et source court-circuités (F),
C_{oss}	Capacité de sortie, grille et source court-circuités (F),

C_{oxD}	Capacité grille-drain formée la couche d'oxyde (F),
C_{oxm}	Capacité grille-métallisation de source (C),
C_{oxN^+}	Capacité grille-zone N^+ (C),
C_{oxP}	Capacité grille-zone P (C),
C_{ox}	Capacité de l'oxyde (F),
C_{rss}	Capacité de contre-réaction (F),
C_{TH}	Capacité thermique ($J \cdot K^{-1}$),
e_{GDj}	Épaisseur de la zone de charge d'espace formant C_{GDj} (m),
e_{ox}	Épaisseur de l'oxyde de silicium (m),
e_{Si}	Epaisseur du pavé de silicium (m),
F	Fréquence de découpage du convertisseur (Hz),
I_D	Courant de drain (A),
i_n	Courant d'électrons (A),
i_p	Courant de trous (A),
$I_{D,sat}$	Courant de drain en régime de saturation (A),
K	Conductivité thermique ($W \cdot m^{-1} \cdot K^{-1}$),
K_p	Transconductance du MOSFET ($A \cdot V^{-2}$),
L	Self inductance (H),
n	Concentration d'électrons (cm^{-3}),
N_A	Dopage P (cm^{-3}),
n_i	Concentration intrinsèque (cm^{-3}),
q	Charge électronique ($1,602 \cdot 10^{-19} C$),
Q_0	Charge d'interface oxyde semi-conducteur(C),
Q_n	Charge participant à la conduction dans le canal d'un MOSFET (C),
R_V	Résistance de la couche épitaxiée (Ω),
R_a	Résistance de la zone d'accumulation située sous la grille (Ω),
R_D	Résistance de drain (Ω),
R_S	Résistance de source (Ω),
R_{BR}	Résistance dynamique durant l'avalanche (Ω),
R_{ch}	Résistance du canal (Ω),
R_{JFET}	Résistance occasionnée par l'effet <i>JFET</i> parasite (Ω),
R_{TH}	Résistance thermique ($K \cdot W^{-1}$),
T	Température absolue(K),
T_a	Température ambiante (K),

U_T	Unité thermodynamique, égale à kT/q (V),
V_T	Tension de seuil à V_{DS} nul (V),
V_{BR0}	Tension d'avalanche à courant nul et 0°C (V),
V_{BR}	Tension de claquage du transistor (V),
V_{FB}	Tension de bande plate (Flat Band) (V),
V_{GB}	Tension Bulk (substrat) –Grille (V),
W	Largeur du canal (m),
W_C	Extension de la zone de charge d'espace (m),
R_{DSon}	Résistance totale en régime linéaire (Ω),
V_{th}	Tension de seuil du MOSFET (V),

Table des matières

INTRODUCTION GENERALE.....	1
----------------------------	---

CHAPITRE I

CONTEXTE DE L'ÉTUDE

I.1 Introduction.....	5
I.2. Enjeux	5
I.2.1. Contexte économique.....	5
I.2.2. Contexte technologique.....	6
I.3. Les applications interrupteur.....	7
I.3.1. Cahier des charges.....	7
I.3.2. Pertes d'énergie et rendement.....	8
I.3.2.1. Pertes par commutation	9
I.1.2.2. Pertes Joule	12
I.2.2.3. Pertes par commutation dans la grille.....	13
I.2.2.4. Rendement en puissance.....	13
I.4 La technologie CMOS 0.35 μm	14

CHAPITRE II

MODÉLISATION DU TRANSISTOR VDMOS

II.1 Introduction	17
II.2 Techniques de modélisation	17
a. La modélisation structurelle.....	17
b. La modélisation comportementale.....	18
c. La macromodélisation.....	18
II.3 Fonctionnement des transistors MOSFET.....	19
II.3.1 La structure MOS.....	19
II.3.2 Le MOSFET latéral.....	20
II.3.3 Le MOSFET vertical.....	23
II.3.4 Comportement statique	24
II.3.4.1 La résistance de canal R_{ch}	25
II.3.4.2 La résistance d'accès au drain R_a	27
II.3.4.3 La résistance de drift R_d de la couche épitaxiée.....	29
II.3.4.4 La résistance de substrat.....	31

II.3.5 Comportement dynamique.....	31
II.3.5.1 Capacités parasites	32
II.3.5.2 Diode intrinsèque	33
II.4 Influence de la température de jonction (T_J) sur le comportement du transistor.....	34
II.4.1 Modification de la caractéristique statique	34
II.4.2 Modification du comportement dynamique.....	38
II.5 Mise en œuvre de macromodèle PSPICE.....	39
II.5.1 Les ABM.....	39
II.5.2 Les problèmes de convergence	40
II.5.3 Conclusion	40

CHAPITRE III

MODÉLISATION THERMIQUE DES COMPOSANTS DE PUISSANCE (MOSFET)

III.1 Introduction	42
III.2 Analyse thermique des composants de puissance	42
III.2.1 Rappel théorique.....	42
III.2.2 Flux de chaleur.....	42
III.2.3 Équation de continuité	43
III.3 Modèle thermique d'un composant de puissance	44
III.3.1 Modèle électrique équivalent.....	44
III.3.2 Équivalence entre grandeurs électriques et grandeurs thermiques.....	45
III.3.3 Paramètres thermiques des matériaux les plus utilisés	46
III.4 Modèle thermique élaboré.....	47
III.4.1 Généralités	47
III.4.2 Structure segmentée du modèle thermique	47
III.4.2.1 Hypothèses et contraintes.....	47
III.4.2.2 Circuit équivalent naturel	49
III.5 Simulation du comportement thermique des composants de puissance	50
III.5.1 Généralités	50
III.5.2 Modélisation d'un MOSFET en tenant compte des effets de la température	51
III.5.2.1 Définition du problème	51
III.5.2.2 Relations des paramètres électriques avec la température	52
III.5.2.3 Modèle de simulation : Exemple d'une dépendance des paramètres à la température	53

III.6 Résultats de simulations (PSPICE)	55
III.6.1 validation du modèle VDMOS	56
III.6.1.a Validation « dynamique »	56
III.6.1.b Validation « statique »	58
III.6.2 Conclusion	63

CHAPITRE IV

APPLICATION AU CONVERTISSEUR BUCK

IV.1 Introduction	65
IV.2 Présentation du simulateur ORCAD-PSPICE.....	66
IV-3 Convertisseur BUCK	67
IV.3.1 Application des convertisseurs BUCK.....	67
IV.3.2 Avantage des convertisseurs BUCK	67
IV.3.3 Principe d'implémentation	68
IV.4 Principe de fonctionnement.....	68
IV.4.1 Fonctionnement en mode continue.....	69
IV.4.2 Fonctionnement en mode discontinu.....	72
IV.5 Cahier des charges	73
IV.5.1 Spécifications thermiques.....	74
IV.5.2 Spécifications électriques	75
IV.6 Remplacement du transistor IRF150 par notre modèle	77
IV.6.1 Comparaison entre simulation et expérience.....	78
IV.6.2 Conclusion.....	82
CONCLUSION GÉNÉRALE	84

BIBLIOGRAPHIE	86
----------------------------	----

Abstract

INTRODUCTION GÉNÉRALE

Introduction générale

Dans le domaine de l'électronique de puissance les composants semi conducteurs jouent le rôle d'interrupteurs fonctionnant entre deux états l'état bloqué et l'état passant. Ainsi les caractéristiques importantes de ces dispositifs sont la tension blocable, le courant passant la chute de tension à l'état passant, le temps et les pertes de commutation. Les applications de l'électronique de puissance imposent des besoins de composants dans une gamme de tensions blocables allant de 30V près de 100V pour un calibre de courant jusqu'à 200A [1].

Les transistors bipolaires ont été, pendant des nombreuses années les principaux composants actifs utilisés en électronique de puissance. L'évolution de la technologie des circuits intégrés MOS a permis, dans les années 70, le développement considérable des familles MOS de puissance par rapport aux transistors bipolaires, les transistors MOS présentent un certain nombre de propriétés intéressantes pour les applications de puissance :

- En l'absence des phénomènes de stockage liés à la diffusion de porteurs injectés ils sont rapides avec un temps de commutation de l'ordre de la centaine de nanoseconde.
- Leur impédance d'entrée est très grande en basse fréquence et ils peuvent alors être commandés directement par des circuits intégrés de faible puissance qui sont également beaucoup plus simple à concevoir.
- Ils sont très stable thermiquement car le coefficient de température du courant de drain à tensions de grille et de drain imposée notamment lié à celui de la mobilité de porteurs est négatif.

Cette dernière propriété est très importante c'est elle qui permet de réaliser de composants de fort calibre en courant par la mise en parallèle d'un grand nombre de transistors MOS élémentaires plusieurs centaines de milliers intégrés dans un même cristal, sans que se posent des problèmes particuliers de répartition des courants ou d'instabilité thermique latérale.

Cependant, pour les applications hautes tension les transistors MOS sont handicapés par une résistance à l'état passant donc une chute de tension importante par rapport au transistor bipolaire en raison de l'épaisseur de la zone volumique qui doit être suffisamment grande pour supporter la tension blocable, le compromis entre la résistance à l'état passant R_{ON} et la tenue en tension V_{BP} étant le problème le plus important pour un composant de puissance [1], il est apparu que pour les applications haute tension, le transistor MOS ne

pouvait supplanter le transistor bipolaire, c'est pourquoi des recherches ont conduit, pour des applications à la naissance des familles MOS bipolaire du type IGBT ou thyristor MOS.

Les aspects thermiques dans la conception des circuits de puissance méritent souvent autant d'attention que les aspects purement électrique car la température de fonctionnement des composants a une influence directe sur leurs caractéristiques statiques et dynamiques. Rappelons d'autre part que d'un point de vue thermique le transistor MOS de puissance présente deux propriétés essentielles [2] :

- Inexistence d'un point chaud.
- Quasi-uniformité de la température de cristal.

Ceci est dû au fait que le courant est contrôlé par les porteurs majoritaires, « en effet le coefficient de température du courant du drain lié notamment à celui de la mobilité des porteurs est négatif »

Le mode d'évolution avec la température des paramètres physiques des transistors de puissance à déjà été écrit auparavant [3], nous allons cependant rappeler ici ces lois et en déduire un modèle analytique applicable aux cas des transistors MOS de puissance, nous allons également traduire ce modèle en langage circuit afin de compléter le modèle SPICE conçu précédemment et qui ne tenait pas compte de la température.

Objectifs de l'étude

Dans ce mémoire, nous proposons une modélisation des convertisseurs basse tension destinés aux applications de puissance. Ces convertisseurs sont alimentés sous une tension de 20 V et utilisent des transistors MOSFET comme commutateurs.

Le premier chapitre expose le contexte et les enjeux économiques et technologiques du développement de composants haute tension destinés aux applications de gestion d'énergie des convertisseurs. Dans un deuxième temps, nous décrivons la technologie CMOS 0,35µm analogique de FAIRCHILD dédiée à ce type d'applications, Nous analysons ensuite les paramètres critiques pour le rendement en puissance de ce type de dispositifs, au travers de l'analyse des différentes contributions aux pertes d'énergie.

Le deuxième chapitre est consacré au transistor MOS. Les spécificités des composants destinés aux applications basse tension, ainsi qu'un modèle de ces transistors prenant en compte leurs différents régimes de fonctionnement sont présentés.

Le troisième chapitre sera consacré à la modélisation thermique du MOS. Le modèle proposé sera compatible avec le simulateur de circuit SPICE. En effet, un nouveau modèle SPICE sera proposé utilisant un nouveau formalisme du générateur de courant de drain et permettant de décrire avec plus de précision le comportement thermique du MOS dans toutes ses régions de fonctionnement (zone ohmique et zone de saturation). Le nouveau modèle obtenu permet de décrire d'une façon satisfaisante le comportement statique et dynamique du composant. Ce modèle sera ensuite vérifié et validé par le circuit d'attaque de grille à courant constant ("gate charge").

Enfin, le quatrième chapitre met en œuvre les modèles obtenus pour démontrer l'intérêt de la simulation dans une démarche de conception en électronique de puissance, notamment en terme d'analyse, une conclusion générale avec quelques perspectives clôtureront ce mémoire.

CHAPITRE I

CONTEXTE DE L'ÉTUDE

I.1 Introduction

Dans ce premier chapitre, après avoir évoqué les différents enjeux économiques et technologiques du marché des composants de puissance notamment pour les systèmes portables, nous effectuons une présentation de la technologie CMOS 0,35 μm [4], technologie d'accueil des composants hautes tensions étudiés et développés dans ce travail. Les différentes architectures MOSFET sélectionnées sont ensuite décrites. La dernière partie du chapitre présente les principaux caractères physiques pris en compte lors de la modélisation et de l'optimisation de ces architectures, ainsi que les critères de mérite utilisés dans le cadre de l'étude.

I.2. Enjeux

I.2.1. Contexte économique

Le marché des semi-conducteurs est en croissance perpétuelle d'année en année (de l'ordre de 3%) et a atteint un total de 182 Billions de Dollars en 2003. La figure 1 montre la segmentation des revenus par type de produits.

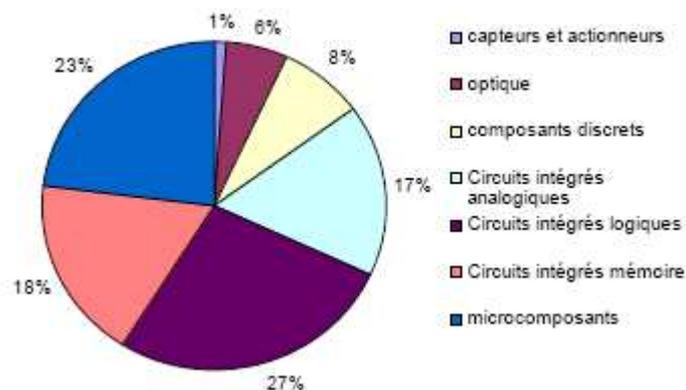


Fig. 1 : répartition des revenus de la microélectronique par produits [5].

Le marché des semi-conducteurs est partagé en quatre secteurs principaux qui sont les microcomposants, les circuits mémoire, les circuits logiques et les circuits analogiques. Les circuits analogiques représentent 17% des revenus mondiaux, soit un total de 32 B\$. C'est un marché capital pour les différentes entreprises concurrentes qui souhaitent se hisser au sommet de la hiérarchie mondiale. Si l'on se focalise sur les produits analogiques, on peut constater sur la figure 2 que 30 % des produits sont destinés aux applications portables.

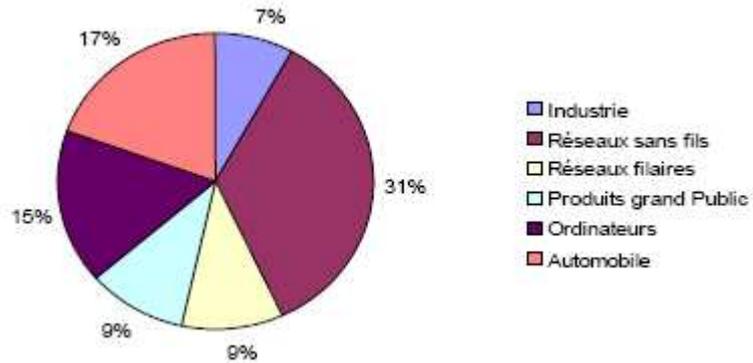


Fig. 2 : Répartition des revenus des circuits analogiques par secteurs [5]

Le secteur technologique des applications portables apparaît donc comme un secteur clef du développement des circuits analogiques. Comme le montre la figure 3, STMicroelectronics se situe en tête des ventes de produits analogiques avec Texas Instruments. Pour rester compétitives, les sociétés doivent continuer à développer de nouvelles solutions technologiques plus performantes et moins coûteuses pour ces applications.

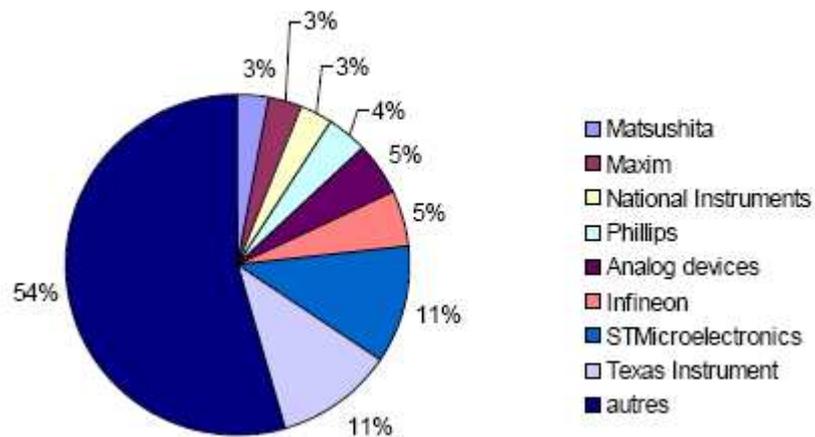


Fig. 3 : Parts de marché des circuits analogiques [5].

I.2.2. Contexte technologique

A titre d'exemple, citons quelques exemples l'appareil portables : ordinateurs, téléphones, PDA, pagers, lecteurs MP3, minidisques...etc., de manière générale, ces appareils voient leurs fonctionnalités, leur qualité d'interface et leur temps d'autonomie augmenter, alors que leur poids et leur taille diminuent continuellement. Cette course à la miniaturisation passe par une intégration toujours plus poussée des différentes fonctions selon une « roadmap » en accord avec l'évolution des procédés lithographiques (figure 4). Il est cependant nécessaire de

prendre en compte d'autres facteurs limitant la miniaturisation comme la mise en boîtier par exemple. Enfin, comme nous l'avons vu précédemment, le coût doit être le plus faible possible

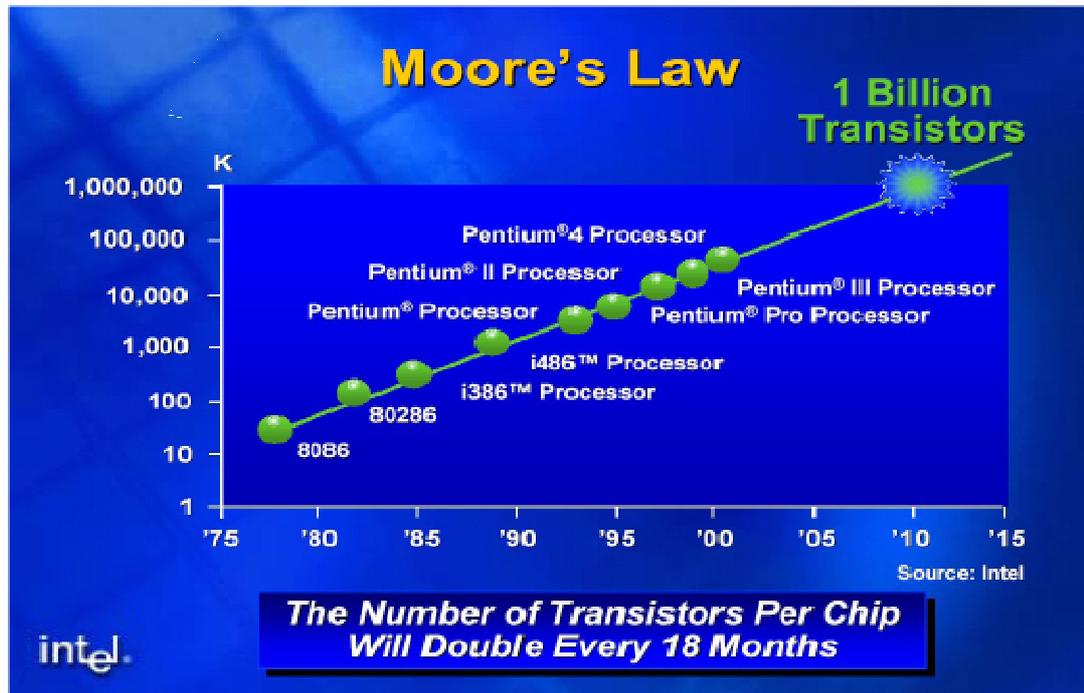


Fig.4 : La loi de MOOR [5]

I.3. Les applications interrupteur

Dans ce paragraphe, nous détaillons le cahier des charges des composants de puissance utilisée en mode interrupteur, puis nous analysons l'origine des différentes pertes de puissance au sein de ces composants.

I.3.1. Cahier des charges

La figure 5 donne les caractéristiques d'un composant interrupteur idéal : courant I_{OFF} nul à l'état OFF, tension V_{ON} à l'état ON nulle, capacité et temps de commutation nuls.

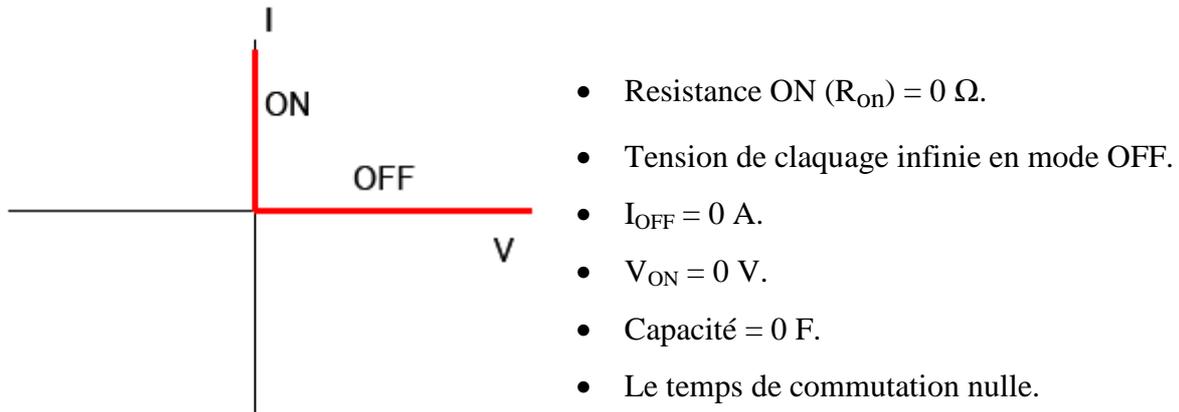


Fig. 5 : Caractéristiques du composant interrupteur idéal

Pour s'approcher au mieux d'un commutateur parfait, les caractéristiques des composants de puissance utilisés en interrupteur doivent donc être les suivantes :

- Faible courant de fuite à l'état OFF.
- Faible tension à l'état ON afin de limiter la puissance dissipée, soit faible R_{ON} .
- Temps de commutation faibles. Cela permet d'utiliser les composants à des fréquences plus élevées.
- Bonnes possibilités de blocage en direct et en inverse. Cela permet de minimiser la nécessité de mise en série de plusieurs éléments compliquant le contrôle et la protection des interrupteurs.
- Forts courants à l'état ON. Dans les applications à courants forts, cela diminue le besoin de connecter plusieurs éléments en parallèle.
- Faible puissance nécessaire pour le contrôle de la commutation.
- Possibilité de supporter simultanément de forts courants et de fortes tensions lors des commutations. Cela peut permettre d'éviter d'avoir recours à des circuits d'aide à la commutation.
- Possibilité de supporter d'importants surcourants ou surtensions di/dt et dv/dt . Cela permet de s'affranchir de l'utilisation de circuits limiteurs.

I.3.2. Pertes d'énergie et rendement

Dans cette partie, nous analysons les différentes contributions aux pertes de puissance en charge dans un composant de puissance en mode interrupteur. Une configuration fréquemment rencontrée en électronique de puissance est l'alimentation d'une charge inductive par un composant de puissance de commutation. Pour illustrer les pertes

dans une telle configuration, nous allons utiliser le circuit équivalent de la figure 6 [6]. Le composant de puissance est modélisé par un interrupteur, la charge inductive par une source de courant continue I_{ON} et parallèle avec une diode idéale.

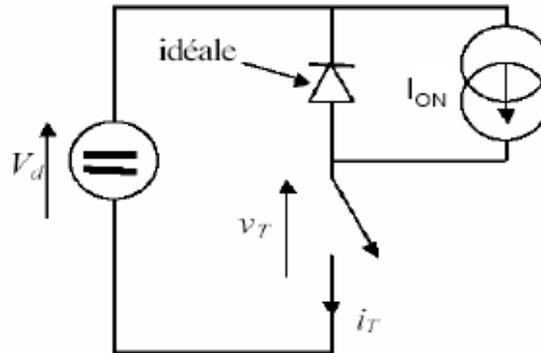


Fig. 6: Schéma électrique modélisant un interrupteur parfait alimentant une charge inductive.

Lorsque l'interrupteur est fermé (état ON), le courant I_{ON} circule à travers l'interrupteur car la diode est polarisée en inverse, donc $i_T = I_{ON}$. Lorsque l'interrupteur s'ouvre (état OFF), la diode est alors polarisée en direct, le courant I_{ON} circule dans la diode et le courant i_T est nul. La tension V_T aux bornes de l'interrupteur devient égale à la tension d'alimentation V_d .

I.3.2.1. Pertes par commutation

Les commutations OFF- ON et ON- OFF d'un commutateur sont déclenchées par un signal de commande de fréquence $f_s = 1/T_s$ appliqué sur l'entrée de contrôle du composant. La figure 7 illustre les variations temporelles de i_T et v_T lors des commutations dans le cas idéal d'un interrupteur parfait. La puissance instantanée dissipée $p_T = v_T i_T$ est nulle. Un composant de puissance réel présente une résistance ohmique R_{ON} . Lorsqu'il est dans l'état ON et parcouru par un courant I_{ON} , la tension à ses bornes est $V_{ON} = R_{ON} I_{ON}$. Couplé à une charge inductive, l'établissement des courants présente un régime transitoire. La figure 7 schématise les variations temporelles de v_T et i_T lors des commutations.

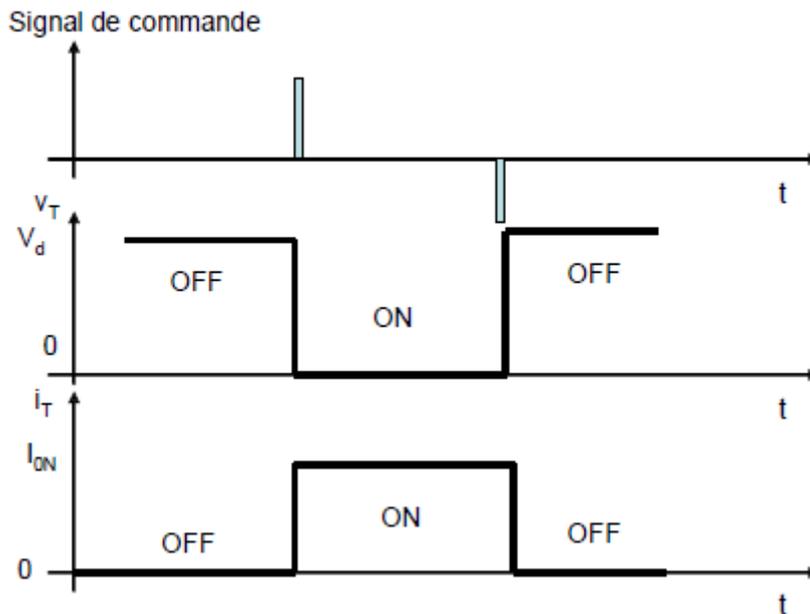


Fig. 7 : Evolution de V et I en fonction du temps dans le cas d'une commutation idéale sans dissipation de puissance.

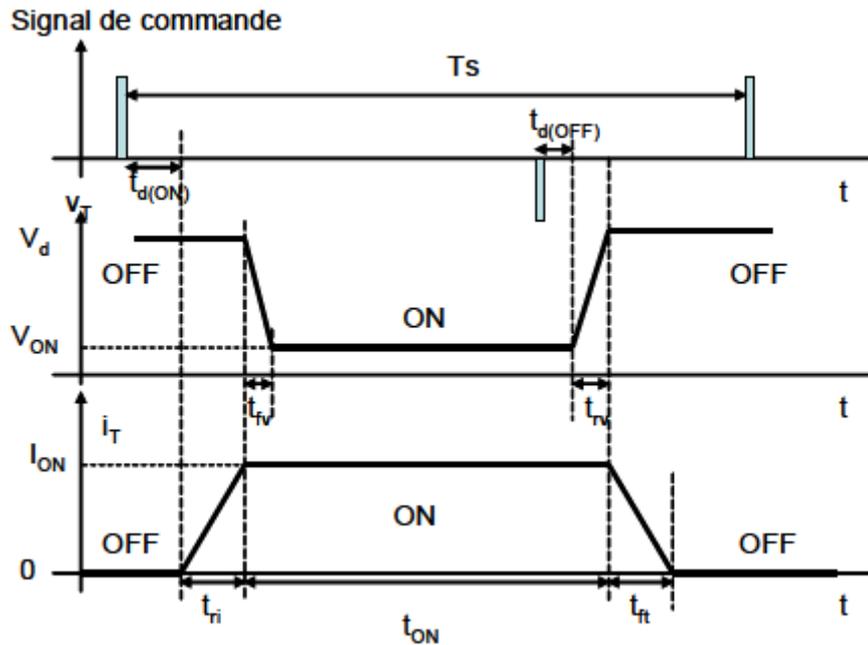


Fig. 8: Evolution de V_T et I_T en fonction du temps dans le cas d'un commutateur réel [6].

a) Ouverture

Durant la commutation OFF-ON, l'établissement du courant s'effectue avec un temps de retard (delay) $t_{d(ON)}$ suivie du temps de montée (risetime) du courant t_{ri} . Lorsque le courant I_{ON} circule entièrement à travers l'interrupteur, la diode devient polarisée en inverse et se bloque; la tension aux bornes de l'interrupteur chute à sa valeur V_{ON} dans un intervalle de temps t_{fv} (*forward voltage*). Des niveaux de tension et courant importants sont présents au niveau de l'interrupteur durant l'intervalle de temps $t_{c(ON)}$ de la commutation OFF-ON de l'interrupteur, avec :

$$t_{c(ON)} = t_{ri} + t_{fv} \quad \text{I.1}$$

Conformément à la figure 8, V_{ON} étant très inférieure à V_d , l'énergie $W_{c(ON)}$ dissipée dans l'interrupteur durant cette commutation peut être approximée par :

$$W_{c(ON)} = \frac{1}{2} * V_d * I_{ON} * t_{c(ON)} \quad \text{I.2}$$

Aucune énergie n'est dissipée durant l'intervalle de temps $t_{d(ON)}$ par i_T qui est nul. Lorsque l'interrupteur est complètement fermé, la tension V_{ON} est de l'ordre de volt et l'interrupteur conduit un courant I_{ON} . L'interrupteur demeure fermé durant l'intervalle de temps t_{ON} , qui en règle générale est largement supérieur aux temps de commutation. L'énergie dissipée durant l'état ON est alors donnée par :

$$w_{ON} = V_d * I_{ON} * t_{ON} \quad \text{I.3}$$

avec

$$t_{ON} \gg t_{c(ON)} \quad \text{I.4}$$

b. Fermeture

Pour replacer l'interrupteur en position OFF, un signal de contrôle négatif est appliqué à l'entrée de contrôle de l'interrupteur. Durant la commutation ON-OFF, l'établissement de la tension v_T s'effectue durant un intervalle de temps t_{cv} (*reverse voltage*) après un temps de retard (delay) $t_{c(OFF)}$. Lorsque la tension V_T atteint sa valeur finale V_d , la diode se trouve polarisée et direct et commence à conduire. Le courant dans l'interrupteur s'annule avec en temps d'annulation (fulltime) t_{ft} pendant que le courant passe de

l'interrupteur à la diode. Des niveaux de tension et courant importants sont présents au niveau de l'interrupteur durant l'intervalle de temps $t_{c(OFF)}$ de la commutation ON-OFF, avec :

$$t_{c(OFF)} = t_{rv} + t_{ft} \quad I.5$$

L'énergie $W_{c(OFF)}$ dissipée dans l'interrupteur durant cette commutation peut être approximée Par [6] :

$$w_{c(off)} = \frac{1}{2} V_d I_{ON} t_{c(OFF)} \quad I.6$$

De plus, l'énergie dissipée durant $t_{d(OFF)}$ peut être négligée car v_* est faible (égale à V_{ON}).

Le signal de contrôle étant commandé à une fréquence f_s , la puissance moyenne P_s dissipée durant la commutation est égale à :

$$P_s = \frac{1}{2} V_d I_{ON} \left(\frac{t_{c(ON)} + t_{c(off)}}{T_s} \right) = \frac{1}{2} V_d I_{ON} f_s (t_{c(ON)} + t_{c(OFF)}) \quad I.7$$

Le résultat est important car il montre que les pertes de puissance lors de la commutation augmentent linéairement avec la fréquence de commutation f_s et avec les temps de commutation $t_{c(ON)}$ et $t_{c(OFF)}$. Ainsi, si l'on dispose de composants possédant de faibles temps de commutation, il s'avère possible de faire fonctionner les circuits à des fréquences de commutation élevées, diminuant les contraintes liées au filtrage (condensateurs de taille plus réduite) tout en conservant des pertes de commutation raisonnables.

I.1.2.2. Pertes Joule

La puissance moyenne P_{ON} dissipée par effet joule durant l'état ON est donnée par [7] :

$$P_{ON} = V_{ON} I_{ON} f_s t_{ON} \quad I.8$$

L'expression I.8 montre logiquement que la tension V_{ON} aux bornes de l'interrupteur durant l'état ON doit être la plus faible possible, donc que la résistance R_{ON} doit être minimisée. D'autre part, le courant de fuite durant l'état OFF est toujours très faible pour les interrupteurs commandables; la puissance dissipée durant cet intervalle de temps peut donc être en pratique négligée.

I.2.2.3. Pertes par commutation dans la grille

Dans le cas des composants de puissance contrôlés par une grille isolée, une deuxième contribution aux pertes de puissance par commutation doit être prise en compte. Elle trouve son origine dans les processus de chargement et de déchargement de la capacité de grille. En effet, dans ce type de composants, les commutations sont commandées par un signal appliqué sur la grille. Au cours de chaque cycle de commutation, la capacité de grille est chargée lors de la transition OFF- ON puis déchargée lors de la transition ON-OFF.

Si V_{gg} est la valeur maximale de la tension appliquée sur la grille, la puissance dissipée P_c est Proportionnelle à la charge moyenne Q_{gg} amenée sur la grille au potentiel V_{gg} , à la fréquence de commutation f_s soit [7]:

$$P_c = Q_{gg}V_{gg}f_s \quad \text{I.9}$$

Si C_{gs} est la capacité moyenne de grille durant un cycle de commutation, P_c s'exprime alors par

$$P_c = C_{gg}V_{gg}^2f_s \quad \text{I.10}$$

I.2.2.4. Rendement en puissance

Le rendement en puissance η des composants est un facteur de mérite permettant de faire le bilan de la puissance utile de sortie en fonction de la puissance d'alimentation. On peut le définir de la manière suivante:

$$\eta = \frac{P_0}{(P_0+P_t)} \quad \text{avec} \quad P_T = P_{ON}+P_c+P_s \quad \text{I.11}$$

Où P_s est la puissance de sortie efficace de l'interrupteur et P_T la puissance moyenne totale dissipée dans l'interrupteur, égale à la somme des pertes par commutation P_s et P_c , et des pertes Joule P_{ON} . Dans le cas particulier des composants MOSFET, les temps de commutation de la tension et du courant de drain sont très faibles. Il s'ensuit que les pertes par commutation P_s sont négligeables devant les autres pertes. La puissance totale dissipée P_T est alors donnée par [28]:

$$P_T \simeq P_{ON}+P_c \quad \text{I.12}$$

Les expressions (7) et (9) de P_{ON} et P_C respectivement montrent qu'une minimisation des pertes, pour un courant de sortie I_{ON} donné, passe par la réduction de la résistance R_{ON} du composant et par celle de sa capacité moyenne de grille C_{gg} . L'optimisation de ces deux facteurs est à la base du développement des nouvelles architectures MOSFET décrites dans le chapitre II.

I.3 La technologie CMOS 0.35 μm

Le choix d'un composant de puissance pour une application donnée dépend de son mode de fonctionnement, de la tension et du courant qu'il doit supporter et de sa fréquence d'utilisation. Les composants sont dessinés à partir de différentes solutions que sont les matériaux, la technologie dans laquelle ils sont intégrés et enfin les architectures. Ces différentes options conduisent à une grande diversité de composants haute tension. Le tableau 1 récapitule les solutions technologiques existantes. Ces solutions technologiques sont regroupées en trois catégories suivant le type de technologie, la nature des matériaux employés et l'architecture des composants.

Technologie	CMOS, Bipolaire, BICMOS ou SOI
Matériaux employés	Silicium, carbure de silicium, GaAs, GaN
Architecture	BJT, MOSFET, GTO, IGBT

Tableau 1: Bilan des différentes solutions possibles dans le cadre du développement de composants de puissance

Le choix de la technologie est déterminé par le cahier des charges et le type d'applications. La technologie CMOS est la technologie la moins coûteuse. Elle est utilisée le plus souvent pour les applications numériques et analogiques. La technologie bipolaire est le plus souvent employée pour les applications radiofréquences (RF) nécessitant des composants fonctionnant en interrupteur à très hautes fréquences. La technologie BiCMOS permet d'adresser différentes fonctions du fait de son statut de technologie hybride, et permet de réaliser des circuits rapides et à faible consommation. Enfin la technologie SOI [8] permet une plus forte densité d'intégration mais est beaucoup plus coûteuse. Elle est adaptée aux applications nécessitant des composants rapides à très faibles courants de fuite.

Le choix du matériau se fait quant à lui en fonction des tensions de blocage que l'on veut atteindre. Pour des tensions inférieures à la centaine de volts, le silicium apparaît comme un candidat idéal de part son intégration facile et ses bonnes propriétés physiques. Pour des tensions supérieures, on utilise couramment le carbure de silicium qui présente une largeur de bande interdite et un champ de claquage supérieur au silicium. Enfin, d'autres matériaux aux propriétés intrinsèques supérieures au Sic sont à l'étude comme le GaAs ou le GaN. Le matériau aux propriétés ultimes pour la tenue en tension est le diamant mais son intégration est encore très lointaine.

Enfin, en fonction de l'application visée, l'architecture la plus pertinente doit être choisie [8]. Pour les faibles tensions et les faibles fréquences, les transistors à effet de champ (MOSFETs) apparaissent comme les candidats idéaux. Pour les fréquences plus élevées, les transistors bipolaires (BJTs) qui commutent plus rapidement ou certains diodes sont plus adaptés. Enfin pour des tensions de blocage et des fréquences élevées, on dispose de plusieurs architectures potentielles: les thyristors (Gate-Turn-OFF Thyristors GTO) ou certains interrupteurs à grille commandée comme le transistor bipolaire à grille isolée (insulated Gate Bipolar Transistor IGBT) ou le thyristor commandé par MOS (MOS-Controlled Thyristor - MCT).

La technologie développée par FAIRCHILD et destinée aux circuits de gestion d'alimentation de systèmes portables de type téléphone est une technologie silicium CMOS 0,35 μm analogique. Elle intègre des composants très différents permettant de réaliser l'intégralité des fonctions analogiques et numériques. L'objectif de ce travail était l'intégration à moindre coût d'un composant haute courant (100 A) [9] unique, présentant des performances optimisées aussi bien en mode interrupteur qu'en mode analogique, les architectures de type MOSFET sont naturellement apparues comme les plus adaptées pour répondre à ce cahier des charges.

CHAPITRE II

MODÉLISATION DU TRANSISTOR VDMOS

II.1 Introduction

Le transistor MOSFET est le composant de choix pour les applications basses tension : parmi tous les composants de puissance disponibles actuellement, seul l'IGBT est aussi simple à commander, mais la chute de tension à l'état passant de ce dernier (de l'ordre de 2 V) le rend inutilisable lorsque l'on travaille avec des tensions inférieures à la centaine de volts.

La modélisation des transistors MOS pour la conception et la simulation de circuits est un défi constant en raison de l'évolution incessante de la technologie CMOS. La modélisation avec maintien du sens physique est un défi encore plus grand pour le monde de la conception et de la simulation des circuits analogiques. Dans ce cas, sont importantes, non seulement les caractéristiques grands signaux du composant, mais aussi les caractéristiques petits signaux. La modélisation du TMOS nécessite donc une compréhension claire et approfondie du fonctionnement complexe et fortement non-linéaire de ce composant.

Dans ce chapitre, nous décrivons le fonctionnement d'un transistor MOSFET classique, puis les spécificités de ceux destinés aux applications de puissance. Enfin, nous proposons une modélisation de ce composant de façon à pouvoir simuler son comportement.

II.2 Techniques de modélisation

Nous pouvons distinguer principalement trois techniques de modélisation à savoir :

a. La modélisation structurelle

La modélisation structurelle consiste à décrire le composant ou le circuit par sa structure, c'est à dire par les éléments qui le décrivent (capacité, résistance, diode, ...etc). Le modèle structurel s'aligne ainsi sur la bibliothèque du fondeur ou du fabricant de circuit intégré. Il prend en compte les paramètres technologiques utilisés en fabrication. La modélisation structurelle utilise les sous circuits du simulateur et demande un temps d'analyse trop important lors de la simulation des systèmes complexes. L'inconvénient vient de la taille des circuits. Certains circuits analogiques (amplificateur opérationnel) contiennent plusieurs centaines de transistors et autres composants ; ceci augmente considérablement le nombre de nœuds, et par la suite la taille de la matrice à traiter par le simulateur d'où le temps de calcul est grand.

b. La modélisation comportementale

La modélisation comportementale permet de réduire les temps de conception et de concevoir des circuits de plus grande qualité pour deux raisons essentielles :

- La simulation comportementale d'un circuit complexe est beaucoup plus rapide qu'une simulation effectuée avec une description transistors: le concepteur peut donc mieux vérifier le fonctionnement du circuit,
- La description comportementale de chaque bloc du circuit conduit à une définition très précise de ses spécifications, ce qui permet d'éviter des erreurs de conception et d'obtenir un circuit optimal.

c. La macromodélisation

La macromodélisation consiste soit en la construction d'un schéma qui conduira aux relations souhaitées entre des variables représentées par les tensions de nœud et les courants de branche, soit en la simplification d'un schéma afin de réduire le nombre de nœuds du circuit initial.

L'objectif principal de la macromodélisation est de remplacer un système électronique ou une partie de ce système (une fonction ou un dispositif actif) par un modèle afin de réduire significativement le temps requis par les nombreuses simulations électriques effectuées en phase de conception. Pour ce faire, un macromodèle doit répondre à deux exigences conflictuelles: il doit être structurellement le plus simple possible et en même temps simuler le comportement du circuit avec le maximum de précision.

La macromodélisation consiste à décrire le comportement d'un circuit par l'utilisation des primitives d'un simulateur. Le but essentiel de la macromodélisation est de réduire la taille du circuit et ainsi réduire le temps de simulation. En outre, il faut prendre garde à ce que le nombre de nœuds imposé par le macromodèle ne dépasse pas celui qu'impose le circuit à modéliser, sinon il n'aura aucun profit sur l'encombrement et la taille des matrices qui sont générées, alors les modèles obtenus par cette approche permettent de réduire considérablement les temps de simulations.

Les macromodèles sont construits à partir d'un nombre réduit de composants. Les composants utilisés sont des composants primitifs du simulateur. Nous pouvons inclure des éléments passifs (résistance, capacité, ...etc), des sources dépendante et indépendante de type

courant ou de tension linéaire ou non, statique, temporelles ou fréquentielles qui sont intégrés dans le module ABM (Analog Behavioural Modeling) de PSPICE.

La stratégie sous-circuitale a été choisie parce qu'elle est basée sur la physique tout en étant souple et donc plus apte au suivi technologique du composant à modéliser.

Plusieurs modèles sous-circuitaux ont été proposés dans la littérature. La plupart d'entre eux ne prennent en compte que quelques uns des effets spécifiques des MOS de puissance.

Dans la suite de ce chapitre tous les effets spécifiques des MOS hautes tensions sont présentés. Les solutions de modélisation sous-circuitale sont aussi illustrées.

II.3 Fonctionnement des transistors MOSFET

II.3.1 La structure MOS

L'empilement de trois couches métallique, isolante (oxyde) et semi-conductrice constitue une structure MOS (visible figure II.1), qui est à la base du transistor éponyme. Cette structure ressemble fortement à celle d'une capacité plane, dont l'une des armatures métalliques serait remplacée par un semi-conducteur (en l'occurrence du silicium dopé P). Nous allons nous intéresser à la répartition de la charge présente à la surface du semi-conducteur suivant la polarisation appliquée entre G et B, car c'est elle qui conditionnera le fonctionnement du transistor. Des charges sont présentes à l'interface entre l'oxyde et le semi-conducteur, du fait de la rupture du réseau cristallin. D'autre part, la différence des travaux de sortie du métal et du semi-conducteur est à l'origine d'un potentiel Φ_{ms} . Il en résulte que pour obtenir une densité de charges en surface du silicium égale à $q \cdot N_A$ (la densité de charge dans le volume) il faut appliquer une tension telle que :

$$V_{GB} = V_{FB} = \Phi_{MS} - \frac{Q_0^S}{C_{OX}^S} \quad \text{II.1}$$

Où Q_0^S représente la charge d'interface oxyde semi-conducteur par unité de surface et C_{OX}^S la capacité surfacique de la couche d'oxyde. La tension ainsi obtenue est nommée V_{FB} (Flat Band).

Pour $V_{GB} > V_{FB}$, les trous sont repoussés, leur densité en surface est plus faible que dans le volume : on passe en régime de déplétion. D'après, la charge de déplétion (par unité de surface) vaut :

$$Q_B^S = \sqrt{2\varepsilon_{SI}qN_A\Phi_S} \quad \text{II.2}$$

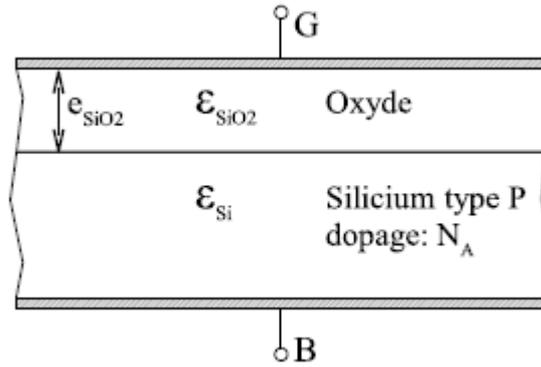


Fig. II.1 – Structure Métal Oxyde Semi-conducteur

ϵ_{Si} étant la permittivité du silicium et Φ_S le potentiel le long de la zone de déplétion. Si l'on augmente encore V_{GB} , la densité d'électrons n augmente à la surface du silicium, jusqu'à atteindre N_A : on passe en régime de faible inversion. D'après la distribution de Boltzmann, on a $n = n_i \cdot e^{\Phi_P / U_T}$ Φ_P étant la valeur de Φ_S pour laquelle on passe en régime d'inversion. Le régime de forte inversion est atteint lorsque l'on a $\Phi_S = 2\Phi_P$ (c'est à dire une charge d'espace de même valeur que lors de la déplétion, mais de signe inverse) soit :

$$\Phi_S = 2\Phi_P = 2U_T \ln \left(\frac{N_A}{n_i} \right) \quad \text{II.3}$$

La tension V_{GB} lorsque $\Phi_S = 2\Phi_P$ est appelée V_{th} . Elle représente la tension de seuil à partir de laquelle le transistor commencera à conduire, et vaut :

$$V_{TH} = V_{FB} + 2\Phi_P + \frac{Q_B^S}{C_{OX}^S} \quad \text{II.4}$$

Soit, en remplaçant Q_B^S par sa valeur dans (II.2)

$$V_{TH} = V_{FB} + 2\Phi_P + \frac{\sqrt{4\epsilon_{Si} q N_A \Phi_B}}{C_{OX}^S} \quad \text{II.5}$$

II.3.2 Le MOSFET latéral

Il s'agit là de la structure classiquement utilisée pour les MOSFET latéral. Les trois électrodes grille, drain et source sont connectées en face supérieure (figure II.2), le substrat (désigné plus loin par la lettre B, pour *Bulk*) constituant une quatrième connection.

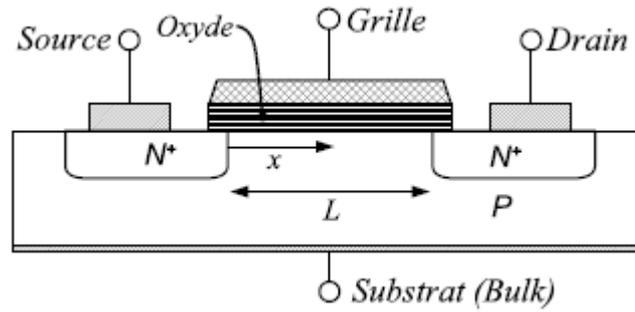


Fig. II.2 – Principe du transistor MOSFET latéral

En l'absence de tension V_{DS} , on retrouve la capacité MOS telle que décrite en II.1.1. L'application d'une tension V_{GB} positive supérieure à V_{TH} entraîne l'apparition d'un canal N dans le substrat P entre source et drain dont la résistance est donnée par :

$$R_{ch} = \frac{L}{W\mu_{ns}Q_n} \quad \text{II.6}$$

Où μ_{ns} est la mobilité de surface des électrons, L la longueur du canal et W sa largeur (perpendiculaire au plan de la figure II.2). Q_n est la charge disponible pour participer au courant de conduction.

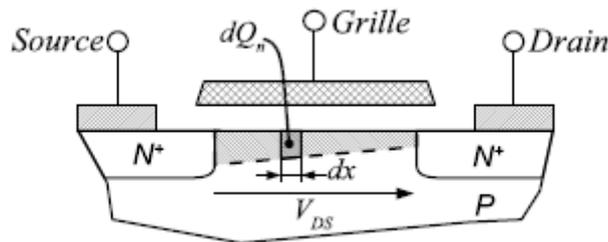


Fig. II.3 – Répartition de la charge Q_n dans le canal sous l'effet d'une polarisation drain-source

Cependant, pour qu'un courant circule dans le canal, il faut appliquer une tension V_{DS} . La répartition de la charge dans le canal va être modifiée par le champ électrique ainsi exercé. Un élément dx du canal (voir figure II.3) est soumis à une différence de potentiel avec la grille égale à $V_{GS} - V_C(x)$, $V_C(x)$ étant le potentiel dans le canal avec

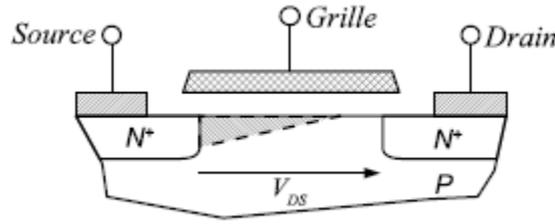


Fig. II.4 – Pincement du canal pour une tension V_{DS} supérieure à $V_{GS} - V_{TH}$

$V_c(0) = 0$ (on a donc $V_c(L) = V_{DS}$). La charge élémentaire dQ_n peut alors s'écrire :

$$\partial Q_n = C_{OX}^S w [V_{GS} - V_{TH} - V_c(x)] dx \quad \text{II.7}$$

La résistance offerte par cet élément dx est alors :

$$dR = \frac{dx}{\mu_{ns} \frac{dQ_n}{dx}} \quad \text{II.8}$$

Et la chute de tension dV_c devient

$$dV_c = dR \cdot I_d = \frac{dx}{\mu_{ns} C_{OX}^S w [V_{GS} - V_{TH} - V_c(x)]} \quad \text{II.9}$$

Soit, en intégrant x de 0 à L (c'est à dire $V_c(x)$ de 0 à V_{DS}), on obtient la valeur du courant de drain :

$$\int_0^L I_D dx = \int_0^{V_{DS}} \mu_{ns} C_{OX}^S w [V_{GS} - V_{TH} - V_c(x)] dV_c \quad \text{II.10}$$

$$I_D = \frac{\mu_{ns} C_{OX}^S w}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{II.11}$$

L'expression (II.11) n'est valable que pour un canal continu, c'est à dire $V_{GS} - V_{TH} < V_{DS}$. Au delà, on observe un pincement du canal du côté drain (figure II.4), et le courant n'augmente plus avec V_{DS} : le MOSFET fonctionne alors en régime de saturation. I_D sature à sa valeur maximale, pour laquelle $V_{GS} - V_{TH} = V_{DS}$. (II.11) s'écrit alors :

$$I_{D,SAT} = \frac{\mu_{ns} C_{OX}^S w}{2L} (V_{GS} - V_{TH})^2 \quad \text{II.12}$$

Le comportement du MOSFET évolue donc avec la tension drain source : pour les faibles valeurs de V_{DS} , le terme quadratique de l'équation (II.11) est négligeable, et on a une relation de la forme $I_D = R(V_{GS}) \cdot V_{DS}$ (comportement purement ohmique, modulé par V_{GS}). Lorsque V_{DS} augmente, ce terme quadratique devient de plus en plus important, jusqu'à arriver à la saturation.

II.3.3 Le MOSFET vertical

Les transistors MOSFET de puissance classiques sont obtenus par double diffusion sur un substrat épitaxie N^- , d'où le nom de *VDMOS* (Vertical Double Diffused MOS). Leur structure est très proche de celle des MOSFET latéraux présentée en II.1.2, en gardant un canal horizontal, mais en ajoutant une couche N^- dans l'épaisseur du substrat, destinée à tenir la plus grande partie de la tension drain-source lorsque le transistor est bloqué. Les contacts de drain et de source sont alors disposés de part et d'autre du substrat. La figure II.5 présente une cellule élémentaire d'un transistor MOSFET, étant entendu qu'un de ces transistors en comporte de quelques milliers à plusieurs millions [10].

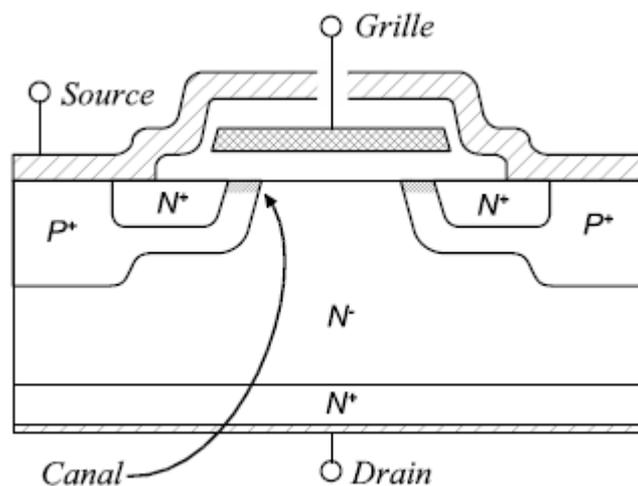


FIG. II.5 – Coupe d'une cellule de transistor VDMOS[10]

La métallisation de source, qui recouvre la face supérieure du transistor, vient relier les puits N^+ de chaque cellule, mais également contacter les poches P^+ pour les polariser par rapport à la grille et donc rendre le transistor commandable. Cette connexion entre source et substrat vient également court-circuiter l'émetteur et la base du transistor NPN parasite constitué des zones N^+ source, P et N^- drain. En l'absence de ce court-circuit, une différence de potentiel entre la poche P et la source entraînerait le verrouillage du MOSFET à l'état *on*. L'interconnexion $P^+ - N^+$ n'a cependant pas que des avantages : elle fait apparaître une diode entre drain et source, diode dont les performances ne peuvent être optimisées qu'au détriment de celles du transistor MOSFET (La réduction de la durée de vie, notamment, avantage les premières mais réduit les secondes). Notons tout de même que de nombreux travaux portent sur l'amélioration de cette diode.

Lorsque le MOSFET est bloqué, et en raison de la forte dissymétrie de dopage entre les zones P (canal) et N^- (couche épitaxiée), la zone de charge d'espace s'étendra en quasi

totalité du côté N^- . Si l'on fait abstraction des problèmes liés à la périphérie du composant, le dopage et l'épaisseur de la couche épitaxiée conditionneront donc la tenue en tension du transistor, comme toujours dans les dispositifs de l'électronique de puissance. Cependant, le MOSFET étant un dispositif unipolaire, aucun mécanisme de forte injection ne viendra moduler la résistivité de la couche N^- à l'état passant, résistivité elle aussi conditionnée par le dopage et l'épaisseur de la couche N^- . L'augmentation de la tenue en tension à l'état bloqué (en réduisant le dopage ou en augmentant l'épaisseur de la couche N^-) entraîne donc l'augmentation de la résistance à l'état passant. Ce compromis $R_{DS(on)}/V_{BP}$ constitue le principal inconvénient du transistor MOSFET, et le condamne aux applications *basses tension* (inférieure à quelques centaines de volts). Au dessus, l'IGBT présente en général de plus faibles pertes en conduction.

II.3.4 Comportement statique

Tout comme pour le MOSFET latéral, le fonctionnement du MOSFET vertical en conduction peut être séparé en deux régimes : linéaire et saturé. Dans le premier, le courant est imposé par le circuit extérieur, le MOSFET se comportant comme une résistance modulée par la tension V_{GS} . Dans le second, le courant est limité par le transistor, et ne dépend plus que de V_{GS} (en première approximation).

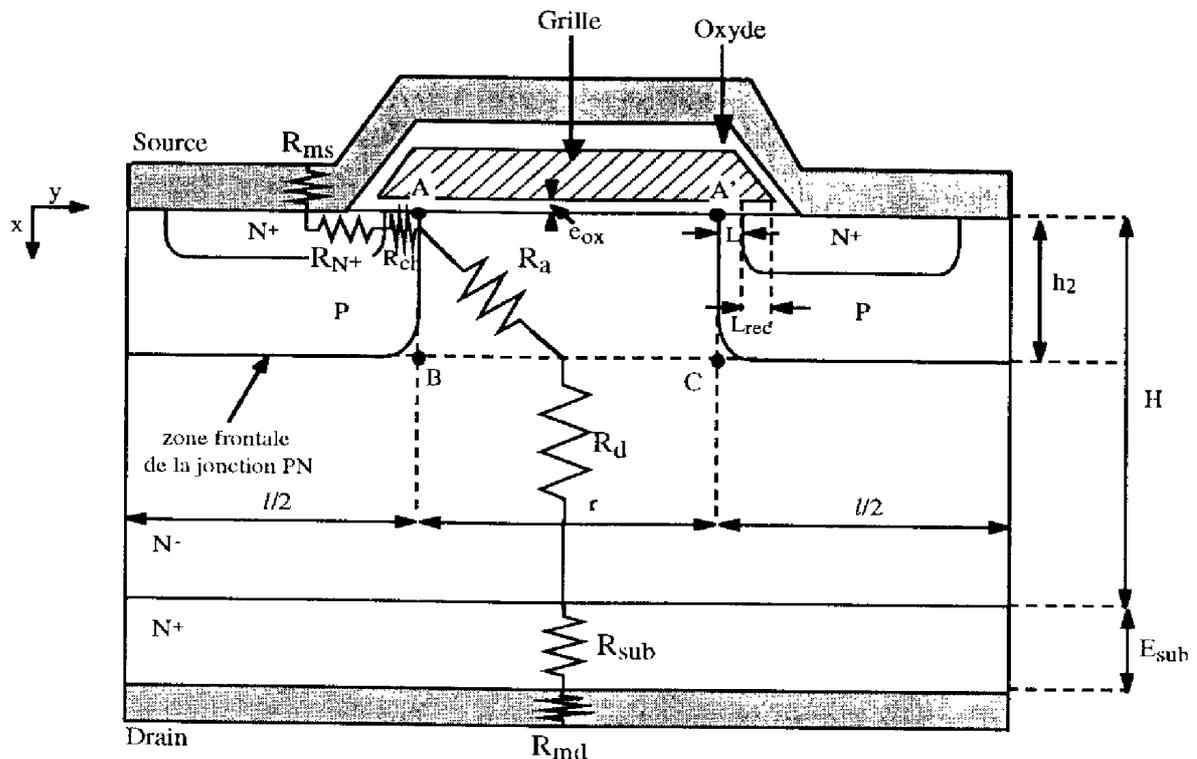


Fig. II.6 – Localisation des différentes composantes résistives dans un MOSFET vertical [11]

Le canal, étudié sommairement en II.1.2 n'est plus le seul à intervenir durant la conduction dans un MOSFET vertical. On peut écrire (figure II.6) :

$$R_{DSON} = R_{CH} + R_a + R_D + R_{sub} \quad II.13$$

où:

- R_{CH} est la résistance du canal, modulée par V_{GS} ;
- R_a est la résistance de la couche d'accumulation, située sous l'électrode de grille, dans la zone N^- ;
- R_D est la résistance de la couche épitaxiée ;
- R_{sub} est la résistance de drain, liée à la connectique et au substrat N^+ .

Certaines de ces résistances peuvent présenter une dépendance à V_{DS} , notamment R_{CH} (effet de raccourcissement du canal) et R_{JFET} . R_S et R_D ne dépendent normalement que de paramètres intrinsèques du composant, comme le dopage de ses différentes régions et sa géométrie.

II.3.4.1 La résistance de canal R_{ch}

II.3.4.1.a Dopage variable dans le canal

La détermination de l'expression du courant entre source et drain suit un mode opératoire classique qui consiste en trois étapes :

- 1- Résolution de l'équation de neutralité dans la structure MOS.
- 2- Détermination du nombre totale des porteurs minoritaires dans une tranche de canal.
- 3- Intégration de la charge et équation du courant

Les phénomènes principaux à prendre en compte dans le cas de canal du transistor VDMOS sont :

- La non-uniformité du dopage dans le canal dans la direction source-drain. Ce profil peut être défini en première approximation par une dépendance exponentielle de la coordonnée y dans la direction drain source

$$N_A(y) = N_{Amax} \exp\left(\frac{y}{L} \ln\left(\frac{N_D}{N_{Amax}}\right)\right) \quad II.14$$

Où N_{Amax} , N_D représente respectivement la valeur maximale du dopage dans le canal et la valeur minimale extrapolée au droit du drain.

La variation de la mobilité sous l'effet des champs électrique longitudinale et transversale.

En première approximation nous d'écrivons la variation de mobilité par la relation [11] qui est admise pour traitée analytiquement les équations du transistor VDMOS :

$$\mu_{eff} = \frac{\mu_0}{\left[1 + \frac{d\phi_s}{dy} \frac{1}{E_0}\right] \left[1 + \frac{V'_{gs} - \phi_s}{\psi}\right]} \quad II.15$$

$V'_{gs} = V_{gs} + \frac{Q_{ss}}{C_{ox}} - \Phi_{ms}$ est la tension effective appliquer sur la grille, E_0 champ électrique longitudinale au-delà duquel la vitesse sature ϕ_s le potentielle électrostatique à la surface du semi-conducteur et ψ un paramétré dépendant de l'épaisseur d'oxyde, du temps de relaxation et de la masse effective des porteurs à l'interface [11], Ce paramètre Ψ traduit les effets du champ transversale : il est appelé « potentielle de réduction de la mobilité sous l'effet du champ électrique transversale »

La résistance de canal est, dans ce cas, calculée en déterminant le rapport $(V_{CH}/I_D)_{V_{CH} \rightarrow 0}$ Ou V_{ch} est la tension appliquée aux bornes de canal d'inversion. La détermination de cette résistance découle donc de l'expression du courant I_D circulant entre le drain et la source pour des valeurs de V_{DS} et par suit de V_{CH} faibles. Si nous considérons le profil de dopage réel dans le canal, alors on peut démontrer que cette expression s'écrit [11] :

$$I_D = \mu_0 C_{ox} \frac{Z}{L} \frac{V_{CH}}{1 + \frac{V'_{gs} - 2\Phi_F}{\psi}} \frac{\ln \sqrt{\frac{N_D}{N_{Amax}}} (V'_{gs} - 2\Phi_F)}{\ln \left[1 + \frac{(V'_{gs} - 2\Phi_F) \left(\sqrt{\frac{N_D}{N_{Amax}}} - 1 \right)}{V'_{gs} - 2\Phi_F - \sqrt{2\Phi_B \Phi_F} \sqrt{\frac{N_D}{N_{Amax}}}} \right]} \quad II.16$$

Par suite le rapport $(V_{CH}/I_D)_{V_{CH} \rightarrow 0}$ qui définit la résistance de canal a pour expression, en faisant intervenir la tension de seuil V_T :

$$R_{ch} = \left(\mu_0 C_{ox} \frac{Z}{L} \right)^{-1} \left(1 + \frac{V'_{gs} - 2\Phi_F}{\psi} \right) \frac{\ln \left[1 + \frac{(V'_{gs} - 2\Phi_F) \left(\sqrt{\frac{N_D}{N_{Amax}}} \right)}{(V_{gs} - V_T) \sqrt{\frac{N_D}{N_{Amax}}}} \right]}{\ln \sqrt{\frac{N_D}{N_{Amax}}} (V'_{gs} - 2\Phi_F)} \quad II.17$$

II.3.4.1.b Approximation du dopage uniforme dans le canal

Si on considère que le dopage est uniforme dans le canal est égale à N_{Dmax} alors le courant de drain présente, dans ces conditions, l'expression suivante :

$$I_{D_{V_{ch} \rightarrow 0}} = \mu_0 C_{ox} \frac{Z}{L} \psi \frac{V'_{gs} - 2 \cdot \phi_F - \sqrt{2 \phi_F \phi_B}}{\psi + V'_{gs} - 2 \phi_F} V_{ch} \quad \text{II. 18}$$

Soit encore, en introduisant la tension de seuil V_T défini par la relation :

$$I_{D_{V_{ch} \rightarrow 0}} = \mu_0 C_{ox} \frac{Z}{L} \cdot \Psi \frac{V_{gs} - V_T}{\Psi + V'_{gs} - 2 \phi_F} V_{ch} \quad \text{II. 19}$$

Par suite le rapport $(V_{ch}/I_D)V_{ch \rightarrow 0}$ qui définit la résistance de canal, vaut

$$R_{ch} = \left(\mu_0 C_{ox} \Psi \frac{Z}{L} \right)^{-1} \frac{V'_{gs} + \Psi - 2 \phi_F}{V_{gs} - V_T} \quad \text{II. 20}$$

Cette approximation du canal dopé uniformément est très utile car, en effet, l'erreur qui est faite par rapport au calcul rigoureux n'est pas très importante.

II.3.4.2 La résistance d'accès au drain R_a

La résistance accès au drain R_a [16] est défini comme étant une résistance qui relie la fin de canal (point A) à la ligne BC – figure – considérée comme l'équipotentielle délimitant la zone de défocalisation des lignes de courant dans le volume de la zone épitaxiée. Cette ligne BC est située à une distance h_2 de l'interface Si-SiO₂ égale à la profondeur de jonction de la diffusion P. La résistance d'accès au drain est contrôlée par deux mécanismes dont les effets sont répartis est sont lié à : La présence d'une couche accumulée induite par la polarisation positive de grille, à la surface de la zone N- faiblement dopée située sous l'oxyde de grille.

La présence de la résistance de volume de la zone N- située au-dessous de cette couche accumulée entre deux caissons P adjacents.

Plusieurs approches ont été proposées pour déterminer la résistance d'accès au drain d'un transistor VDMOS. Nous allons rappeler succinctement l'approche de Sun et Plumar [12], et celle de Phan Pham [16] et Sanchez [17]

II.3.4.2.a Approche proposée par Sun Plumar

Sun et Plumar [12] ont simplement décomposée cette résistance d'accès R_a en la somme de deux résistances : une résistance d'accumulation R_{acc} , représentant la contribution résistive de la couche accumulée sous la grille, et une résistance appelée RJFET traduisant la présence de la zone volumique N- entre deux caissons P adjacents

L'expression de la résistance de la couche d'accumulation R_{acc} est donnée par :

$$R_{acc} = \frac{1}{3} \left(\mu_{0acc} \cdot C_{ox} \cdot \Lambda \cdot \frac{Z}{r/2} \right)^{-1} \frac{V'_{gs} + \Lambda - 2\Phi_F}{V_{gs} - V_T} \quad \text{II. 21}$$

Pour un transistor à cellules carrée alignées, la résistance spécifique de la couche accumulée R_{acc} s'écrit donc :

$$R_{acc} = R_{acc} \cdot S = \frac{1}{24} \frac{r(r+L)^2}{l\mu_{0acc}C_{ox}\Lambda} \frac{V'_{gs} + \Lambda - 2\Phi_F}{V_{gs} - V_T} \quad \text{II. 22}$$

L'expression de la résistance de R_{JFET} proposée par Sun et Plumar est, quant à elle plus complexe : l'intégration, sur toute la largeur r , d'une résistance élémentaire dR_{JFET} d'une tranche du semi-conducteur de la largeur dy permet d'obtenir une expression approchée de cette résistance :

$$R_{JFET} = \frac{2}{q\mu_n N_D Z} \left[\frac{1}{\sqrt{1 - \left(\frac{2h_2}{L'}\right)^2}} \tan^{-1}(0.414) \sqrt{\frac{L' + 2h_2}{L' - 2h_2}} - \frac{\pi}{8} \right] \quad \text{II. 23}$$

Où la longueur L' est définie ainsi : $L' = L_G + 0.3h_2 = [r + 2.L + 2L_{rec}] + 0.3h_2$

La résistance spécifique $R_{JFET.sp}$ correspondant au cas d'un transistor à cellules carrées alignées à donc pour expression :

$$R_{JFET.sp} = \frac{(r+L)^2}{2q\mu_n N_D L} \left[\frac{1}{\sqrt{1 - \left(\frac{2h_2}{L'}\right)^2}} \cdot \tan^{-1}(0.414) \cdot \sqrt{\frac{L' + 2h_2}{L' - 2h_2}} - \frac{\pi}{8} \right] \quad \text{II. 24}$$

II.3.4.2.1.b Approche proposée par Phan Pham et Sanchez

Pour d'écrire les propriétés électrique de la zone d'accès au drain, Phan Pham [16] à proposé, pour les faibles tensions de drain, de représenter la zone de semi-conducteur N-comprise entre les lignes AA' et BC par un schéma distribuer selon les deux directions X et Y. Suivant la direction Y, est pris en compte l'effet de modification de la résistance superficielle de la couche accumulée par la tension grille-drain. Entre l'interface Si-SiO₂ et l'équipotentielle BC, est pris en compte l'effet de résistance de volume.

En intégrant courant et tension, il a démontré que l'expression analytique de la résistance d'accès pouvait être considérée comme le produit de la résistance d'un barreau semi-conducteur de section $Z.r/2$, d'épaisseur h_2 et du dopage N_D , par un coefficient λ qui dépende des dimensions géométrique, du dopage et de la tension de grille V_{GS} . Cette résistance R_a s'écrit [16] :

$$R_a = \frac{2h_2}{q\mu_n N_D \cdot Z \cdot r} \lambda \quad \text{II. 25}$$

Ou le coefficient λ est défini par :

$$\lambda = \frac{r}{2} \sqrt{\frac{q\mu_n N_D}{\mu_{acc} C_{ox} h_2 f(V'_{gs})}} \cdot \frac{1}{th \left[\frac{r}{2} \sqrt{\frac{q\mu_n N_D}{\mu_{acc} C_{ox} h_2 f(V'_{gs})}} \right]} \quad \text{II. 26}$$

$$f(V'_{gs}) = V'_{gs} - \frac{KT}{q} \ln \left[1 + \frac{q}{KT} \frac{V'^2_{gs}}{\Phi(N^-)} \right] \quad \text{II. 27}$$

Pour la gamme des tensions étudiées, la fonction $f(V'_{GS})$ est de fait réduite à la tension V_{GS} .

II.3.4.3 La résistance de drift R_d de la couche épitaxiée

Plusieurs expressions analytiques de la résistance spécifique de drift R_d ont été établies dans le passé pour le VDMOS [10.11]. Nous pouvons retenir, pour notre part et pour des structures basses tension. L'approche faite par Grandal [15] qui tient compte de la défocalisation des lignes de courant sous la zone diffusée P sous un angle de 45° comme l'avait proposée Hu [19]. Cette approche permet d'obtenir des expressions adaptée à chaque type de configuration géométriques que l'on peut rencontrer. Dans le cas de nos transistor d'étude à cellules carrées alignées, l'expression de R_D sous met sous la forme :

$$R_{d.sp} = R_d \cdot S = (q\mu_n N_D)^{-1} \left[(H - h_2) - \frac{l}{2} + \frac{r+L}{4} \ln \left(1 + \frac{2l}{r} \right) \right] \quad \text{si } H - h > \frac{l}{2} \quad \text{II. 28}$$

$$R_{d.sp} = R_d \cdot S = (r+l)[4q\mu_n N_D]^{-1} \ln \left[\frac{[2 \cdot (H - h_2) + r](2 \cdot l + r)}{r(2 \cdot l + r - 2(H - h_2))} \right] \quad \text{si } H - h_2 < \frac{l}{2} \quad \text{II. 29}$$

D'après ces relations, la résistance spécifique de drift dépend des dimensions r et l définies précédemment, mais aussi du dopage N_D et de l'épaisseur $(H-h_2)$ de la couche épitaxie. Ces de derniers paramètres, qui fixent également la tenue en tension du composant,

doivent être optimisée afin de minimisée la résistance spécifiques de « drift » dans cette optique, plusieurs calculs approchée ainsi qu'une solution exacte ont été réalisée. On se propose ici la plus importante approche.

II.3.4.3.a Approximation de Phan Pham

Dans le souci de traiter le cas d'un transistor MOS présentant un chute de tension à l'état passant la plus faible possible, Phan Pham [16] à chercher à minimiser la résistance par unité de surface de la zone N- , par un choix judicieux du couple « épaisseur/dopage ». Il a démontré que le couple « épaisseur/dopage » minimisant la résistance Répi pouvait exprimer suivant les relations suivantes :

$$(H - h_2) = 1.8 \cdot 10^{-6} (V_{DBR})^{\frac{7}{6}} \quad \text{II. 30}$$

$$N_D = 1.94 \cdot 10^{18} (V_{DBR})^{-\frac{4}{3}} \quad \text{II. 31}$$

II.3.4.3.b Approximation de Ghandi

Ghandi [14] a effectué le calcul de l'intégrale d'ionisation en considérant la jonction PN comme étant une jonction plane infinie pour cela il a utilisé l'approximation du Fulop [15] qui considère les coefficients d'ionisation an et ab comme étant identique. Dans ce cas, il a obtenue la tension de claquage en fonction de l'extension maximale de la charge d'espace (H-h2) et des paramètres de la structure :

$$(H - h_2) = \left[\frac{8}{A \left(\frac{qN_D}{\epsilon_0 \epsilon_{Si}} \right)^7} \right]^{1/8} \quad \text{II. 32}$$

Ce qui donne numériquement :

$$(H - h_2) = 2.64 \cdot 10^{10} (N_D)^{-7/8} \quad \text{II.33}$$

Or, l'extension maximale (H-h2) de la charge d'espace d'une jonction PN plane abrupte – c'est-à-dire au claquage – est donnée par [10] :

$$(H - h_2) = \sqrt{\frac{2\epsilon_0 \epsilon_{Si}}{qN_D} V_{bp}} \quad \text{II. 34}$$

En combinant les expressions II.32 et II.33, et après application numérique, le dopage N_D de la couche N- en fonction de la tenue en tension V_{BP} est exprimé par la relation suivante :

$$N_D = 1.8 \cdot 10^{18} (V_{BP})^{-4/3} \quad \text{II. 35}$$

II.3.4.4 La résistance de substrat

L'expression donnant la résistance spécifique de substrat $R_{sub.sp}$ à été donnée précédemment, elle a pour forme :

$$R_{sub.sp} = R_{sub} \cdot S = (q \cdot \mu_{nsub} \cdot N_{sub})^{-1} E_{sub} \quad \text{II. 36}$$

Ou $\frac{1}{q \cdot \mu_{nsub} \cdot N_{sub}}$ est la résistivité du substrat, qui est fonction de la mobilité et du dopage

E_{sub} étant le dopage du substrat, S surface d'une cellule élémentaire.

On peut remarquer que cette résistance spécifique est indépendante de la surface S, est donc des paramètres r et l , puisque elle est, en fait, le produit d'une résistance calculée par la relation classique d'un barreau semi-conducteur ($R = \rho \cdot \frac{l}{S}$) par la surface S. Dans le cas d'un substrat dopé à l'arsenic ayant une résistivité de $2 \text{ m}\Omega \cdot \text{cm}$ et une épaisseur de $500 \mu\text{m}$, la contribution théorique de cette résistance serait de $0.1 \text{ m}\Omega \cdot \text{cm}^2$

Pour optimisée cette résistance de substrat, deux solution s'offrent au concepteur : il peut soit réduire l'épaisseur E_{SUB} de substrat – mais il doit quand même être relativement épais pour permettre à la plaquette de rester robuste durant les étapes de fabrication, de coupe et de montage du composant, soit utiliser des substrats présentant la plus faible résistivité possible.

II.3.5 Comportement dynamique

Le transistor MOSFET étant un dispositif à porteurs majoritaires, il ne souffre pas des lenteurs des composants bipolaires (recombinaisons, évacuation des charges...). Par contre, la structure métal-oxyde-semi-conducteur vue en II.1.1 constitue une capacité, dont la charge va constituer le principal facteur ralentissant du transistor.

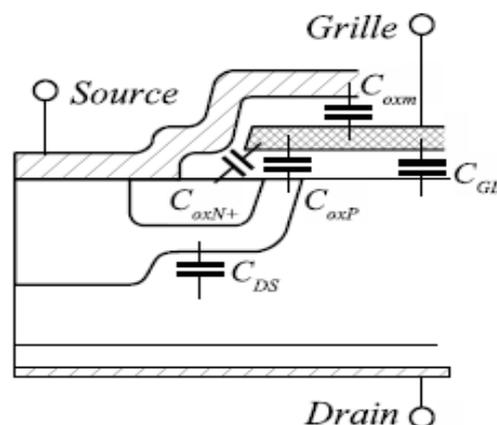


Fig. II.8 – Effets Capacitifs

II.3.5.1 Capacités parasites

Si l'on considère la figure II.8, on peut voir que la grille forme des capacités avec les différentes zones du MOSFET : entre grille et métallisation de source (C_{oxm}) ; entre grille et zone N^+ de source (C_{oxN^+}) ; entre grille et zone P du canal (C_{oxP}) et entre grille et drain (C_{GD}) [11]. De la même manière, lorsqu'une zone de charge d'espace se développe suivant la jonction $P-N$ de la diode intrinsèque, une capacité C_{DS} apparaît, cette fois entre le drain et la source du transistor. C_{oxm} , C_{oxP} et C_{oxN^+} peuvent être considérées comme des capacités constantes si l'on suppose que les zones de charge d'espace qui peuvent apparaître dans les régions N^+ et P ont une épaisseur faible. Leur expression est donnée par :

$$C_{OXI} = A_i \frac{\epsilon_{ox}}{e_{ox}} \quad \text{II.37}$$

Où A_i est la surface en regard effective des deux armatures, ϵ_{ox} la permittivité de l'oxyde et e_{ox} l'épaisseur de la couche d'oxyde (supposée constante tout autour de la grille).

La capacité C_{GD} a un comportement un peu plus complexe : lorsque le transistor est bloqué, une zone de charge d'espace se développe dans la région v sous l'effet d'une polarisation drain-source positive, jusqu'à l'occuper toute entière.

En l'absence de cette polarisation, C_{GD} s'exprime par l'équation (II.38). Elle va donc montrer une forte sensibilité à V_{GD} . On peut la modéliser par deux capacités en série : l'une, variable, causée par l'extension de la zone de charge d'espace (C_{GDj}) ; l'autre, constante, formée par la couche d'oxyde (C_{oxD})

$$C_{GD} = \frac{C_{oxD} \times C_{GDj}}{C_{oxD} + C_{GDj}} \quad \text{II.38}$$

Selon [1], l'épaisseur de la zone de charge d'espace qui forme C_{GDj} est donnée par :

$$e_{GDj} = \sqrt{\frac{2\epsilon_{ox}V_{GD}}{qN}} \quad \text{II.39}$$

Soit, en remplaçant e_{ox} et ϵ_{ox} par e_{GDj} et ϵ_{Si} dans II.27 :

$$C_{GDj} = A_{GD} \sqrt{\frac{q\epsilon_{ox}N}{2V_{GD}}} \quad \text{II.40}$$

Valable pour les tensions V_{GD} positives. En dessous, C_{GD} vaut C_{oxD} . La capacité C_{DS} est également causée par une zone de charge d'espace, qui apparaît lorsque la jonction P^+-N^- est polarisée en inverse. Une formulation plus poussée de cette capacité sera proposée dans la

section sur la modélisation de la diode intrinsèque. Dans l'étude qui nous intéresse, nous définirons trois capacités : C_{GS} —formée des trois capacités constantes C_{oxm} , C_{oxP} et C_{oxN+} — C_{GD} et C_{DS} . D'autre part, pour des raisons de facilité de mesure, on décrit parfois ces capacités sous la forme de C_{iss} (capacité d'entrée, drain et source court-circuités), C_{rss} (capacité de contre-réaction) et C_{oss} (capacité de sortie, grille et source court circuitées) définies, en petits signaux, par :

$$C_{iss} = C_{GD} + C_{GS} \quad \text{II.41}$$

$$C_{rss} = C_{GD} \quad \text{II.42}$$

$$C_{oss} = C_{GD} + C_{DS} \quad \text{II.43}$$

Pour faire commuter un MOSFET, il faut donc charger ou décharger C_{iss} , de manière à se placer sur le point de fonctionnement désiré de la caractéristique statique. Ces capacités parasites peuvent avoir un autre effet durant les commutations: C_{GS} et C_{GD} forment un diviseur capacitif qui peut venir charger la grille du transistor lors des commutations. Autrement dit, l'application d'un gradient de tension entre drain et source peut, via le diviseur de tension capacitif, venir modifier V_{GS} et faire commuter le MOSFET de façon incontrôlée.

II.3.5.2 Diode intrinsèque

La capacité C_{DS} présentée dans la figure II.9 est la capacité de jonction de la diode intrinsèque. Cette diode, dont la présence est inévitable sous peine de se retrouver avec un transistor NPN parasite totalement incontrôlable, a longtemps été considérée comme inutilisable, et des schémas ont été proposés pour s'en affranchir [11].

La situation s'est nettement améliorée, et des méthodes ont été développées pour réduire la charge recouvrée lors des commutations. C'était nécessaire, car dans des applications de type convertisseur Buck, la diode intrinsèque est un composant fonctionnel à part entière. L'irradiation électronique permet de réduire la durée de vie des porteurs par un facteur de plus de trois [7], au point que les diodes intrinsèques des MOSFET peuvent rivaliser avec des diodes PiN discrètes.

D'autres méthodes permettent d'augmenter la rapidité de la diode intrinsèque, comme un dopage d'or ou de platine. Ces solutions ont cependant un effet négatif sur le $R_{DS(on)}$ car elles réduisent la mobilité dans le canal.

Les éléments participant au comportement dynamique du MOSFET de puissance sont repris schématiquement sur la figure II.9.

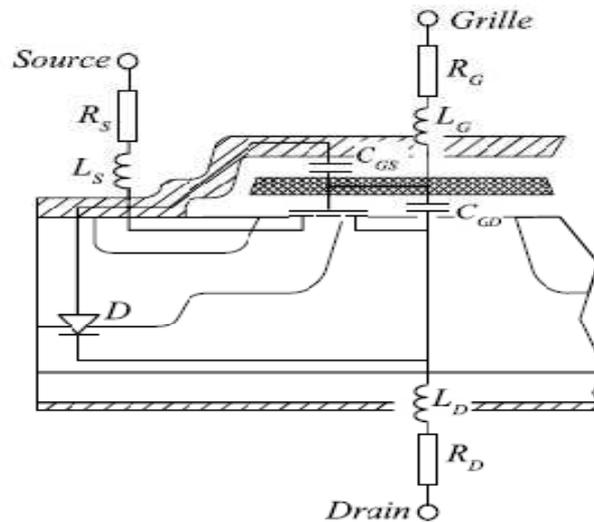


FIG. II.9 –Modélisation à l'aide d'éléments discrets du comportement dynamique du transistor MOSFET)

II.4 Influence de la température de jonction (T_J) sur le comportement du transistor

Les semi-conducteurs étant très sensibles à la température, il est primordial de comprendre les phénomènes qu'elle entraîne.

II.4.1 Modification de la caractéristique statique

Les caractéristiques statiques $I_D(V_{DS})$ d'un MOSFET (*FDP038AN*), pour plusieurs valeurs de température de jonction sont tracées en figure II.9. La figure II.10 reprend, sur une plage de V_{DS} plus faible (correspondant au régime linéaire), les faisceaux de courbes obtenus pour deux tensions de grille. Il faut noter que ces caractéristiques ont été obtenues à l'aide du logiciel PSPICE 10.5.

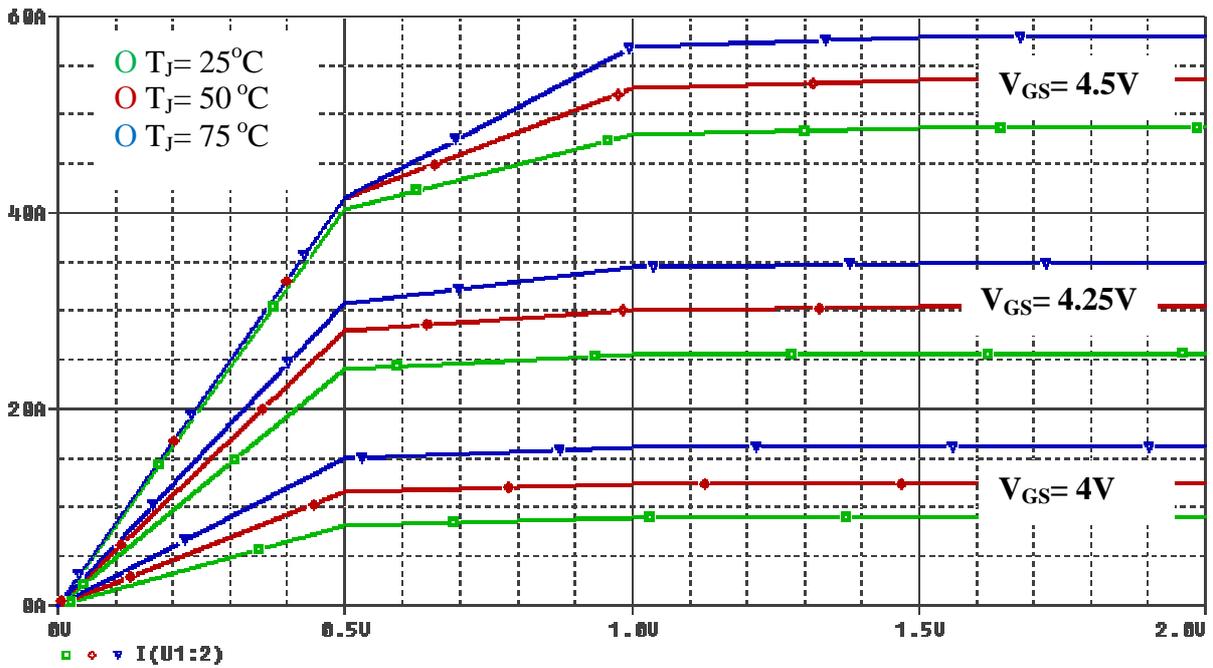


Fig. II.9 – Caractéristique statique d’un transistor MOSFET FDP038AN en fonction de la température. En régime de saturation, le courant de drain augmente avec la température.

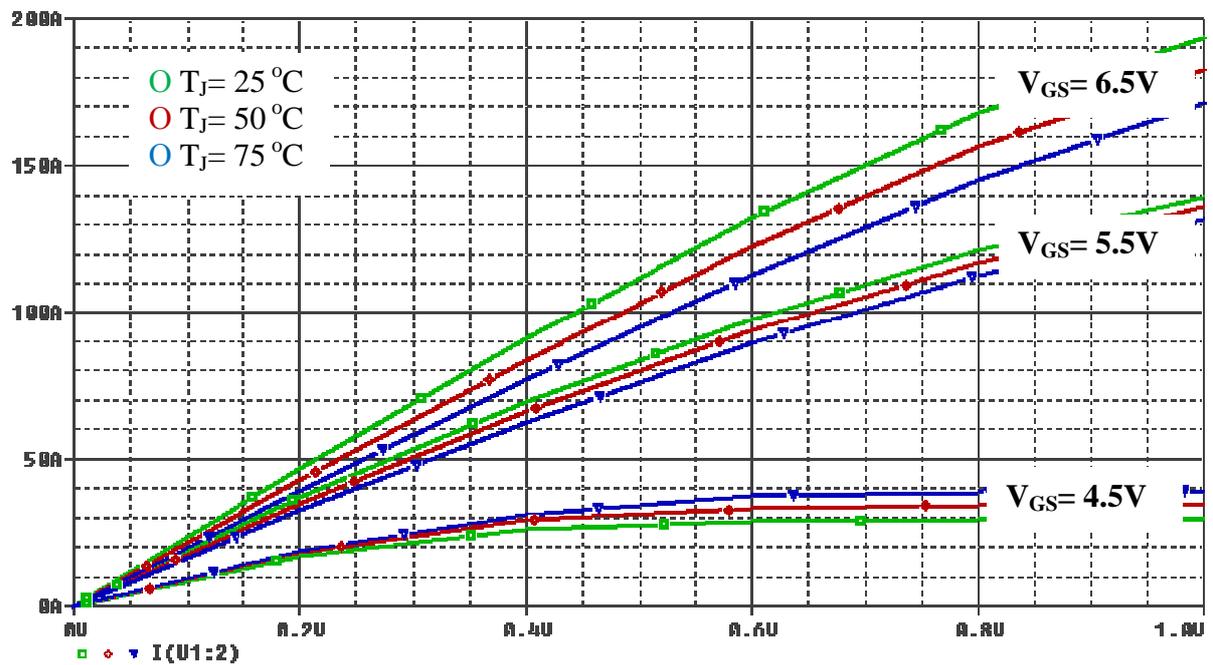


Fig. II.10 – Caractéristique statique d’un transistor MOSFET FDP038AN en régime linéaire. Le courant de drain décroît lorsque la température augmente.

À partir de ces deux jeux de caractéristiques statiques, on peut voir qu'en régime linéaire le composant possède un fonctionnement stable en température (le courant de drain diminue lorsque la température augmente). En régime de saturation, au contraire, le courant augmente avec la température. Les limites de ce fonctionnement instable dépendent du transistor utilisé, notamment de sa tension de seuil (V_{TH}) et de sa transconductance (K_P).

Tension de seuil selon [12] le seul élément dépendant de la température dans l'équation (II.5) est Φ_P (donné dans l'équation (II.3)). On a en effet :

$$\Phi_P = U_T \ln\left(\frac{N_A}{n_i}\right) \quad \text{II.44}$$

Avec

$$U_T = \frac{kT}{q} \quad \text{II.45}$$

et $n_i = 3,87 \cdot 10^{16} T^{3/2} \cdot e^{-7.02 \cdot 10^3/T}$ deux fonctions de la température. Il en résulte qu'aux niveaux de dopages de la zone P du canal, $\frac{\partial \Phi_P}{\partial T}$ est négatif. On a donc $\frac{\partial V_{TH}}{\partial T}$ négatif également, c'est à dire que la tension de seuil des transistors MOSFET décroît lorsque la température augmente.

Transconductance

Selon les équations (II.11) et (II.12), le courant de drain vaut :

$$\begin{cases} I_D = K_P \left[(V_{GS} - V_{TH})^2 V_{DS} - \frac{V_{DS}^2}{2} \right] & \text{Pour } V_{GS} - V_{TH} > 0 \\ I_D = \frac{K_P}{2} (V_{GS} - V_{TH})^2 & \text{Pour } V_{GS} - V_{TH} < 0 \end{cases} \quad \text{II.46}$$

Où K_P est la transconductance du transistor et vaut :

$$K_P = \frac{\mu_{nsa} C_{ox}^S W}{L} \quad \text{II.47}$$

Les dimensions géométriques W et L ne dépendant bien entendu pas de la température, de même que C_{ox} , le seul paramètre thermosensible de K_P est donc la mobilité des électrons.

Cette dernière étant décroissante lorsque la température augmente, on peut en déduire que $\frac{\partial K_P}{\partial T}$ est négatif.

Apparition d'instabilité La température ayant tendance à faire diminuer V_{TH} , donc à augmenter $V_{GS}-V_{TH}$, I_D devrait croître avec T . Cependant, nous avons vu que la transconductance diminue avec la température, ce qui tend à réduire I_D .

En régime de saturation, le courant de drain est donné par (II.27) et vaut :

$$I_D = \frac{K_P}{2} (V_{GS} - V_{TH})^2 \quad \text{II.48}$$

Le transistor aura un comportement stable en température si $\frac{\partial I_D}{\partial T}$ est négatif. Dans le cas contraire, les cellules du transistor les plus chaudes vont conduire un courant de plus en plus important, menant à un emballement thermique. Si l'on dérive (II.28) par rapport à T , on obtient :

$$\frac{\partial I_D}{\partial T} = K_P (V_{GS} - V_{TH}) \frac{\partial V_{TH}}{\partial T} - \frac{(V_{GS} - V_{TH})^2}{2} \frac{\partial K_P}{\partial T} \quad \text{II.49}$$

Nous avons vu ci-dessus que $\frac{\partial V_{TH}}{\partial T}$ et $\frac{\partial K_P}{\partial T}$ sont tous deux négatifs. La variation de K_P avec la température étant sensiblement celle de la mobilité des électrons, on peut écrire :

$$K_P(T) = K_{P0} \left(\frac{T}{300}\right)^{-2.4} = K'_P \cdot T^{-2.4} \quad \text{II.50}$$

Les transistors MOSFET basse tension, fort courant se caractérisent par une forte valeur de transconductance, c'est à dire une forte variation du courant de drain pour une faible variation de $V_{GS} - V_{TH}$. Ces transistors devraient donc être plus stables que leurs équivalents haute tension, puisque le second terme de (II.29) est plus important.

Cependant, l'augmentation de la densité d'intégration des MOSFET impose l'utilisation d'oxyde de grille le plus mince possible, ce qui augmente C_{OX} . Afin de conserver un V_{TH} suffisant (équation (II.5)), les constructeurs sont obligés d'augmenter le dopage N_A . Comme on a $N_A > n_i$, $\frac{\partial \Phi_P}{\partial T}$ augmente lorsque N_A augmente. Le premier terme de (II.29) est donc également plus important dans les MOSFET basse tension.

Dans la pratique, tous les MOSFET ont, en régime de saturation, un comportement instable ($\frac{\partial I_D}{\partial T} > 0$) en dessous d'un certain courant, puis un comportement stable au-dessus. En

effet, lorsque $V_{GS} - V_{TH}$ est faible, le second terme de (II.29) est négligeable. Dans les MOSFET basse tension récents, on observe que cette valeur de courant correspondant à la « stabilisation » est très élevée. On n'a alors plus de fonctionnement stable en régime de saturation. Les constructeurs conseillent désormais de ne pas utiliser les transistors les plus récents pour un fonctionnement en saturation, mais plutôt les anciennes générations, qui possèdent une sensibilité à la tension de seuil moins marquée. La figure II.11 indique clairement l'effet de la température sur la caractéristique courant-tension d'un VDMOSFET.

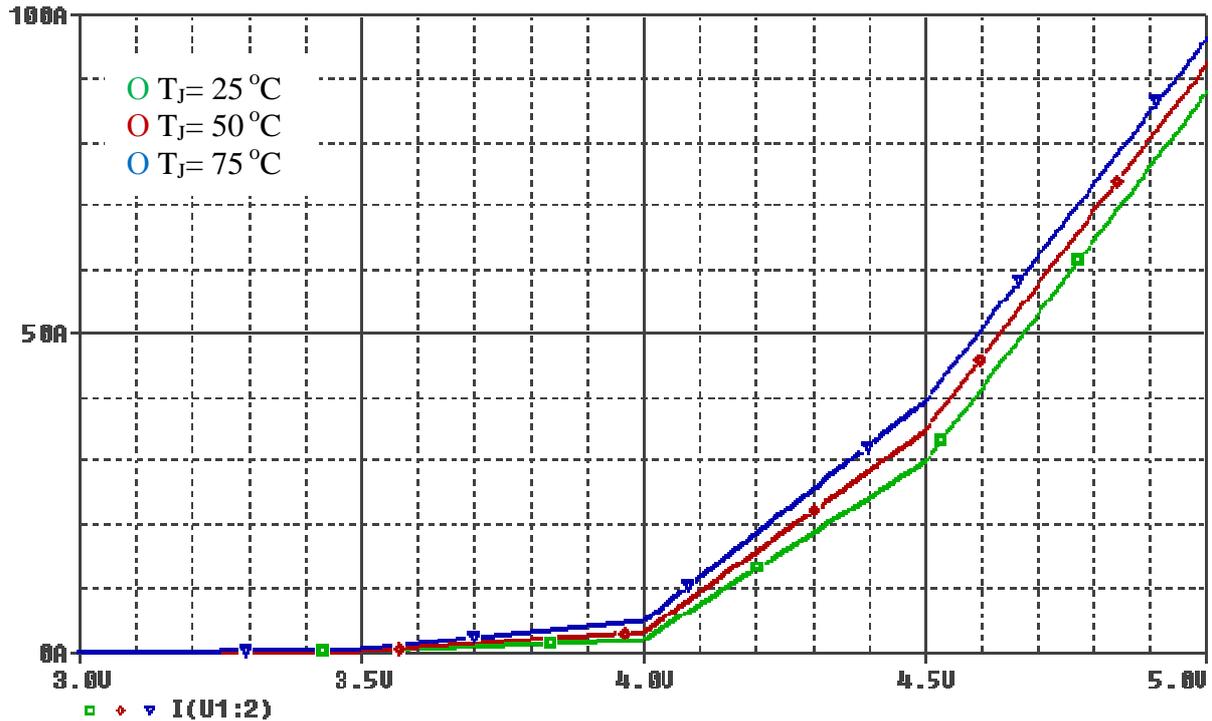


Fig. II.11 – Évolution du courant de drain en fonction de la tension grille-source À différentes températures de jonction pour un MOSFET FDB035AN06

II.4.2 Modification du comportement dynamique

Les caractéristiques dynamiques des transistors MOSFET ne varient pas significativement avec la température : les capacités parasites ne sont que peu modifiées. Seule la diode interne voit son courant de recouvrement augmenter, ce qui peut s'avérer dangereux.

II.5 Mise en œuvre de macromodèle PSPICE

Une fois les équations du modèle écrites, il reste à les adapter au logiciel de simulation. De nombreux simulateurs sont actuellement disponibles, mais seuls quelques-uns permettent d'intégrer de nouveaux modèles. Parmi ceux-ci, citons *SABER*, *SMASH* ou *PSPICE* 10.5. Le langage *VHDL-AMS* constitue une solution à part, puisque si plusieurs éditeurs commencent à proposer des compilateurs, il n'existe pas encore de bibliothèques de modèles en nombre suffisant. Ce langage devrait cependant constituer à l'avenir une solution intéressante en électronique de puissance, permettant des simulations mixtes temps continu / temps discret, multi-domaines et une *portabilité* des modèles entre les différents compilateurs. Dans la suite de ce document, nous utiliserons *PSPICE*, pour de simples raisons de disponibilité. Il ne constitue cependant pas le choix le plus adapté, puisqu'il ne permet pas contrairement à *SABER* ou aux simulateurs basés sur *VHDL-AMS* une description multi-domaines (électrique et thermique, par exemple) et que le codage par Analog Behavioral Model (*ABM*) nécessite plus de manipulations que les langages *MAST* (*SABER*) ou *VHDL-AMS*.

II.5.1 Les ABM

Pour introduire de nouvelles équations dans les premières versions de SPICE, deux solutions étaient disponibles : les introduire dans le code source du simulateur, puis le recompiler, solution qui présente l'avantage de la rapidité d'exécution au détriment de celle de mise au point ou réaliser l'équation en assemblant les composants (primitives) existant sous forme de schémas équivalents (par exemple en mettant une capacité en série avec une diode pour modéliser une structure MOS). Cette dernière solution, beaucoup plus simple à mettre en œuvre, nécessite parfois des acrobaties qui aboutissent à des schémas complexes.

Le logiciel *PSPICE* ouvre une autre possibilité : l'écriture d'équations sous forme de schémas blocs (*ABM* ou *Analog Behavioral Models*).

Il est notamment possible d'écrire des relations mathématiques liant la grandeur de sortie d'une source (de tension ou de courant) à des grandeurs d'entrée : par exemple, les équations du modèle statique seront représentées par une source de courant (le courant de drain) dont les grandeurs d'entrée seront les tensions V_{DS} et V_{GS} .

II.5.2 Les problèmes de convergence

Ce sont la bête noire des utilisateurs de *PSPICE 10.5* (et de nombreux simulateurs circuits) ; et la simulation de systèmes d'électronique de puissance, du fait de sa raideur (il y a une très grande amplitude de variation dans les constantes de temps, de la minute à la nanoseconde) exacerbe encore ce défaut. Il faut donc prêter une attention toute particulière à la continuité des fonctions, notamment lors des changements d'expressions (structure IF/THEN/ELSE). Pour la même raison, il est parfois nécessaire d'imposer au simulateur un pas de calcul maximum très faible (10 ns), ce qui est pénalisant entre les commutations (où les grandeurs électriques n'évoluent que peu), mais permet de rester « dans les rails » lorsque la commutation intervient.

D'autre part, des résistances de forte valeur (typiquement 10 mégohm à 1 gig ohm) placées le plus souvent empiriquement permettent au simulateur de se tirer d'affaire dans certains cas difficiles (lorsque le pas de calcul est faible, les variations de tension et de courant peuvent devenir énormes, pouvant causer la divergence du simulateur. Des résistances permettent alors de contenir tension et courant dans des valeurs « raisonnables ».

II.5.3 Conclusion

La première partie de ce chapitre a été consacrée à la présentation de la structure classique des transistors MOSFET verticaux. En effectuant les simplifications nécessaires, des relations représentant le fonctionnement d'une structure idéale ont été proposées. Dans un second temps nous avons vu les spécificités des transistors destinés aux applications de puissance, qui font l'objet de cette étude : leur tenue aux régimes extrêmes (forte température, avalanche répétitive. . .) et leur calibre (faible tension, fort courant).

CHAPITRE III
MODÉLISATION THERMIQUE DU COMPOSANTS DE
PUISSANCE (MOSFET)

III.1 Introduction

La prise en compte des effets thermiques dans les composants de puissance est essentielle pour prédire avec précision les grandeurs électriques aux accès du composant. L'utilisation de modèles électrothermiques devient incontournable pour la conception de circuits de puissance performants et robustes. Par ailleurs, la connaissance de la valeur de la température dite de jonction d'un composant est une donnée fondamentale dans la prévision du vieillissement des composants, et donc, dans l'estimation de sa durée de vie (loi d'Arrhenius). Dans certains cas critiques, la température est nécessaire pour le dimensionnement des dispositifs thermiques et pour l'établissement du compromis performances-fiabilité [20].

La première partie de ce chapitre aborde les aspects théoriques du transfert de la chaleur. D'abord, seront présentées les lois fondamentales du transfert de la chaleur au sein d'un dispositif. Ces considérations couplées au principe de conservation de l'énergie aboutissent à l'équation de la chaleur qui régit le comportement thermique d'un système. La seconde partie abordera l'analyse thermique de transistor MOSFET à la fois seule et dans son environnement de fonctionnement à partir de la résolution de l'équation de la chaleur par la méthode des éléments finis. Enfin, une méthode de modélisation thermique non-linéaire des composants de puissance sera présentée et appliquée au cas de transistor MOSFET. Cette méthode s'appuie sur la technique de réduction de modèles linéaires par les vecteurs de Ritz [24] et sur l'utilisation de la transformation de Kirchhoff pour la prise en compte du caractère non-linéaire des matériaux.

III.2 Analyse thermique des composants de puissance

III.2.1 Rappel théorique

III.2.2 Flux de chaleur

Si un conducteur thermique unidimensionnel est mis en contact avec deux sources de chaleur de température $T_1 > T_2$, il s'établit un flux de chaleur $J = J(x, t)$ défini comme la quantité de chaleur [J] traversant une surface unité [m^2] par unité de temps [s]. Le transport va de la source chaude vers la source froide (augmentation de l'entropie : 2^{ème} principe de la thermodynamique). L'expérience montre qu'en régime stationnaire $\partial T / \partial t = 0$. J est

proportionnel à la différence de température, mais inversement proportionnel à la longueur du conducteur.

$$J = -\lambda_{th} \frac{T_2 - T_1}{x_2 - x_1} \quad \text{III.1}$$

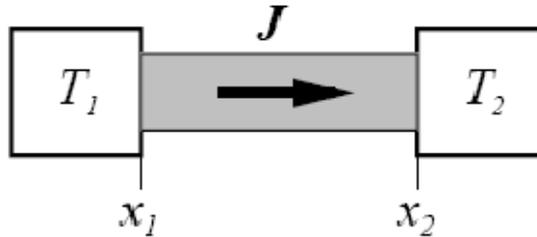


Figure III-1 : Conducteur thermique entre deux sources de chaleur

λ_{TH} est la conductivité thermique du matériau mesurée en $[W/m^0K]$. Le flux de chaleur est donc proportionnel au gradient de T , forme locale retenue pour les situations générales où T et J sont variables avec le lieu et le temps :

$$J(x, t) = -\lambda_{TH} \frac{\partial T}{\partial x} \quad (\text{Loi de Fourier}) \quad \text{III.2}$$

III.2.3 Équation de continuité

Si le flux de chaleur varie entre deux positions proches x et Δx , de la chaleur est déposée dans le volume traversé $S\Delta x$. Pendant Δt , la quantité déposée est :

$$\Delta Q = (j(x) - j(x + \Delta x)) \cdot S \cdot \Delta t = - \frac{\partial j}{\partial x} \cdot \Delta x \cdot S \cdot \Delta t \quad \text{III.3}$$

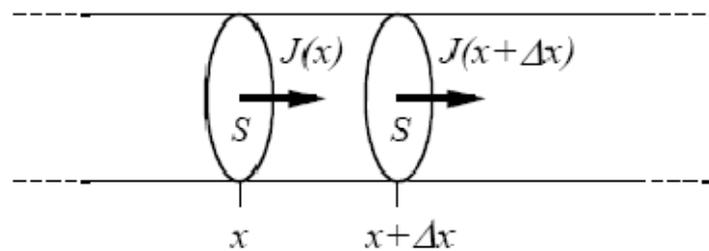


Figure III-2 : Distribution linéique du flux de chaleur

Pendant ce même temps, la température de la masse $\rho \cdot S \cdot \Delta x$, avec ρ la masse volumique, s'élève de ΔT de manière à absorber la quantité de chaleur ΔQ .

$$\Delta Q = \Delta t . c . \rho . S . \Delta x = \frac{\partial T}{\partial t} . \Delta t . c . \rho . S . \Delta x \quad \text{III.4}$$

c [J/ (°K.kg)] étant la capacité thermique massique du matériau. A l'aide des relations III.3 et II.4 on peut écrire l'équation de continuité :

$$\frac{\partial T}{\partial t} = - \frac{1}{\rho . c} \cdot \frac{\partial J}{\partial x} \quad \text{III.5}$$

Cette relation exprime la conservation de l'énergie au cours du transport. En éliminant J entre les relations III.2 et III.5, on obtient l'équation de diffusion pour un cas unidimensionnel.

$$\frac{\partial T(x,t)}{\partial t} = \frac{\lambda_{TH}}{\rho . c} \cdot \frac{\partial^2 T(x,t)}{\partial x^2} \quad \text{III.6}$$

II.3 Modèle thermique d'un composant de puissance

II.3.1 Modèle électrique équivalent

Fondamentalement, la propagation de la chaleur issue d'un composant électronique peut s'effectuer de trois manières [19] :

- par conduction,
- par convection,
- par radiation.

En principe, dans le cas qui nous préoccupe, la conduction représente la très grande partie de l'évacuation de la chaleur. On fait également l'hypothèse que le lieu de transmission est unidirectionnel et homogène. La relation III.6, écrite sous une autre forme correspond à l'hypothèse énoncée.

$$\frac{\partial^2 T(x,t)}{\partial x^2} = \frac{\rho . c}{\lambda_{TH}} \cdot \frac{\partial T(x,t)}{\partial t} \quad \text{III.7}$$

On rappelle ici que :

- λ_{th} : conductivité thermique du matériau [W/m. K]
- c : capacité thermique spécifique [J/ (kg. K)]
- ρ : masse volumique du matériau [kg/m³]

III.3.2 Équivalence entre grandeurs électriques et grandeurs thermiques

L'équivalence entre grandeurs thermiques et électriques peut être définie par le tableau

III.1

Grandeurs thermiques			Grandeurs électriques		
T	Température	[K]	U	Tension	[V]
J	Flux de chaleur	[W/m ²]	J	Densité du courant	[A/m ²]
P	Chaleur	[W]	I	Courant	[A]
Q	Quantité de chaleur	[J]= [W.S]	Q	Charge	C= [A.s]
λ_{TH}	Conductivité	[W/ (K.m)]	σ	Conductivité	[1/ (Ω .m)]
R_{TH}	Résistance	[K/W]	R	Résistance	[V/A]= Ω
C_{TH}	Capacité	[W.S/K]	C	Capacité	[A.s/V]= [F]

Diagram illustrating a thermal slab of thickness d , area S , and thermal conductivity λ_{th} . A power density $p(t)$ is applied to the top surface. The top surface temperature is $T_A(t)$ and the bottom surface temperature is $T_B(t)$.

Diagram illustrating an electrical slab of thickness d , area S , and conductivity σ . A current density $i(t)$ is applied to the top surface. The top surface voltage is $u_A(t)$ and the bottom surface voltage is $u_B(t)$.

Table III-1 : Définition des grandeurs physiques [25]

Les relations principales sont définies comme :

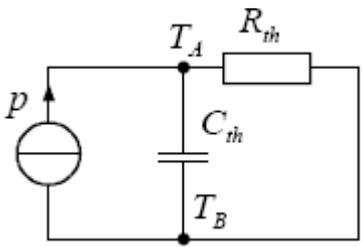
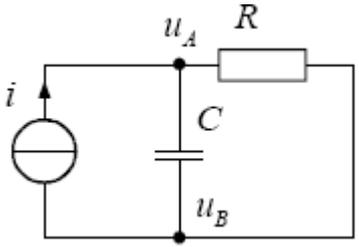
Grandeurs thermique	Grandeurs électrique
$C_{TH} = \frac{\partial Q}{\partial T}$	$C = \frac{\partial Q}{\partial U}$
$C_{TH} = c \cdot \rho \cdot d \cdot S$	$C = \varepsilon \cdot \frac{S}{d}$
$R_{TH} = \frac{d}{\lambda_{TH} \cdot S}$	$R = \frac{d}{\sigma \cdot S}$
$Q(t) = \int_0^t P(t) dt$	$Q(t) = \int_0^t i(t) \cdot dt$
	
$p(t) = \frac{T_A(t) - T_B(t)}{R_{TH}} + C_{TH} \frac{d}{dt} (T_A(t) - T_B(t))$	$i(t) = \frac{U_A(t) - U_B(t)}{R} + C \cdot \frac{d}{dt} (U_A(t) - U_B(t))$

Table III-2 : Relations entre grandeurs physiques [25]

II.3.3 Paramètres thermiques des matériaux les plus utilisés

Le tableau III.3 donne un aperçu sur les valeurs numériques des paramètres des matériaux les plus utilisés en électronique.

Matériau	ρ [g/cm ³]	λ [W/ (m K)]	c [J/ (g K)]
Silicium	2.4	140	0.7
Soudeur (Sn-Pb)	9	60	0.2
Cu	7.6...8.9	310...390	0.385...0.420
Al	2.7	170...230	0.9...0.95
Al ₂ O ₃	3.8	24	0.8
FR4	--	0.3	--
Pate conductrice	--	0.4...2.6	--
Feuille isolante	--	0.9...2.7	--

Table III-3 : Caractéristiques des matériaux [25]

II.4 Modèle thermique élaboré

II.4.1 Généralités

La modélisation thermique d'un composant est une opération complexe faisant appel à l'analyse par éléments finis. Une telle démarche n'est pas réaliste dans la plupart des cas. Les fabricants permettent de contourner ce problème en proposant des valeurs de résistances et de capacités thermiques en segmentant le volume du composant en plusieurs parties significatives [29].

II.4.2 Structure segmentée du modèle thermique

II.4.2.1 Hypothèses et contraintes

La pratique montre qu'une segmentation de la structure du semi-conducteur de puissance en volumes partiels est possible pour autant que les points suivants soient respectés :

1. L'épaisseur et la succession des couches doivent être choisies de manière à ce que la constante thermique de chacune d'elles aille dans le sens croissant ($\tau_{TH} = C_{TH}R_{TH}$) dans la direction de propagation de la chaleur. La meilleure qualité de résultat est obtenue pour une croissance de cette constante de temps d'un facteur 2 à 8 entre deux couches successives.
2. La surface du silicium où est produite la chaleur est petite. Si les matériaux prévus pour le refroidissement par conduction sont homogènes, il y a un effet de diffusion latérale. La pratique montre que cette diffusion peut être décrite par un angle d'expansion de $\alpha=40^\circ$. Il y a

cependant une restriction si une couche présente une basse conductivité thermique (effet d'accumulation).

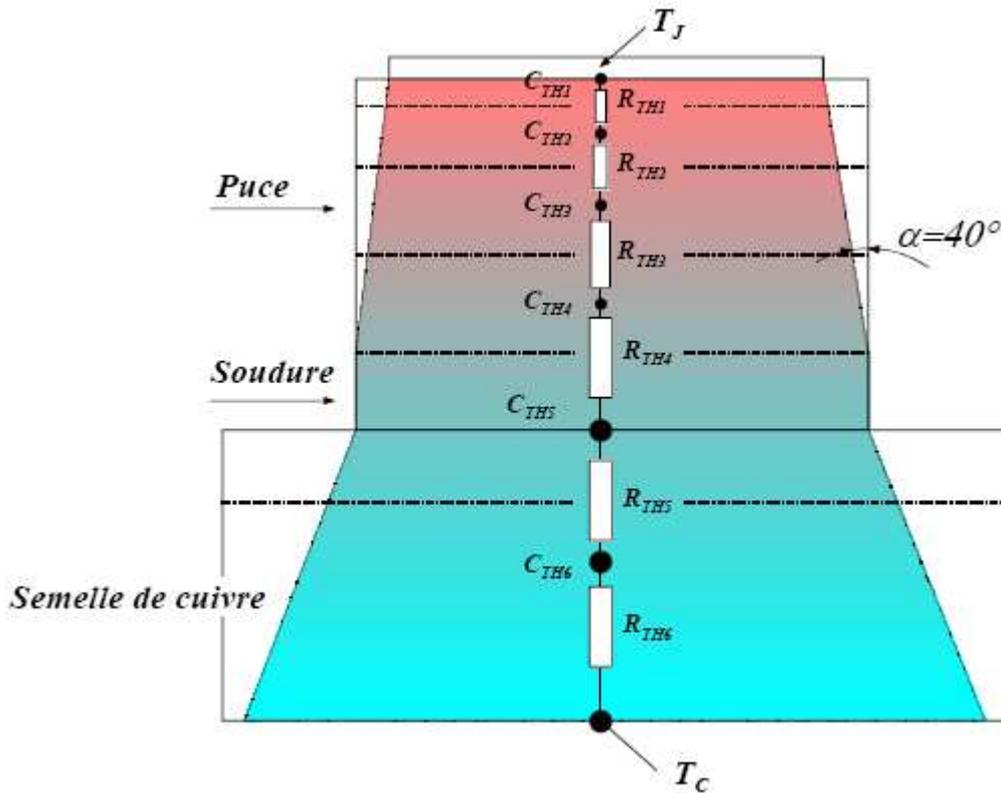


Figure III-3 : Structure du modèle thermique d'un semi-conducteur de puissance [29]

3. Les dimensions et les caractéristiques thermiques de chaque élément de volume traversé par le flux de chaleur doivent être déterminées précisément car la capacité thermique de ces derniers a une influence décisive sur l'impédance thermique du système lorsque la puissance à dissiper est le résultat d'impulsions de courtes durées. Le circuit équivalent montre que les capacités thermiques de ces volumes apparaissent toujours parallèlement au flux de chaleur. Dans les MOSFET de puissance, les premières couches correspondant à la zone N-épitaxiale sont sources de chaleur. Pour des géométries complexes, le modèle thermique ne représente que grossièrement la réalité. Dans ce cas il peut être nécessaire de recourir à une analyse par éléments finis. Il est également possible pour un composant, qui est disponible au moins sous la forme de prototype, de paramétrer les éléments du circuit équivalent basé sur une mesure et une comparaison du profil de température de jonction T_J . La procédure pratique habituelle est de chauffer le composant en contrôlant la dissipation de puissance P_J dans ce dernier jusqu'à ce qu'il atteigne une température de jonction stationnaire T_J . En principe, la connaissance de la température est donnée par une mesure indirecte. En effet, on connaît la dépendance de la température de plusieurs paramètres du composant. Généralement on mesure la tension de passage V_F d'une diode intégrée à la structure. En supprimant la puissance dissipée (source de

chaleur), il est possible de tracer la courbe de refroidissement $T_J(t)$ et donc de connaître l'impédance thermique transitoire du composant

$$Z_{TH} = \frac{T_{Ji} - T_J(t)}{P_i} \quad \text{III.8}$$

Cette impédance thermique transitoire correspond à la réponse indicielle du système et par conséquent contient la description de son comportement thermique.

En première approximation on considère ce système comme linéaire aussi longtemps que l'on ignore la dépendance à la température des matériaux spécifiques, en particulier celui de la conductance de la chaleur de silicium.

Une fois l'impédance thermique transitoire connue, il est possible de connaître la température de la jonction T_J pour n'importe quel profil de la puissance dissipée. En effet grâce au produit de convolution, on peut écrire :

$$T_J(T) = T_{J0} + \int_0^t p(\tau) dZ_{TH}(t - \tau) d\tau$$

avec :

T_{J0} : Température initial ($t = 0$) de la jonction.

$dZ_{TH}(t)$: Différentielle de la réponse indicielle de l'impédance thermique (réponse impulsionnelle pas directement mesurable)

Pour être capable d'utiliser les résultats de la mesure thermique en simulation, il est nécessaire de trouver un réseau équivalent électrique dont la réponse indicielle décrit l'impédance thermique transitoire $Z_{th}(t)$.

Si seul le profil de la température de jonction T_J présente de l'intérêt, il existe un nombre illimité de réseaux électriques équivalents permettant un ajustement de la courbe de refroidissement avec l'exactitude exigée. Parmi ce grand nombre de réseaux possibles, il y a deux topologies dominantes.

II.4.2.2 Circuit équivalent naturel

Le circuit de conduction de la chaleur équivalent dit naturel est dérivé de la théorie des lignes de transmission. C'est le seul réseau qui décrit correctement la distribution de la température interne du système et permet une corrélation claire entre éléments équivalents et les éléments physiques (puce, soudure, semelle métallique de refroidissement, etc.). La Figure III-8 montre un exemple extrait d'un datasheet

Transient Thermal Characteristics

Symbol	Value	Unit	Symbol	Value	Unit
	typ.			typ.	
Thermal resistance			Thermal capacitance		
R_{th1}	0.00746	K/W	C_{th1}	0.000439	Ws/K
R_{th2}	0.017		C_{th2}	0.00145	
R_{th3}	0.028		C_{th3}	0.00239	
R_{th4}	0.065		C_{th4}	0.00499	
R_{th5}	0.081		C_{th5}	0.021	
R_{th6}	0.037		C_{th6}	0.146	

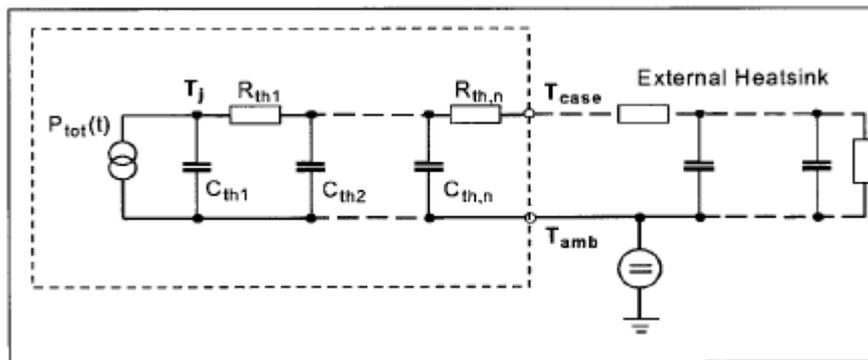


Figure III-8 : Paramètres du modèle thermique d'un MOSFET [29]

III.5 Simulation du comportement thermique des composants de puissance

III.5.1 Généralités

Vu la complexité mathématique du modèle thermique présenté à la section III.2, il devient utopique de vouloir calculer les températures de jonction et de boîtier d'un composant de puissance soumis à un régime électrique quelconque. De plus, la plupart de paramètres électriques du composant ont une dépendance vis à vis de la température qui impose un calcul itératif. Les outils de simulation possèdent les modèles adéquats pour qu'une telle modélisation soit possible. Le vieux rêve des designers qui consiste à intégrer les effets de la température dans les modèles de simulation est devenu une réalité.

III.5.2 Modélisation d'un MOSFET en tenant compte des effets de la température

III.5.2.1 Définition du problème

La plupart des MOSFET de puissance sont réalisés sur la base d'une structure verticale de type VDMOSFET

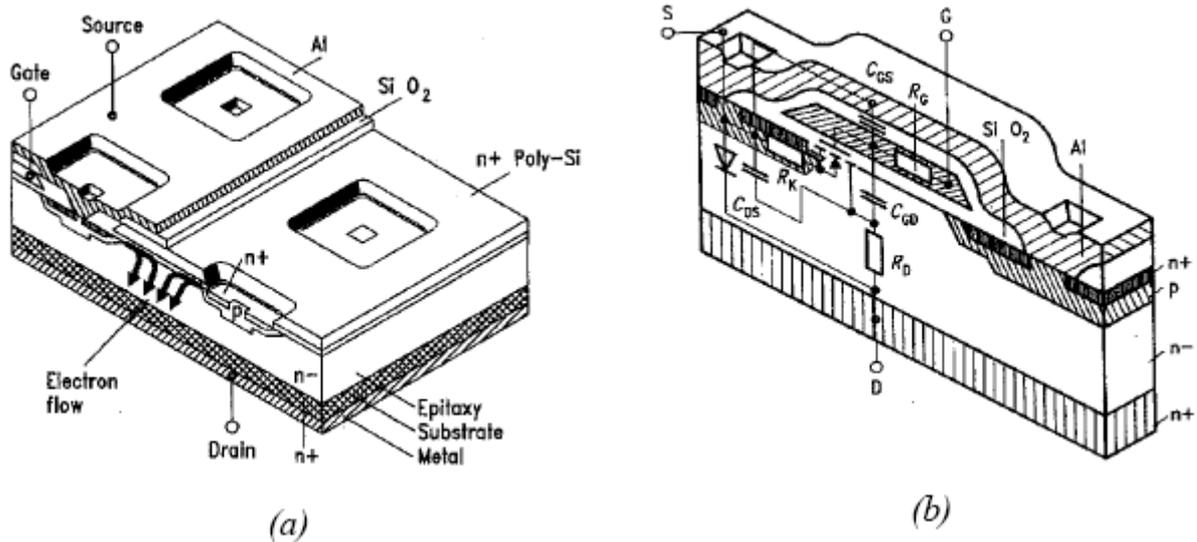


Figure III-9 : Structure d'un transistor MOSFET [28]

La Figure II-18 illustre un tel transistor. Bien que ce type de MOSFET soit largement utilisé, sa modélisation a été, pendant longtemps, d'une qualité assez médiocre. En effet la dépendance des paramètres d'un semi-conducteur à la température est souvent considérée comme marginale et traitée par des méthodes empiriques, par l'expérience ou la mesure. Dans certaines applications, il est préférable, voir indispensable de modéliser le comportement de semi-conducteur de puissance en tenant compte de l'influence de la température.

La température a un impact important sur les paramètres suivants :

- La mobilité μ_n des électrons (transconductance K_p)
- La tension de seuil $V_{GS(th)}$,
- La résistance $R_{DS(on)}$.

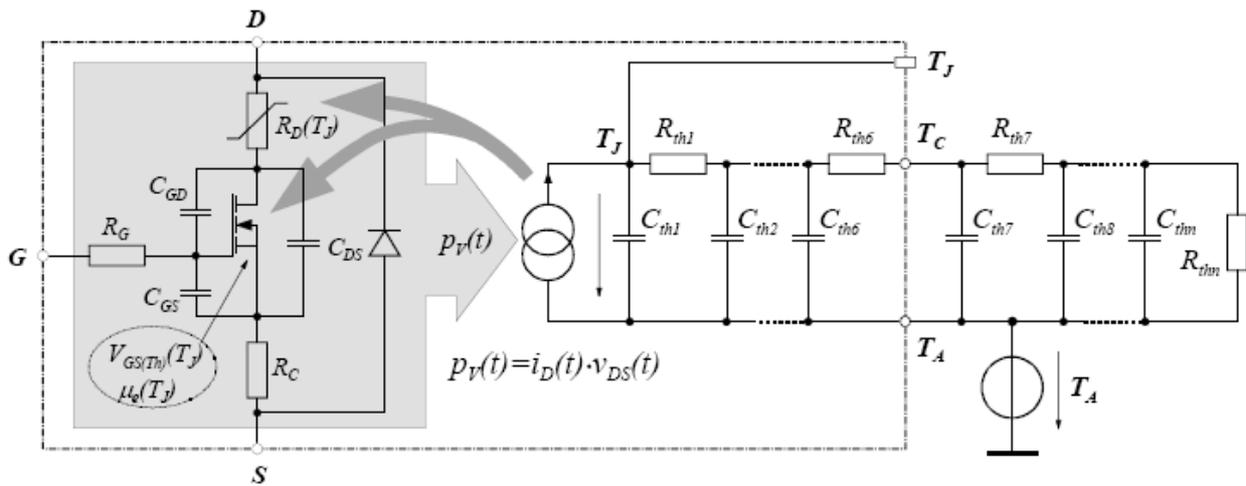


Figure III-10 : Modèle thermique d'un MOSFET [24]

La Figure III-10 montre la modélisation thermique d'un MOSFET. La puissance dissipée dans ce dernier, définie par le produit de la tension Drain – Source par le courant de Drain en valeurs instantanées, est représentée par une source de courant contrôlée. Cette source de courant alimente un réseau RC modélisant le comportement thermique du MOSFET et de son refroidisseur.

Le modèle thermique interne au MOSFET est donné dans le datasheet édité par le fabricant et se présente sous la forme de la Figure III-8.

II.5.2.2 Relations des paramètres électriques avec la température

La variation des paramètres électriques en fonction de la température est directement liée à la technologie. En principe les figures des datasheets permettent de définir des lois mathématiques empiriques (dépendantes de la technologie). On peut citer par exemple les relations suivantes :

- Variation de la transconductance avec la température

$$K_P = K_{P(300K)} \left(\frac{T_J}{300} \right)^{-\alpha} \quad T_j \text{ en [K]}$$

$$\text{Avec } \alpha = \begin{cases} 2.3 & \text{Pour une structure trench [26].} \\ 3/2 & \text{Pour une structure CoolMOS [26].} \end{cases}$$

- Variation de la tension de seuil avec la température

$$V_{GS(TH)}(T_j) = V_{GS(TH)}(300^\circ\text{C}) + \vartheta(T_j - 300^\circ\text{C})$$

avec $\vartheta = - 8.5 \text{ mV/K}$

La tension Grille – Source de seuil se situe entre les valeurs suivantes [24] :

$$1\text{V} < V_{GS(TH)} < 4\text{V} \quad \text{pour} \quad 20\text{ }^\circ\text{C} < T_J < 150\text{ }^\circ\text{C}$$

➤ Variation de la résistance $R_{DS(ON)}$ avec la température

$$R_{DS(ON)}(T_J) = R_{DS(ON)(300\text{K})} \left(1 + \frac{\alpha}{100}\right)^{(T_J - 300)}$$

T_J en [K]

avec pour α

$V_{BR(DS)}$ [V]	50	60	100	200	400	500	600	800
α [1]	0.43	0.47	0.53	0.62	0.69	0.70	0.72	0.75

alors que pour une structure "tench" [26], on a :

$$R_{DS(ON)}(T_J) = R_{DS(ON)(300\text{K})} \left(\frac{T_J}{300}\right)^{3/2}$$

II.5.2.3 Modèle de simulation : Exemple d'une dépendance des paramètres à la température

Des relations fixant la dépendance des paramètres principaux avec la température, il est possible de créer un modèle de simulation à partir d'un modèle de composant donné sous forme standard (SPICE, SABER, SIMPLORER) [1].

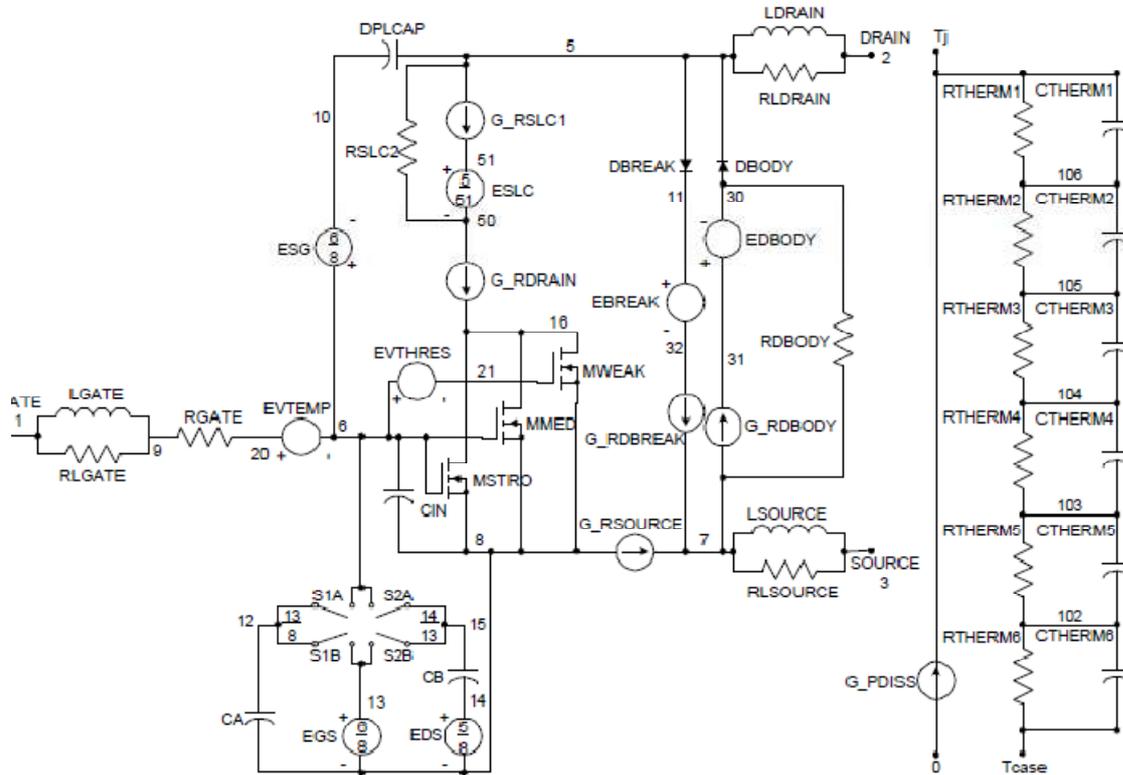


Figure III-11 Macromodèle de simulation [20,21]

On peut donc créer un nouveau modèle de simulation auquel on pourra ajouter un circuit thermique équivalent naturel.

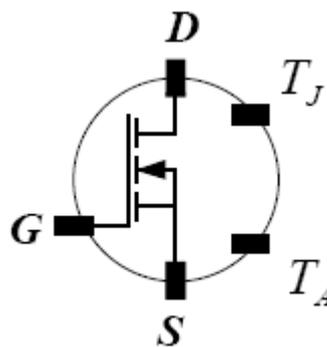


Figure III-12 Modèle de simulation

Grâce à ce modèle, il est possible de mieux comprendre les raisons pour lesquelles les caractéristiques statiques des composants de puissance sont définies pour des mesures impulsionnelles [25].

La Figure III-13 montre l'importance de la dépendance de certains paramètres électriques à la température. La mesure effectuée correspond à la recherche d'un point $I_D=f(V_{DS}, V_{GS})$ sur la caractéristique statique. A la courbe mesurée, on peut observer les simulations avec correction des paramètres les plus dépendants de la température de jonction [21].

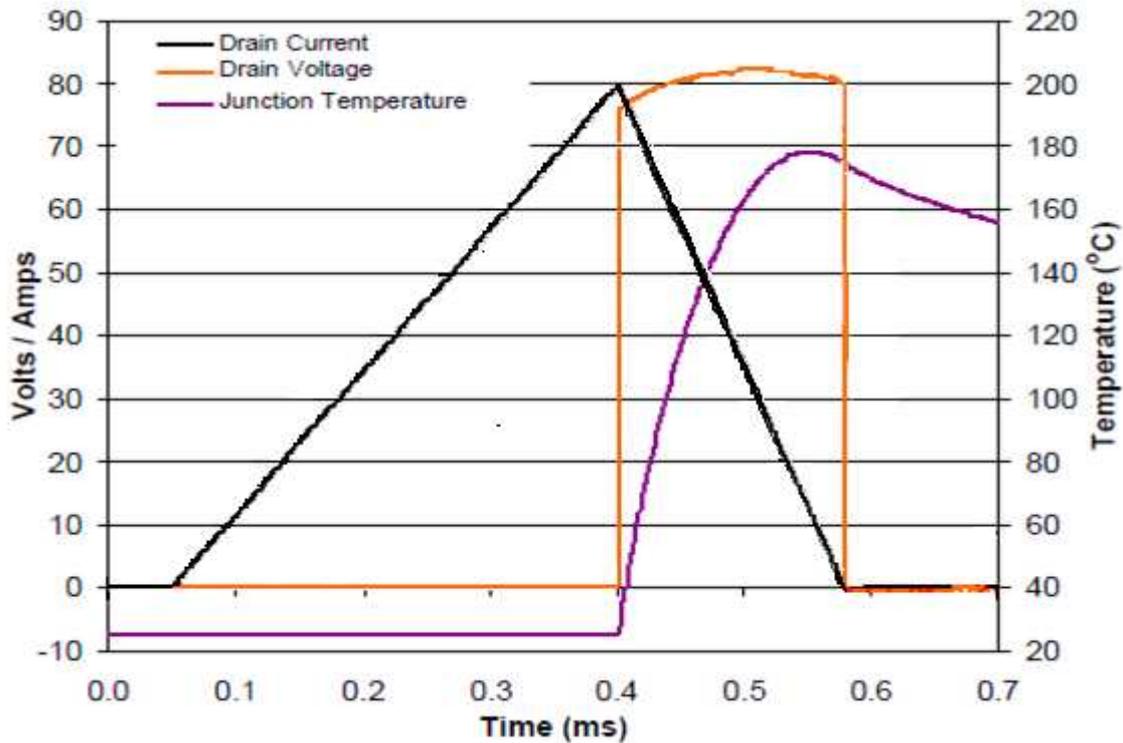


Fig.III.13 les caractéristiques dynamiques mesurées(FAIRCHILD) [21]

III.6 Résultats de simulations (PSPICE)

La figure III-13 représente le composant ajouté à la bibliothèque du simulateur PSPICE après implémentation par un sub-circuit écrit en langage PSPICE.

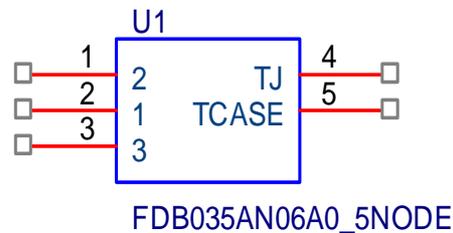


Fig. III-14. MOSFET FDB035AN06A0 comme composant de la bibliothèque PSPICE.

Où :

T_J : Température de jonction.

T_{CASE} : Température ambiante.

1 : Drain.

2 : Grille.

3 : Source.

III.6.1 validation du modèle VDMOS

Le modèle du VDMOS est évalué en utilisant plusieurs tests pour examiner son comportement dans les conditions statiques et dynamiques dans lesquelles le dispositif est prévu pour fonctionner. Les évaluations sont exécutées pour les composants VDMOS, avec les paramètres donnés dans la figure III.13.

III.6.1.a Validation « dynamique »

Le circuit de commutation sur charge R_L (figure III.15) est utilisée pour les évaluations, avec les conditions (Fairchild). Les figures III.16, III.17 et III.18 comparent les formes d'onde mesurées et simulées de la tension et du courant et la température de jonction du MOSFET à l'ouverture et à la fermeture respectivement.

La simulation a été réalisée par le circuit de la figure III-14,

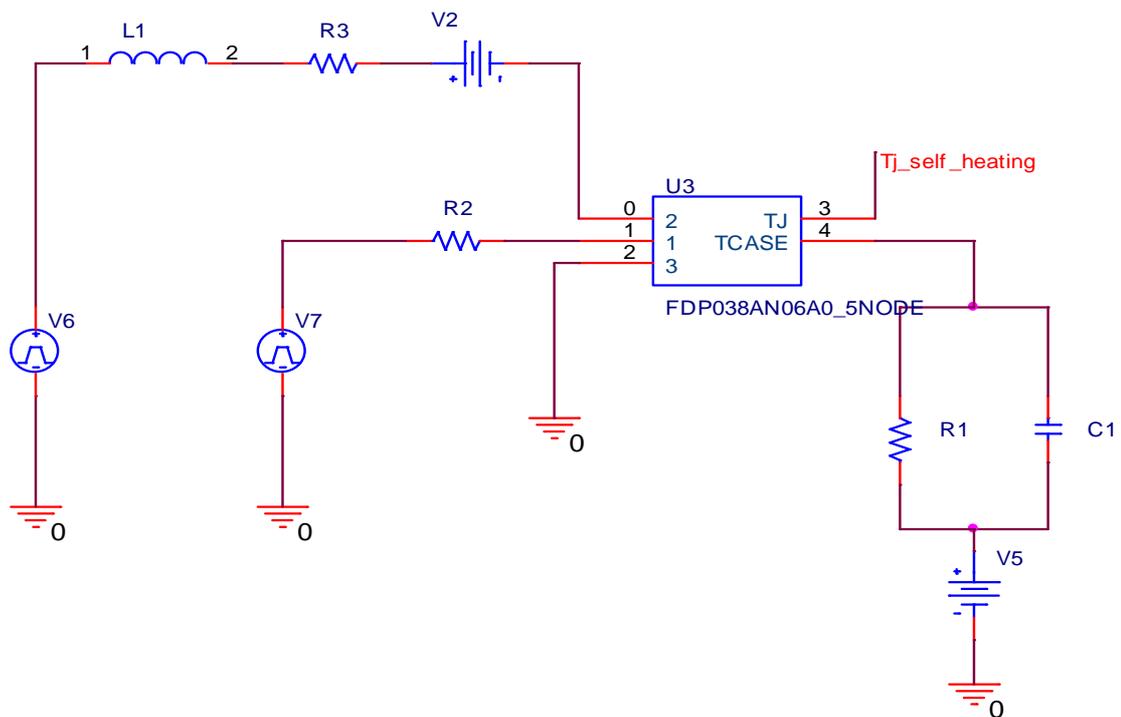


Fig. III-15. Circuit de simulation des caractéristiques dynamique (test UIS) [21]

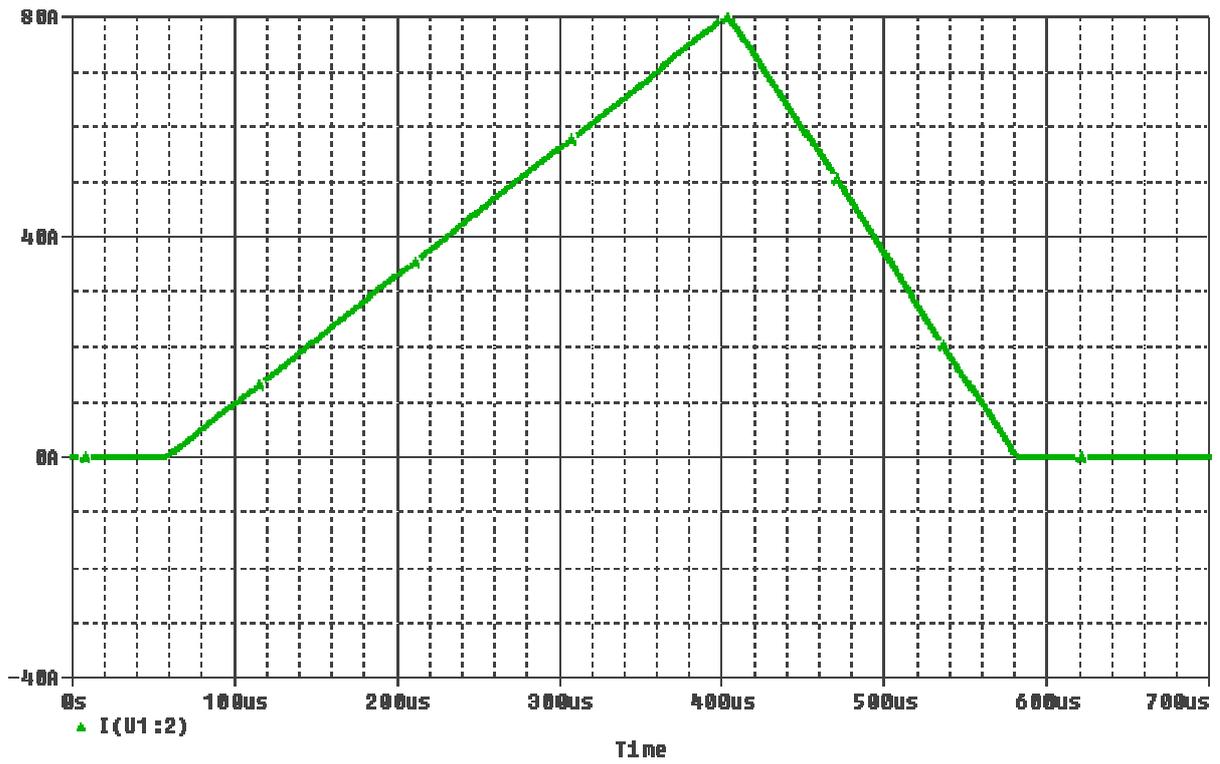


Fig. III-16. Le courant du drain I_D (A) (simulé)

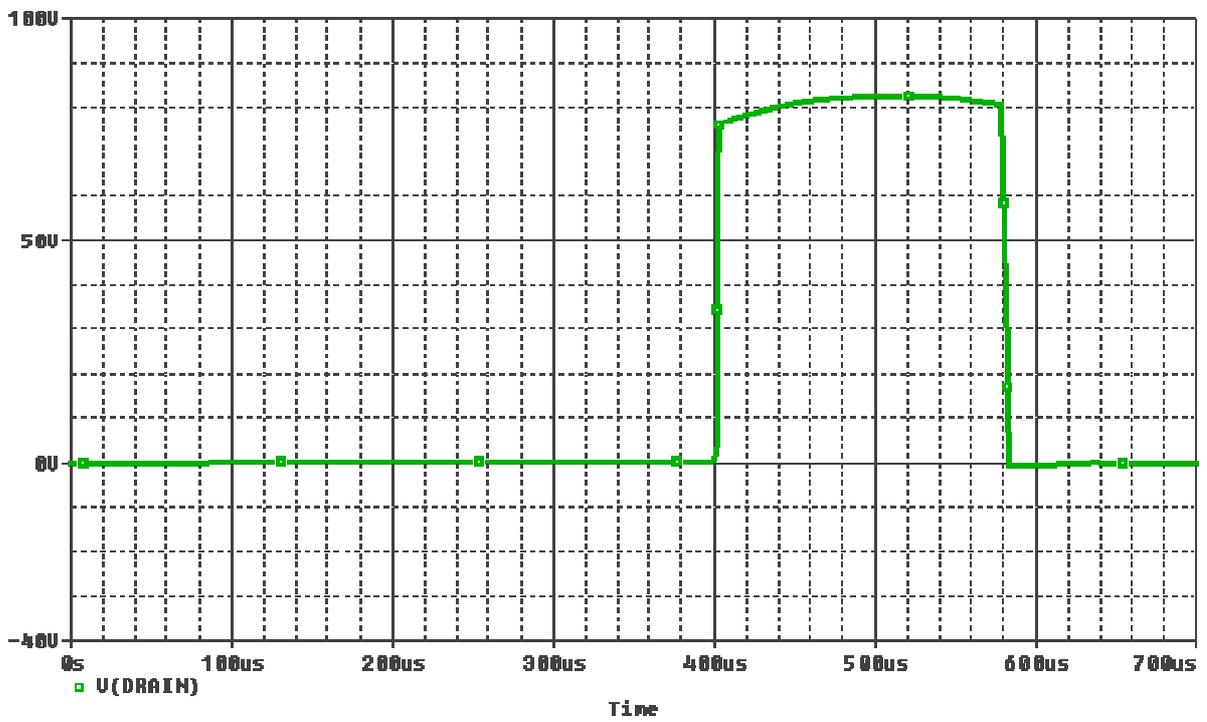


Fig. III-17. La tension drain source V_{DS} (V) (simulé)

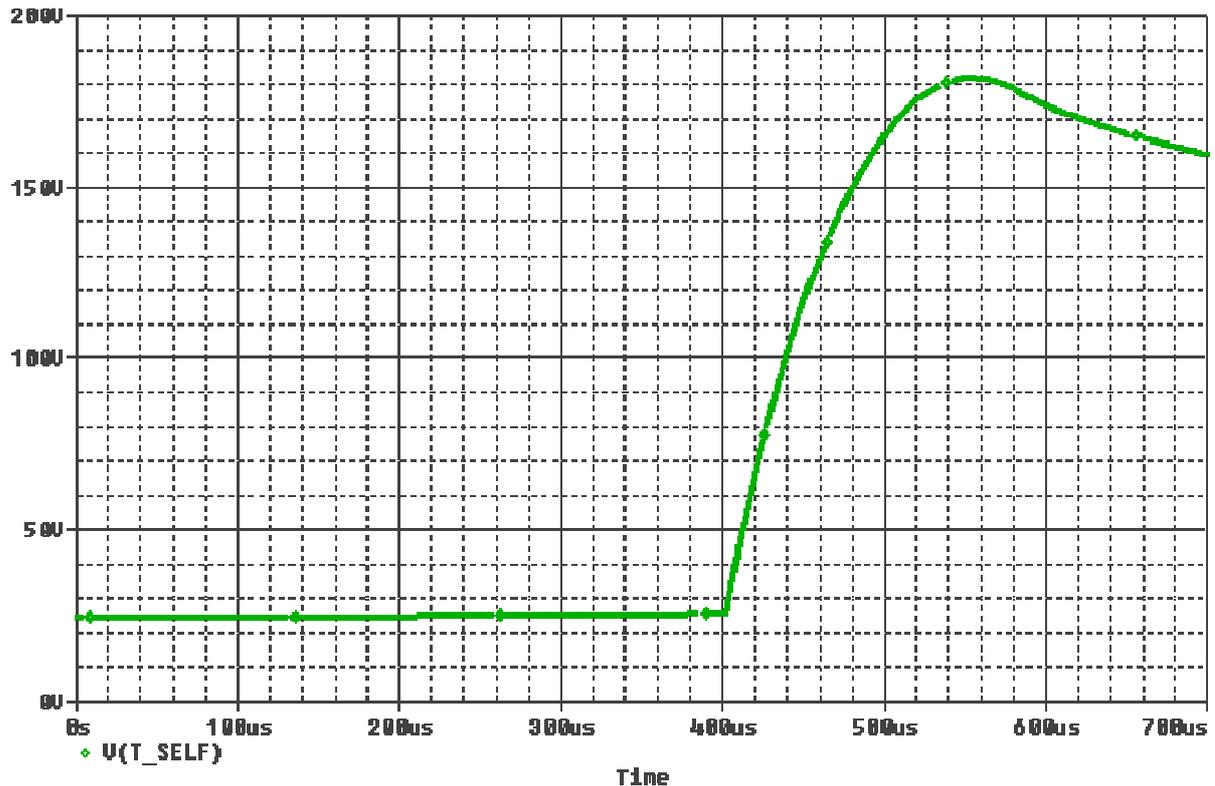


Fig. III-18. Température de jonction T_J (simulé)

Le test en régime de commutation sur charge résistive est mieux représentatif d'une utilisation normale du composant. Celui-ci est chargé sur son drain par une résistance R3, la grille étant attaquée par un générateur d'impulsion de résistance interne « faible » R1.

Ce test permet aussi de valider principalement les modèles des capacités utilisé en schéma équivalente sur une commutation – Fig.III.16 et Fig. III.17 -

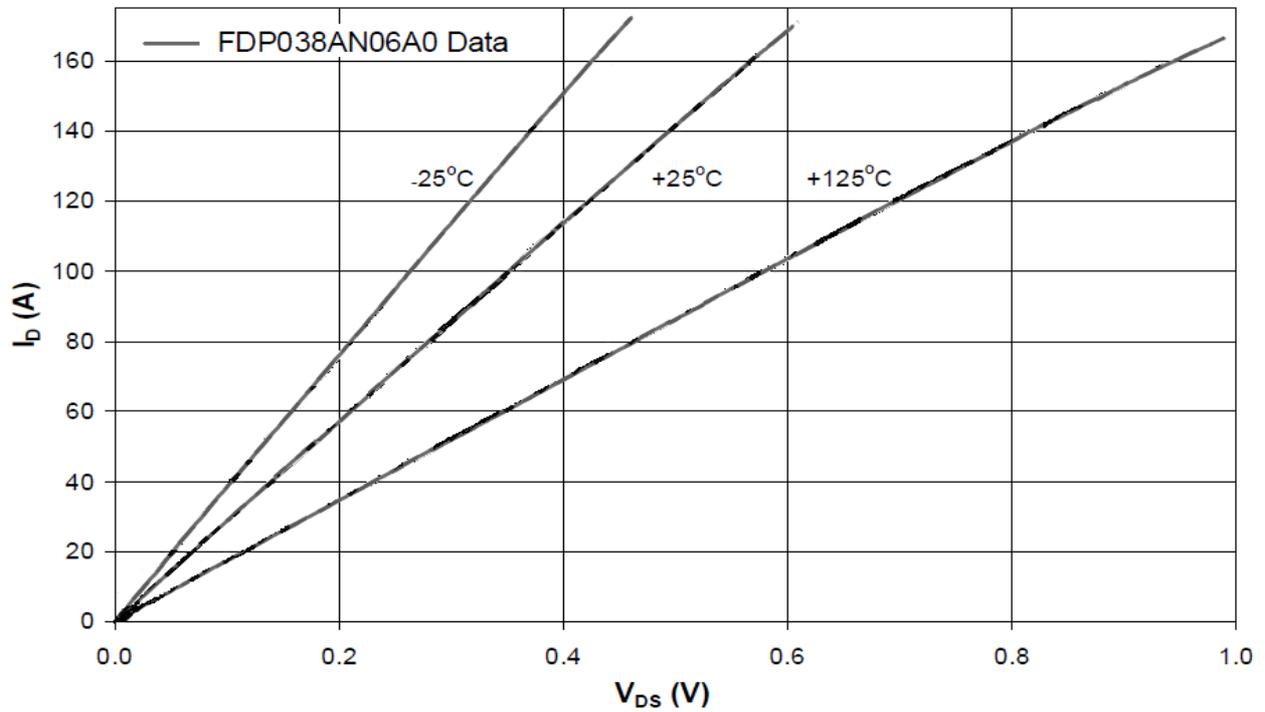
La figure III.13 présente les formes d'ondes typique des tensions et courants mesurées et celles obtenues par la simulation SPICE (Figures III.16, III.17 et III.18), les conditions expérimentales - tensions courants résistances inductances – apparaissent. Ces formes et temps de commutation, définis classiquement t_{on} , t_r , t_{off} , t_f mesurées sont en bon accords avec ceux obtenues en simulation.

III.6.1.b Validation « statique »

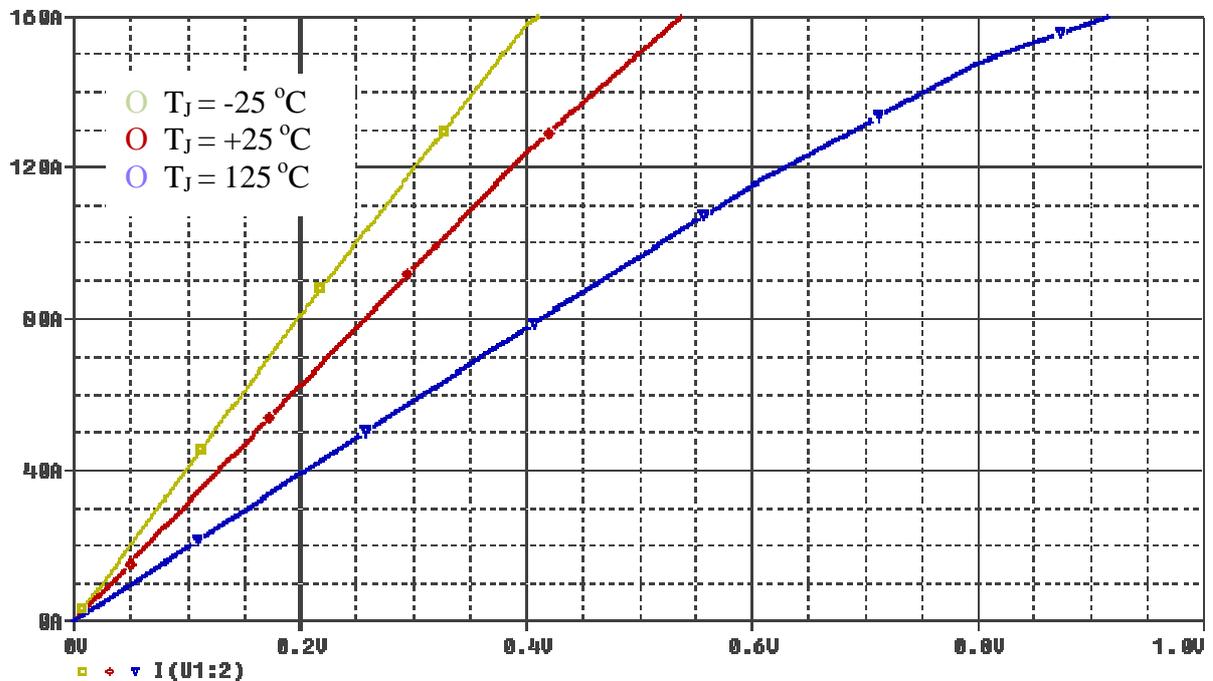
Les résultats nous permettent de constater une bonne adéquation entre la simulation et l'expérience. L'accord de comportement statique du modèle peut donc être considéré comme satisfaisant.

Caractéristique $I_D=f(V_{DS}, V_{GS}, T_J)$

Pour mesurer cette caractéristique on définit, à une valeur de température de jonction initiale, les tensions V_{DS} et V_{GS}



a)



V_{DS}

b)

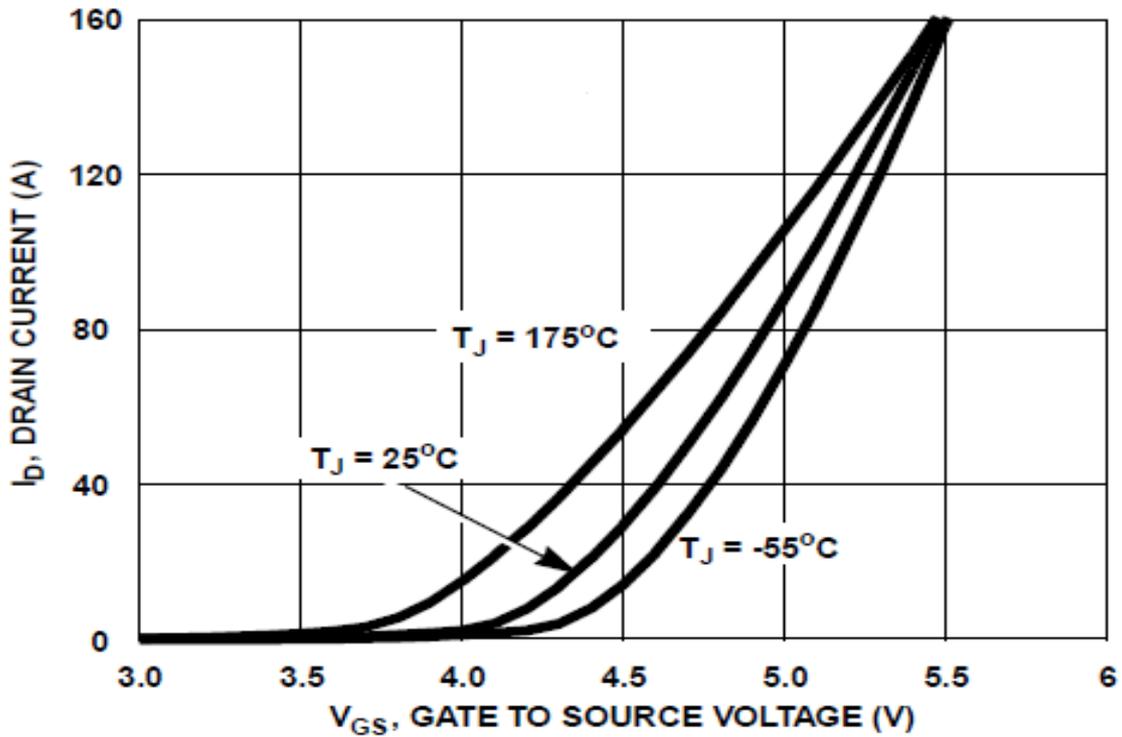
fig.III.18 Les caractéristique $I_{DS}=F(V_{DS})$ à des températures de jonction $T_J=-25, 25,125$

a) Mesurée [21]

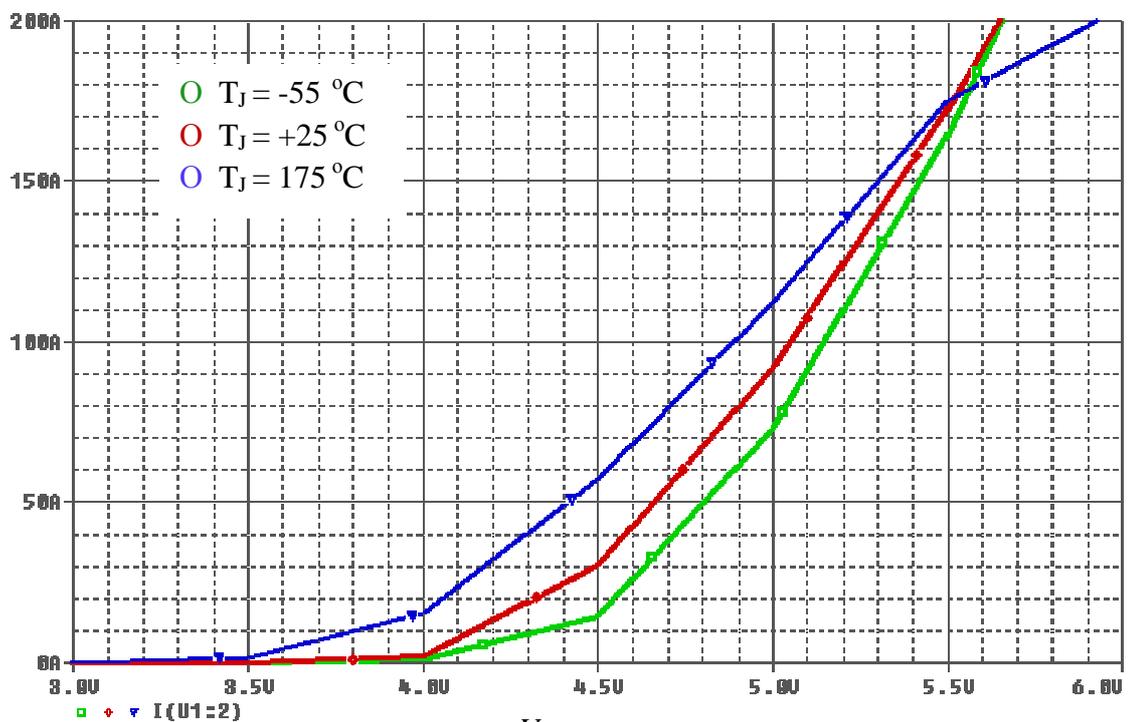
b) simulée PSPICE

b)

Caractéristiques $I_{DS}=f(V_{GS}, T_J)$



a)



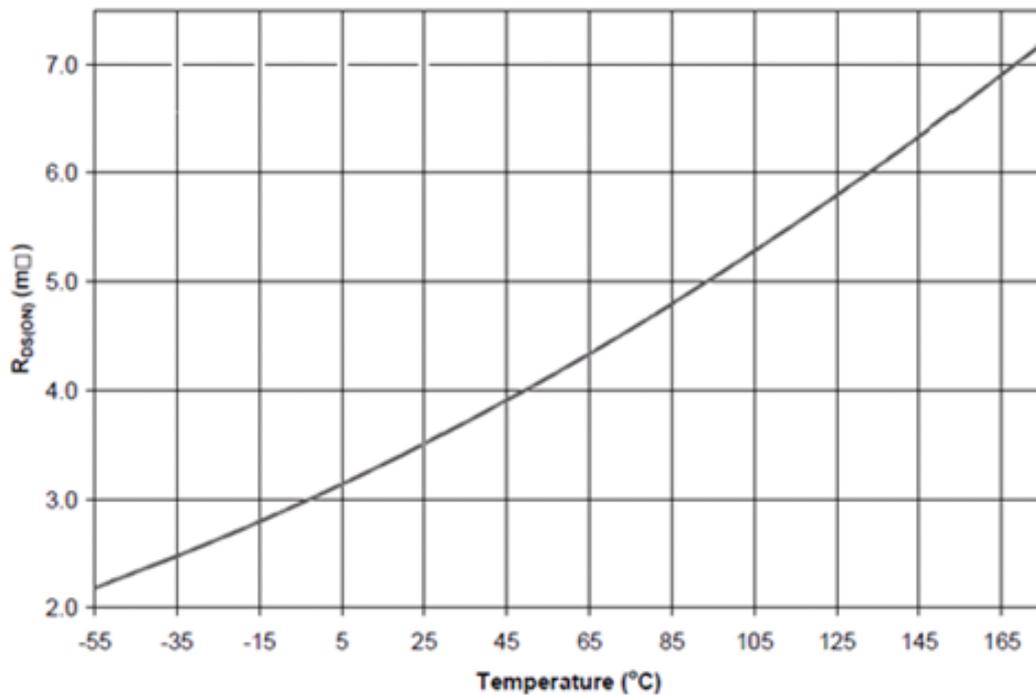
b)

Fig.III.19 Caractéristique de transfert $I_{DS}=f(V_{GS})$ à des températures de jonction $T_J=-55, +25, +175$

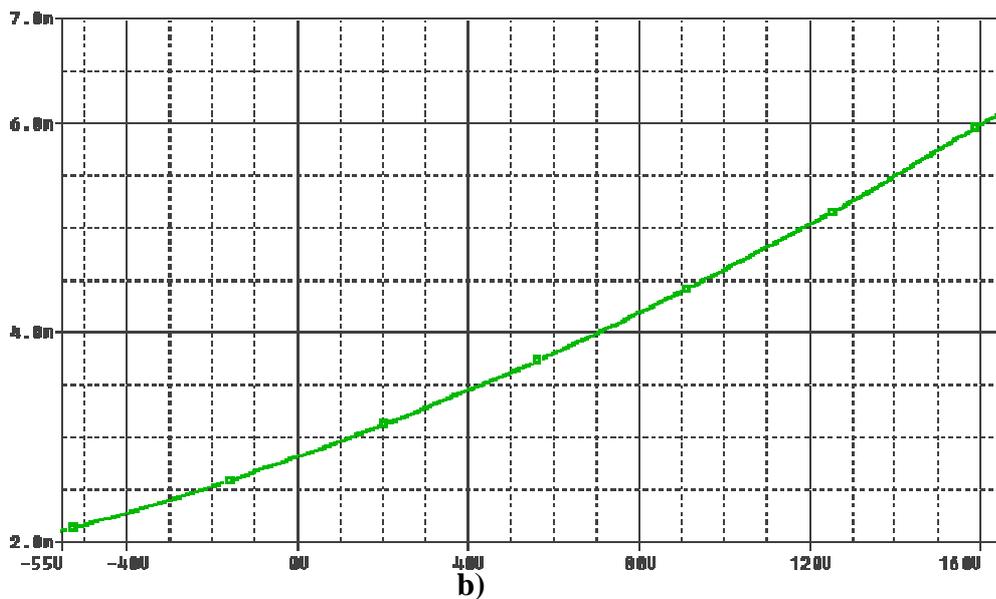
a) Mesurée [21] b) Simulée PSPICE

Résistance $R_{DS(ON)}$ à l'état passant

Pour de faibles valeurs de V_{GS} mais au-delà de la tension de seuil $V_{GS(TH)}$ le MOSFET se trouve rapidement avec un point de fonctionnement dans la région active. Par contre plus V_{GS} est grand plus le courant de Drain I_D peut être grand avec un point de fonctionnement dans la zone ohmique. Dans la région active la résistance de passage devient très grande puisque que le MOSFET se comporte comme une source de courant contrôlée en tension.



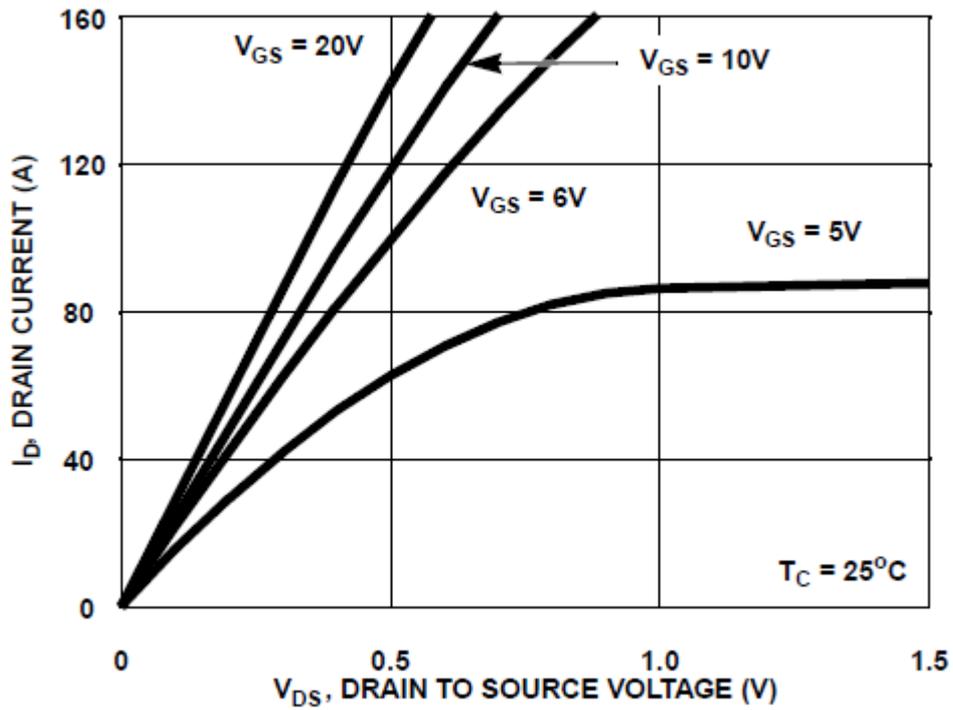
a)



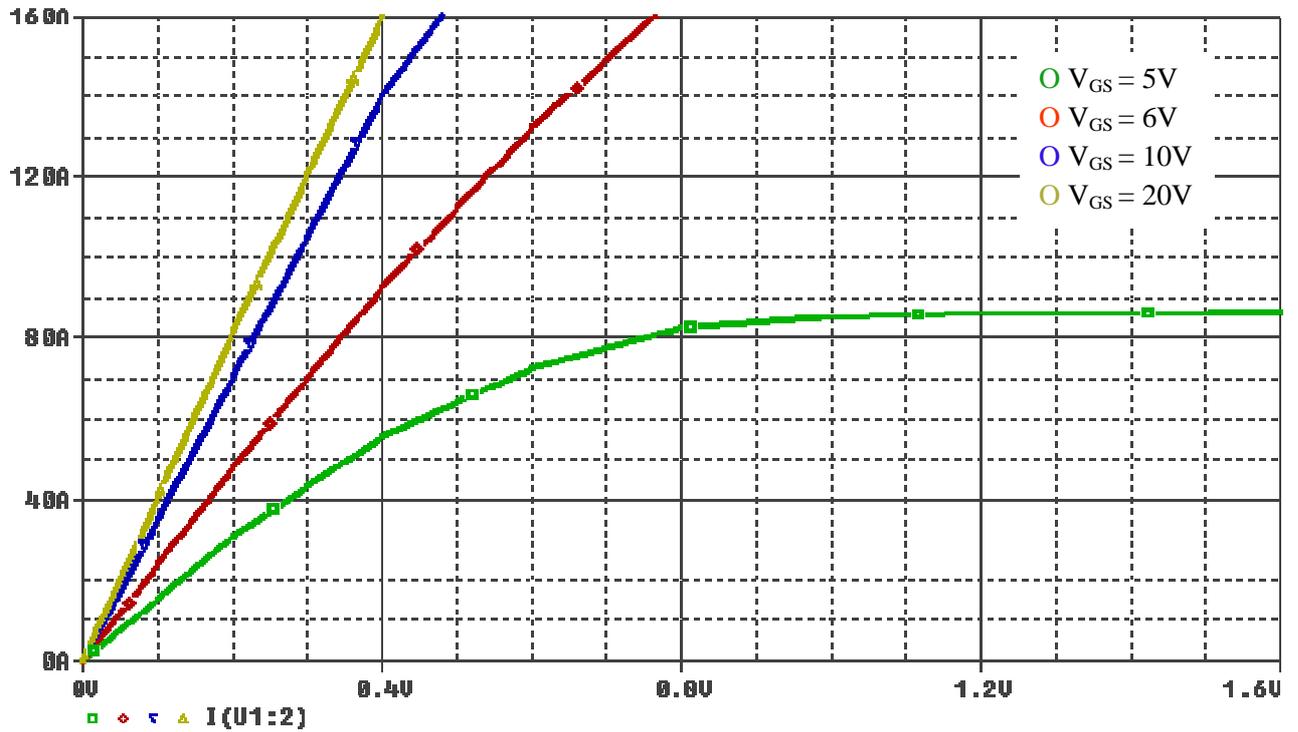
b)

Fig.III.20 la résistance $R_{DS(ON)} = f(T_J)$
 a) Mesurée [21] b) Simulée PSPICE

Caractéristique $I_D=f(V_{DS}, V_{GS})$



a)



b)

Fig.III.21 Caractéristique statique $I_D=f(V_{DS})$

a) Mesurée [21] b) Simulée PSPICE

La figure III.21 présentent les comparaisons, entre l'expérience et la simulation, des caractéristiques statiques de sortie $I_D=f(V_{DS})$ de notre modèle du transistor VDMOS. Ce bon accord permet de chiffrer le degré de précision de nos simulations, principalement obtenue par la prise en compte du phénomène de l'auto échauffement.

La figure III.19 et III.20 présentent les comparaisons des caractéristiques de transfert pour notre modèle du VDMOS. Le bon accord obtenu permet également de confirmer la validité des valeurs implantées pour nos simulations

Enfin, l'effet de la température sur le modèle du transistor VDMOS est également validé – Figure (III.19) et (III.20) – par la comparaison entre les données du constructeur et les simulations, des caractéristiques de transfert $I_{DS}= f(V_{GS})$ à fort niveau de drain – $V_{DS} = 10V$ – pour trois températures différentes, $-55^{\circ}C$, $55^{\circ}C$, $+125^{\circ}C$.

III.6.2 Conclusion

Après avoir présenté le macromodèle dans le chapitre II, puis avoir identifié les valeurs de leurs paramètres dans la première partie du présent chapitre, nous allons nous assurer de leur validité et l'exactitude en l'insérant dans le convertisseur BUCK.

CHAPITRE IV

APPLICATION AU CONVERTISSEUR BUCK

IV.1 Introduction

Pour répondre aux besoins multiples des utilisateurs, le domaine des convertisseurs de puissance a subi comme d'autres d'importantes évolutions technologiques ces trente dernières années. Le bref historique retracé ici rappelle comment l'introduction du principe du

découpage et l'augmentation des fréquences qui a suivi ont permis d'augmenter sensiblement les densités de puissance, suivant une des demandes les plus insistantes du marché.

Comme on l'a expliqué en introduction, la fonction essentielle d'un convertisseur de puissance est double: d'une part adapter la "forme" de l'énergie aux besoins d'une charge (typiquement en transformant une tension alternative en tension continue et/ou en modifiant le niveau de la tension) et d'autre part stabiliser ce flux d'énergie en filtrant autant que possible les fluctuations de la source. Dans le principe, assurer ces deux fonctions n'est pas excessivement complexe: fabriquer une alimentation élémentaire demande un nombre de composants relativement réduit. Mais l'utilisateur privé ou professionnel a beaucoup d'autres exigences. Idéalement, un convertisseur doit en effet:

- délivrer une ou souvent plusieurs tensions parfaitement continues, éventuellement ajustables et stables quel que soit le courant demandé;
- posséder un rendement élevé;
- présenter un niveau de sécurité élevé, notamment en répondant aux normes d'isolation galvanique entre l'utilisateur et le réseau;
- posséder une fiabilité élevée relativement à la durée de vie de l'application, en ce compris la résistance aux contraintes de l'environnement (vibrations, température, humidité,... etc.);
- ne pas être une source de perturbations pour le réseau électrique amont ou les équipements environnants ni être trop sensible aux perturbations émanant de ceux-ci (compatibilité électromagnétique);
- être la plus petite et la plus légère possible;
- et bien entendu être de préférence peu coûteuse...

A ces exigences de base, il faut parfois ajouter des demandes supplémentaires liées à une application particulière: une sécurité accrue pour les équipements médicaux, un coût particulièrement bas pour les applications grand public, une fiabilité particulièrement élevée pour les applications professionnelles, des contraintes précises de taille en tant que sous-

ensemble d'un autre équipement, des fonctions supplémentaires permettant par exemple le dialogue entre alimentations ou la maintenance de l'équipement à distance, etc.

IV.2 Présentation du simulateur ORCAD-PSPICE

Pour étudier le comportement électrique des composants et circuits intégrés, on utilise généralement un simulateur électrique. En effet, ce type de simulateur permet d'étudier le comportement électrique d'un composant à travers un schéma électrique équivalent le modélisant. En plus, ce logiciel permet d'éviter toute fausse manipulation, lors de mesures réelles, qui risque d'endommager le composant ou le circuit intégré analogique. Cette "caractérisation", à l'aide de ce genre de simulations permet aussi de tester le comportement électrique du composant (ou circuit intégré) vis-à-vis de variations de la température, de la tension d'alimentation et du processus de fabrication. Ces simulations rendent plus attractive l'utilisation de simulateur analogique pour la conception et la modélisation de dispositifs électroniques. Dans notre cas, nous avons choisi, pour nos simulations électriques du MOSFET, le logiciel SPICE (Simulation Program with Integrated Circuit Emphasis). Ce logiciel est un simulateur temporel analogique de circuits intégrés et de composants, développé au début des années 70 à l'Université de Berkeley [37], utilisant une description nodale pour la résolution du système par les lois fondamentales de Kirchhoff. Cette description peut se faire à l'aide d'une "netlist" créée par un simple éditeur de texte. La syntaxe de la "netlist" est compatible avec de nombreux logiciels de simulation analogique, le plus utilisé étant le logiciel ELDO de la société ANACAD [37].

La simulation SPICE peut être considérée comme une "mesure au laboratoire" à condition que les modèles des composants utilisés les décrivent de la façon la plus exacte possible. Plusieurs fondeurs mettent à la disposition des concepteurs les modèles SPICE de leurs composants. L'ensemble de ces modèles de composants est souvent réuni dans une bibliothèque. Il est aussi possible de définir une nouvelle fonction électronique par une macro modèle par assemblage de différents modèles de composants qui constituent son schéma électrique équivalent. C'est exactement la procédure que nous allons suivre pour modéliser les transistors MOS de puissance car leur structure physique est différente de celle des transistors MOS de signal définis dans SPICE par le modèle de MEYER [38]

IV-3 Convertisseur BUCK

Un convertisseur Buck, ou hacheur série, est une alimentation à découpage qui convertit une tension continue en une autre tension continue de plus faible valeur.

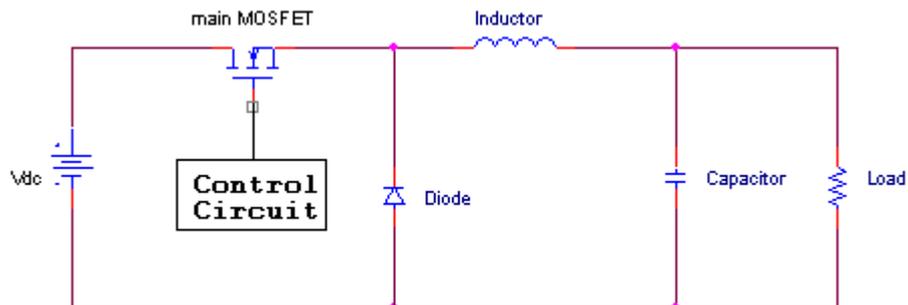


Fig. IV.1- schéma de base d'un convertisseur BUCK[40]

IV.3.1 Application des convertisseurs BUCK

Les convertisseurs Buck sont couramment utilisés dans les ordinateurs afin de réduire la tension fournie par l'alimentation vers une tension plus faible (de l'ordre du Volt) nécessaire pour alimenter le CPU. Ces alimentations doivent fournir un fort courant (plus de 100 A) avec une faible ondulation de tension (moins de 10 mV) tout en restant dans un volume réduit.

Afin de réduire les contraintes sur les semi-conducteurs, ces alimentations utilisent plusieurs convertisseurs reliés en parallèle. On parle alors de hacheurs entrelacés car les convertisseurs conduisent à tour de rôle vers le même condensateur de sortie. La plupart des alimentations de cartes-mères utilisent 3 ou 4 branches en parallèle, mais les constructeurs de semi-conducteur proposent des composants pouvant gérer jusqu'à 6 branches en parallèle [39]. Afin d'augmenter le rendement, ces alimentations utilisent la aussi rectification synchrone.

IV.3.2 Avantage des convertisseurs BUCK

Pour une alimentation possédant n convertisseurs reliés en parallèle, le courant sera réparti sur les n phases, limitant ainsi les contraintes sur chaque interrupteur et augmentant la surface d'échange thermique. En outre, la fréquence des courants et tensions vus par la charge sera n fois supérieure à celle d'un convertisseur simple, divisant d'autant l'ondulation de tension en sortie [27].

L'entrelacement des convertisseurs apporte aussi un autre avantage: la réponse dynamique du système aux variations de courant peut être améliorée. En effet, une importante

augmentation du courant demandé par la charge peut être satisfaite en faisant conduire simultanément plusieurs branches de l'alimentation si elle a été prévue pour cela.

IV.3.3 Principe d'implémentation

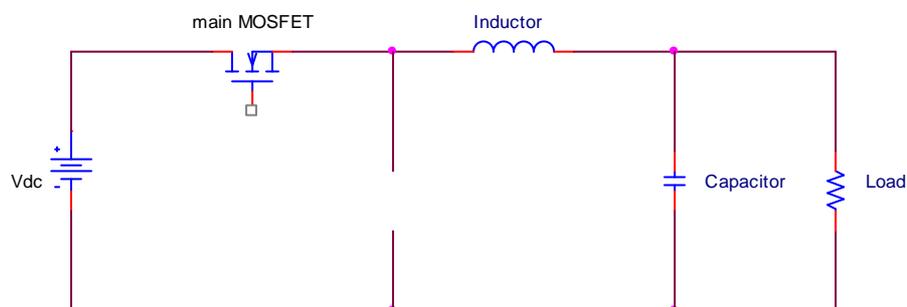
Un des problèmes inhérent aux hacheurs entrelacés est de s'assurer que le courant est équitablement réparti sur les n branches de l'alimentation. La mesure du courant dans les branches peut se faire sans pertes par mesure de la tension aux bornes de la bobine ou du second interrupteur lorsqu'il est passant. Ces mesures sont qualifiées de sans pertes car elles utilisent les pertes internes aux composants pour effectuer leur mesure sans engendrer de pertes supplémentaires. Il est aussi possible d'effectuer cette mesure aux bornes d'une petite résistance que l'on aurait insérée dans le circuit. Cette méthode a l'avantage d'être plus précise que les deux précédentes mais elle pose des problèmes en termes de coûts, de rendement et d'espace [40].

La tension de sortie peut elle aussi mesurée sans perte à travers l'interrupteur supérieur. Cette méthode est plus complexe à mettre en place qu'une mesure résistive car il faut filtrer le bruit engendré par les commutations mais elle a l'avantage d'être moins onéreuse.

IV.4 Principe de fonctionnement

Le fonctionnement d'un convertisseur Buck peut être divisé en deux configurations suivant l'état de l'interrupteur S (voir figure IV-2) :

Etat 1



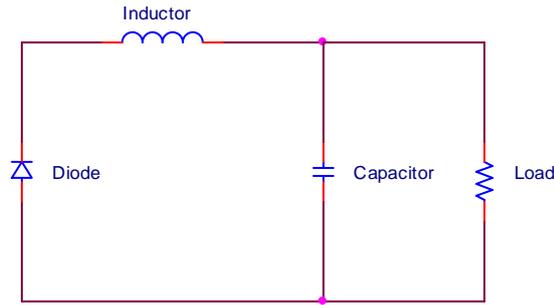
Etat 2

Fig. IV- 2: Les deux configurations d'un convertisseur Buck suivant l'état de l'interrupteur S

Dans l'état passant, l'interrupteur (état 1) est fermé, la tension aux bornes de l'inductance vaut $V_L = V_i - V_o$. Le courant traversant l'inductance augmente linéairement. La tension aux bornes de la diode étant négative, aucun courant ne la traverse.

Dans l'état bloqué, l'interrupteur est ouvert. La diode devient passante afin d'assurer la continuité du courant dans l'inductance. La tension aux bornes de l'inductance vaut $V_L = -V_o$. Le courant traversant l'inductance décroît.

IV.4.1 Fonctionnement en mode continu

Dans cette section, nous développons les équations du convertisseur DC/DC. Cette étude nous sert à dimensionner les composants pour une application donnée et de déterminer le rapport cyclique optimum. Lors du fonctionnement en mode continu du convertisseur DC/DC, le commutateur ou le transistor MOS est fermé sur l'intervalle de temps αT . A la sortie du convertisseur AC/DC, l'énergie est fournie à l'inductance et à la charge. Pendant la phase de l'ouverture du commutateur, c'est à travers la diode de roue libre que la continuité du courant est assurée. La fonction de transfert du circuit DC/DC fonctionnant en mode continu est :

$$\frac{V_s}{V_e} = \alpha \quad \text{IV. 1}$$

Les expressions de la tension et du courant de l'inductance sont données ci-dessous :

$$v_L(t) = \frac{di(t)}{dt} = v_e(t) - v_s(t) \quad \text{IV. 2}$$

$$i_L(t) = \frac{v_e(t) - v_s(t)}{L}t + I_m \quad \text{IV. 3}$$

Pendant la deuxième phase $\alpha T < t < T$, le commutateur est ouvert, et c'est à travers la diode de roue libre que le courant circule. Dans ce cas, l'inductance restitue le courant accumulé pendant la phase précédente pour continuer à alimenter la charge. L'ensemble des équations correspondantes est donné par :

$$v_L = -v_s(t) \quad \text{IV.4}$$

$$L \frac{di(t)}{dt} = -v_s(t) \quad \text{IV.5}$$

$$i_L = \frac{v_s(t)}{L} (\alpha T - t) + I_M \quad \text{IV.6}$$

Ondulations du courant i_L et de la tension v_c

L'ondulation du courant traversant I_L l'inductance est déterminée lorsque la tension dans cette dernière est nulle. Ceci implique $\Delta I_L = \Delta i_L^{\alpha T} = -\Delta i_L^{(1-\alpha)T}$. D'où l'expression ci-dessous. Cette ondulation est maximale pour $\alpha=0,5$.

$$\Delta I = I_M - I_m = \frac{v_e(\alpha T) - v_s(\alpha T)}{L} \alpha T = -\frac{v_s(T)}{L} T(1 - \alpha) \quad \text{IV.7}$$

Dans la Figure IV-3 nous reportons l'allure de la tension et du courant aux bornes de l'inductance.

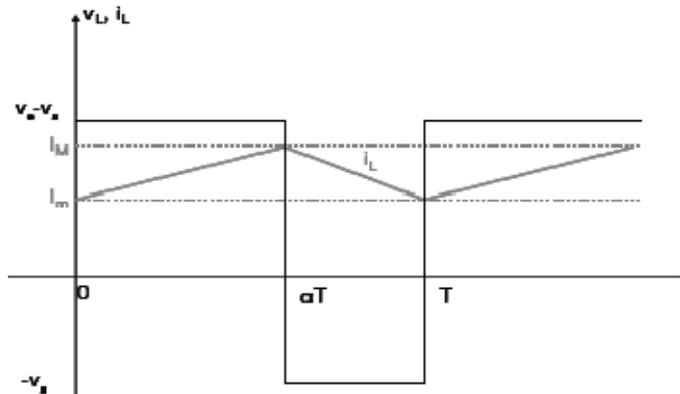


Figure IV-3 : Signaux V_L et I_L de l'abaisseur de tension DC/DC

En régime permanent, la tension de sortie est proportionnelle à la tension d'entrée $v_s = \alpha v_e$ (avec par définition $0 \leq \alpha \leq 1$ pour l'abaisseur de tension). Ceci est dû au fait que

l'ondulation de la tension de sortie v_s est négligeable devant sa valeur moyenne V_s , et que la valeur moyenne

de la tension de l'inductance est nulle. Nous obtenons, ainsi, l'expression de l'ondulation du courant :

$$\Delta I = \frac{v_e}{L} T(1 - \alpha)\alpha \quad IV.8$$

L'ondulation de la tension aux bornes de la capacité est égale à la surface du triangle formé par l'ondulation de i_L (Figure IV-4). Ainsi, à partir de l'expression du courant dans la capacité, la quantité de charge et l'ondulation de la tension peuvent être exprimé comme suit :

$$i_c = \delta i_L = C \frac{d(\delta v_s)}{dt} \quad IV.9$$

$$Q_c = \frac{1}{2} \frac{\Delta I_L T}{2} \quad IV.10$$

$$\Delta V_c = \frac{Q_c}{C} = \frac{\alpha(1 - \alpha)V_e}{8LCf^2} \quad IV.11$$

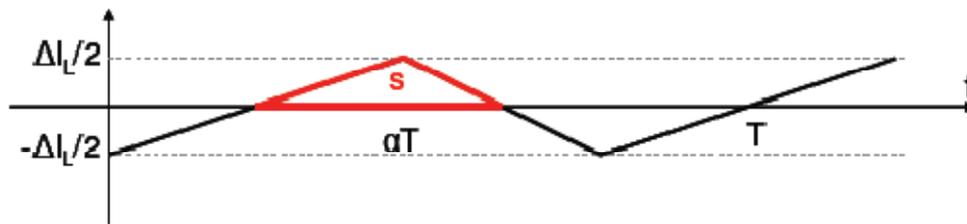


Figure VI-4 : Forme de l'ondulation du courant dans l'inductance

Choix de L et de C

Les valeurs optimales de l'inductance et de la capacité peuvent être déterminées pour $\alpha=0,5$:

$$L \geq \frac{T v_e}{4 \Delta I_{Lmax}} \alpha(1 - \alpha) \quad IV.12$$

$$C \geq \frac{v_e}{8 L f^2 \Delta V_s} \alpha(1 - \alpha) \quad IV.13$$

Le dimensionnement des composants du convertisseur permet l'obtention d'un bon rendement du convertisseur DC/DC en termes de transfert du maximum de puissance [41]. Par ailleurs, les valeurs maximales de l'ondulation pour le courant et la tension sont liées aux conditions suivantes :

- Une faible valeur de l'ondulation conduit à de grandes valeurs de L et C
- Une valeur trop élevée de l'ondulation augmente le courant dans les composants non linéaires (transistors et diodes).

IV.4.2 Fonctionnement en mode discontinu

Le mode de fonctionnement discontinu est intéressant pour les applications qui nécessitent une certaine rapidité de réponse à la variation de la charge et/ou de la tension d'entrée. Par contre, ce mode entraîne un courant important dans l'inductance, et une capacité élevée pour le filtrage en sortie. La fonction de transfert du convertisseur fonctionnant en mode discontinu est :

$$\frac{V_S}{V_E} = \frac{\alpha}{\alpha + \alpha'} \quad \text{IV.14}$$

Le courant dans l'inductance est déterminé par les expressions suivantes :

$$i_L(t) = \frac{v_e - v_s}{L} t \quad 0 < t < \alpha T \quad \text{IV.15}$$

$$i_L(t) = I_M - \frac{v_s}{L} (t - \alpha T) \quad \alpha T < t < \alpha' T \quad \text{IV.16}$$

$$i_L(t) = 0$$

$$I_M = \frac{v_e - v_s}{L} \alpha T = \frac{v_s}{L} \alpha' T \quad \alpha' T < t < T \quad \text{IV.17}$$

Le courant à l'entrée du convertisseur est donné par :

$$\langle i_e \rangle = \frac{\alpha}{2} I_M \quad \text{IV.18}$$

Le courant en sortie du convertisseur est donné par :

$$\langle i_L \rangle = \frac{I_M}{2} (\alpha + \alpha') = \frac{\alpha^2}{2Lf_s} \frac{v_e}{v_s} (v_e - v_s) \quad \text{IV.19}$$

Les formes d'onde des différents signaux sont représentées dans la figure ci-dessous.

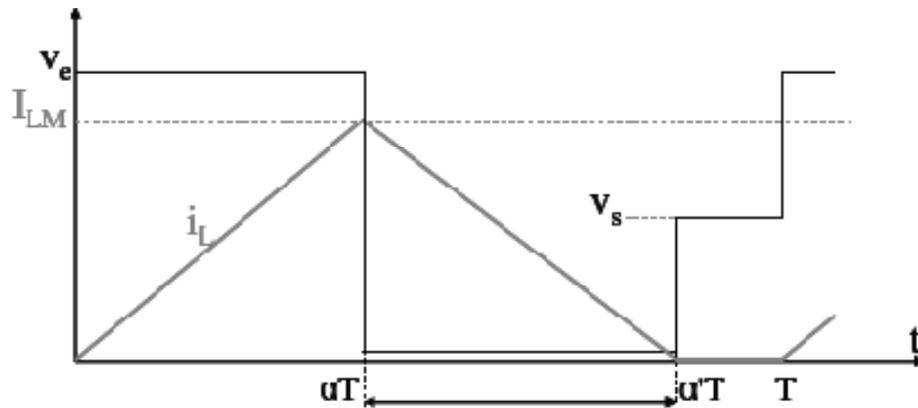


Figure IV-5 : La forme d'onde des différents signaux Buck DCM [40]

Choix de L et de C

En mode discontinu, les valeurs de l'inductance et de la capacité sont données par les expressions suivantes :

$$I_M = \frac{v_i - v_0}{L} \alpha T \quad L = \frac{v_i - v_0}{I_M f_s} \quad IV.20$$

$$\Delta v_e = \frac{\Delta Q}{C} = \frac{(I_M - i_0)^2 t_1}{2CI_M} \frac{v_i}{v_0} \quad C = \frac{(I_M - i_0)^2 \alpha v_i}{2I_M f_s \Delta v_0 v_0} \quad IV.21$$

IV.5 Cahier des charges

A travers le cahier des charges, sont fixées les différentes contraintes que doit respecter les convertisseurs de puissance afin de garantir un fonctionnement normal dans un environnement spécifique. La description d'un cahier des charges peut aller du plus simple, en considérant le minimum de phénomènes à prendre en compte, jusqu'au plus détaillé en fixant le fonctionnement du convertisseur avec des contraintes sévères et de nature différente. Lors de la description de notre cahier des charges, nous avons pris en compte les contraintes les plus importantes qu'un convertisseur doit remplir pendant son fonctionnement dans un environnement réel. Ce sont des contraintes de type électrique, thermique et CEM. Ce choix a été inspiré d'un exemple réel de pré-dimensionnement d'une structure similaire pour des applications automobiles, traité dans [30]. Le cahier des charges retenu est présenté sur le tableau suivant :

Electrique	Thermique	CEM
$V_E = 20V$ $V_S = 1.2V$ $I_S = 250mA$ $\Delta(V_S)_{max} = 200mV$ MCC	$T_{ambMAX} = 50^{\circ}C$ $T_{JMAX} = 150^{\circ}C$	EN55022 : Classe A Classe B

Tab. IV.1 Cahier des charges retenu [40].

Avec :

V_E : Tension d'entrée (continue)

V_S : Tension de sortie (continue)

I_S : Courant de sortie moyen

$\Delta(V_S)_{max}$: Ondulation maximale sur la tension de sortie

MCC : Mode de Conduction Continu

T_{amb}^{max} : Température ambiante maximale

T_J^{max} : Température de jonction maximale

EN 55022 : Normes générique pour domaines résidentiels, commerciaux et l'industrie légère,

Pour chaque contrainte de pré-dimensionnement, soit chaque phénomène pris en compte, des modèles analytiques sont nécessaires pour le décrire.

IV.5.1 Spécifications thermiques

Les contraintes thermiques visent surtout à s'assurer que la température de jonction des semi-conducteurs reste en dessous d'une limite maximale qui garantit la fiabilité des composants. Suivant le milieu de fonctionnement du convertisseur, la température ambiante est fixée. Pour certaines applications et lorsqu'on part d'un milieu « chaud », on ne dispose pas d'une marge suffisante entre l'ambiante et la limite sur la jonction pour réaliser le refroidissement naturel des semi-conducteurs, par exemple la température ambiante pour des applications automobile est de $95^{\circ}C$ [30].

Le calcul de la température de jonction ainsi que le dimensionnement du radiateur, si nécessaire, nécessite le calcul des pertes dans le système. Un modèle thermique est ainsi déterminé en prenant en compte les pertes dans le montage ainsi que les différents chemins de propagation de la chaleur. Ce modèle permet de relier la température de jonction aux pertes dans le système.

IV.5.2 Spécifications électriques

Comme montrées dans le cahier des charges retenues, Tab.IV.1, les spécifications électriques permettent de fixer un taux d'ondulation maximal pour la tension de sortie ainsi qu'un fonctionnement en mode de conduction continu. Nous rappelons juste que cette étude peut aussi s'appliquer au MCD en adaptant les modèles de calcul. L'ondulation du courant inductif, ΔI , fixe le mode de conduction continu si $\Delta I < 2 \cdot I_s$.

Dans, l'ondulation du courant inductif (ΔI) et l'ondulation de la tension de sortie (V_s) sont déterminées à partir des formes d'ondes, il est démontré que

$$\Delta V_s = \frac{\alpha(1-\alpha)V_e}{8LCf^2}$$

$$\Delta I = \frac{\alpha(1-\alpha)V_e}{Lf}$$

Avec $\alpha = \frac{v_s}{v_e}$ rapport cyclique, f : fréquence de découpage.

Ces équations ont été utilisées dans le choix des composants. La liste des condensateurs et des MOSFET est établie en fonction de la tension de service [42].

Les composants linéaires et non linéaires ainsi que les paramètres du DC/DC sont présentés dans le Tableau IV-2. Cette configuration nous permet de comparer le modèle de l'abaisseur de tension construit sous PSPICE.

Composant/paramètre	valeur
Transistor	IRF150 $T_j=150$
Diode	D1N4002
VE	20V
L	$(1\text{-duty cycle}) \cdot r_{load} / (2 \cdot F_{switch})$
C	$(1\text{-duty cycle}) / (8 \cdot \text{inductance} \cdot \text{ripple} \cdot F_{switch} \cdot F_{switch})$
Rload	10 Ω

Tableau IV-2 : Composants linéaires utilisés [43]

Les Figures IV-7 et IV-8 illustrent les courbes de la simulation sous SPICE qui sont la référence pour valider notre modèle.

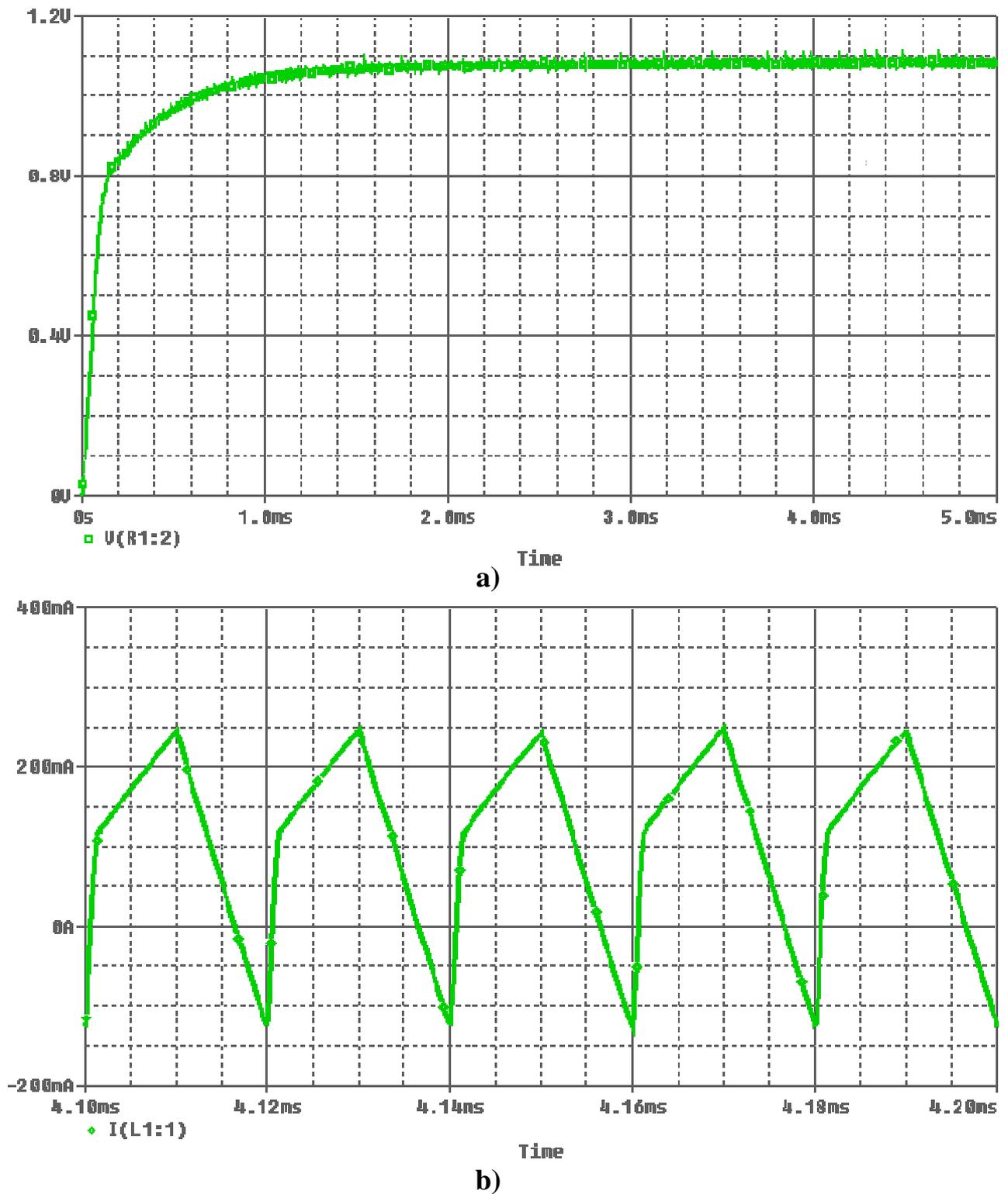


Figure IV.6 : (a) Courbes de V_S , (b) I_L sous SPICE [44].

IV.6 Remplacement du transistor IRF150 par notre modèle

L'augmentation des fréquences de découpage impose le transistor MOSFET comme interrupteur actif car son fonctionnement unipolaire le rend plus rapide que le transistor bipolaire de puissance. D'autre part, sa commande est plus facile à mettre en œuvre et génère moins de pertes que la commande d'un bipolaire. Le transistor MOS vertical (VDMOS) est la topologie la plus utilisée dans le domaine de la puissance. Lorsque la tension grille-source, V_{gs} , dépasse la tension de seuil V_{th} , le transistor est alors passant et caractérisé par sa résistance, R_{dson} . Si le MOSFET présente des vitesses de commutation rapides, elles sont néanmoins limitées par ses capacités parasites qu'il faut charger et décharger à chaque cycle, sources de pertes : C_{gs} , C_{gd} et C_{ds} .

Le circuit est alimentée par une source de tension V_i , la sortie est chargée par une résistance R et débite un courant I_S . L'interrupteur K , symbolisé ici comme un MOSFET de puissance (IRF150), est rendu périodiquement conducteur avec un rapport cyclique α à la fréquence $F = 1/T$.

On distingue deux modes de fonctionnement de ce circuit selon que le courant circulant dans l'inductance L est ou non continu (ne s'annule pas au cours de la période).

Le mode conduction continue étant le plus intéressant pour ce convertisseur, nous n'étudierons que ce mode.

PARAMETERS:

```
duty cycle = 0.5
capacitance = ((1-duty cycle)/(8*inductance*ripple*Fswitch*Fswitch))
inductance = ((1-duty cycle)*rload/(2*Fswitch))
ripple = 0.01
rload = 10
Fswitch = 50K
```

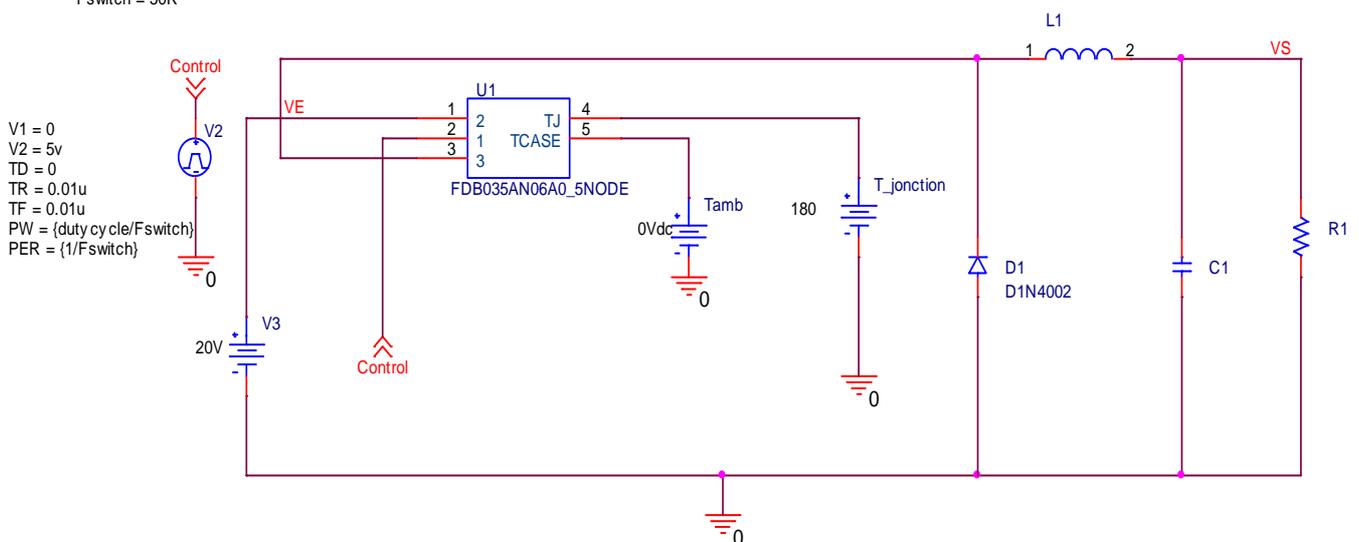


Fig. IV.7 Montage de remplacement du MOS IRF150 par notre modèle du VDMOS

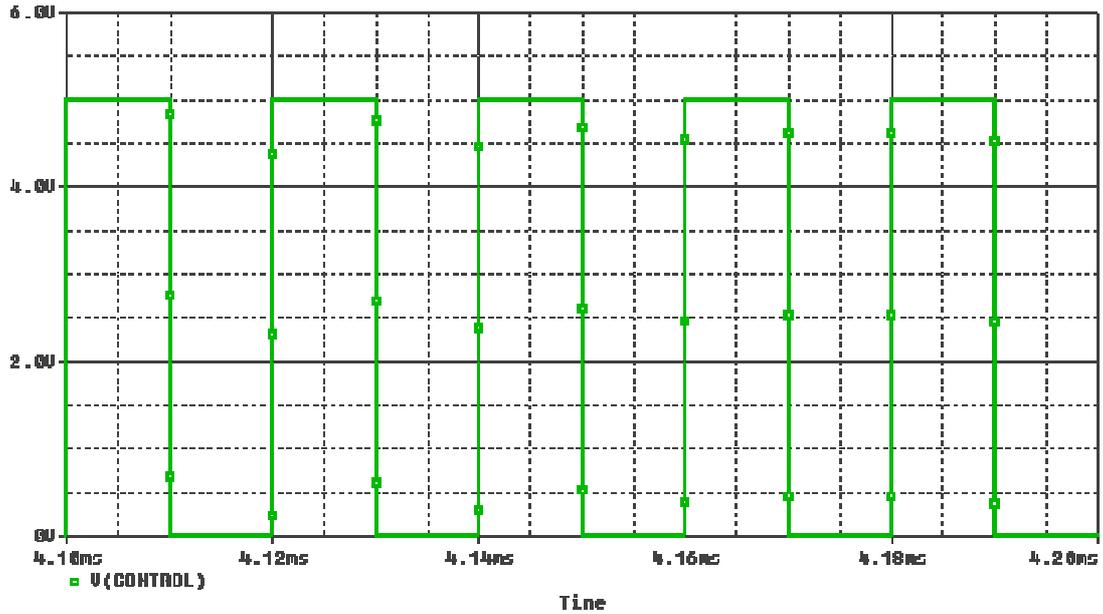
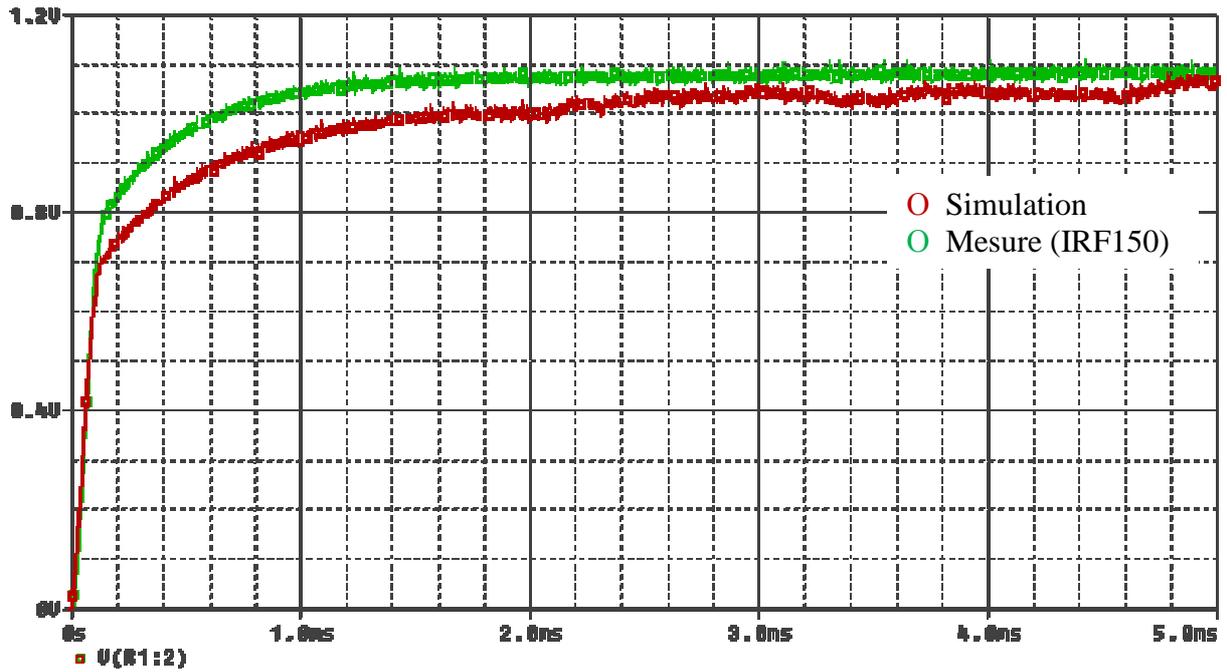


Fig. IV.8 Cycle de commutation du MOSFET($V_{control}$)

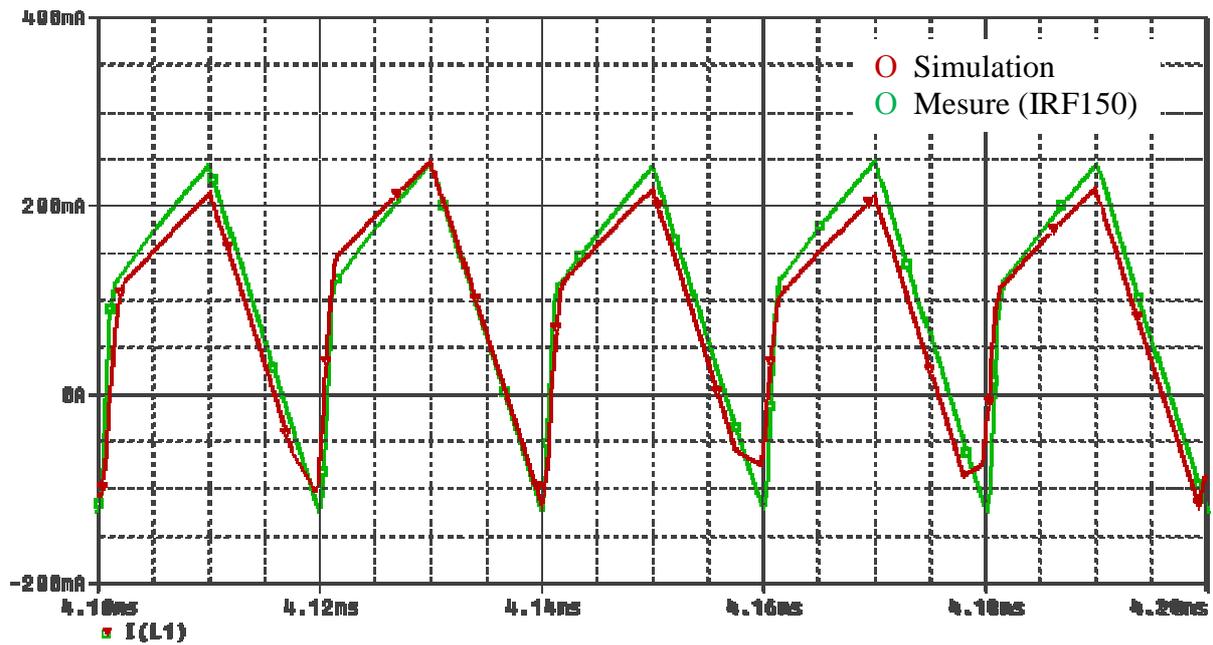
IV.6.1 Comparaison entre simulation et expérience

Pour déterminer le degré de précision de notre modèle, nous avons systématiquement comparé les deux grandeurs suivantes :

- La tension de sortie (V_S)
- Le courant circule dans la bobine (I_L)



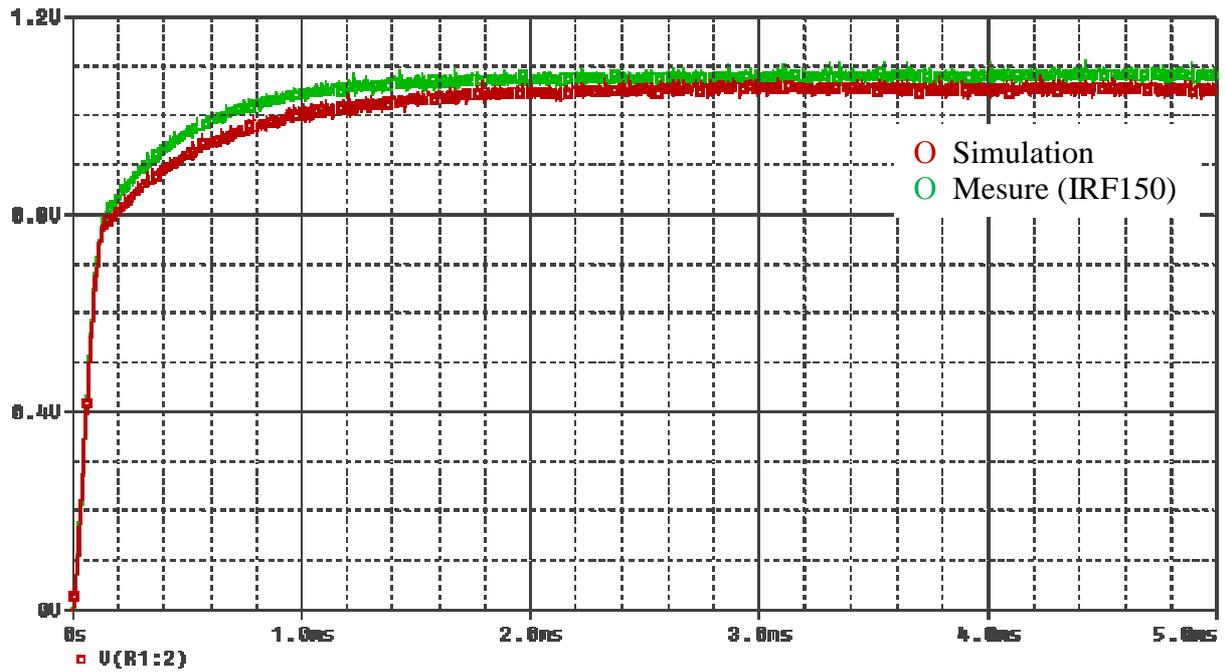
a)



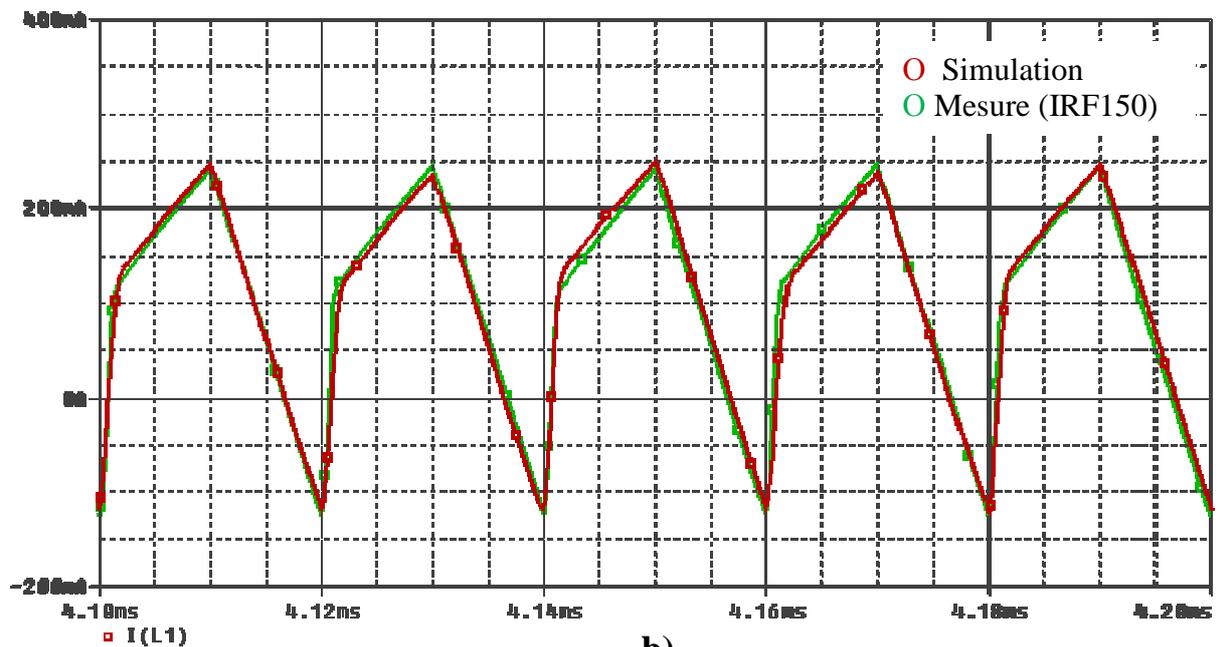
b)

FIG. IV.9 – Comparaison des formes d’ondes sur le PSPICE mesurées et simulées pour une température de jonction $T_J = 80$

a) La tension V_S b) Le courant I_L



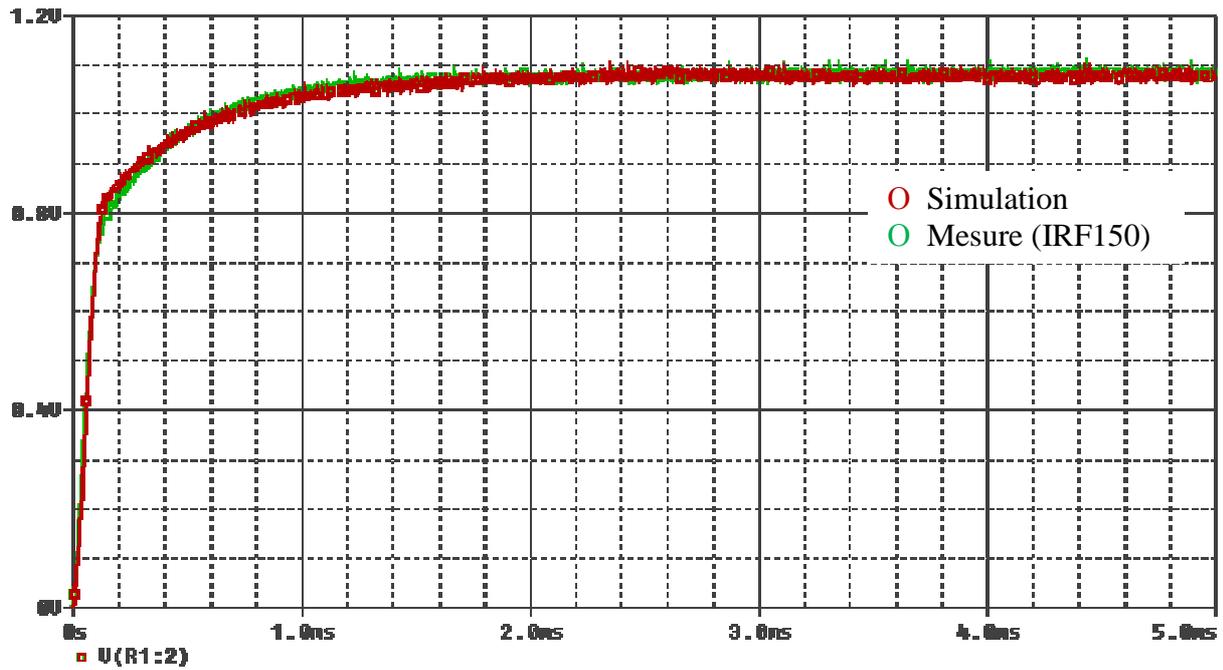
a)



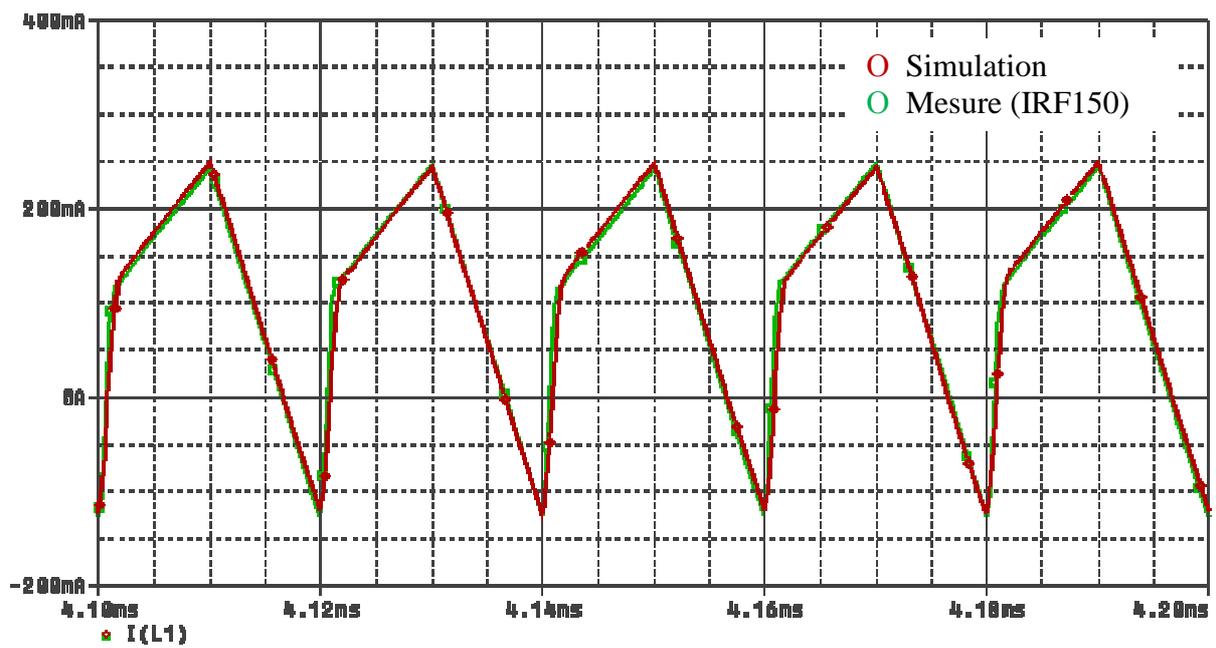
b)

Fig. IV.10 – Comparaison des formes d'ondes sur le PSPICE mesurées et simulées pour une température de jonction $T_J=120$.

a) La tension V_S b) Le courant I_L



a)



b)

Fig. IV.11 – Comparaison des formes d’ondes sur le PSPICE mesurées et simulées pour une température de jonction $T_J=150$.

a) La tension V_S b) Le courant I_L

Le courant maximal dans l'inductance est égal à $250mA$, et la tension aux bornes de la résistance de charge en régime permanent V_{out} est égale à $1,1V$.

IV.6.2 Conclusion

Les simulations effectués tout au long de ce chapitre ont montré l'exactitude du modèle élaboré du fait qu'il pesent d'approcher toute les réponses expérimentals du convertisseur BUCK

L'optimisation des convertisseurs de puissance, consiste à transformer un problème de prédimensionnement en un problème d'optimisation contraint. C'est à l'aide des modèles analytiques que seront décrites les différentes contraintes d'optimisation qui permettront de satisfaire le cahier des charges imposé par le concepteur.

CONCLUSION GÉNÉRALE

Conclusion générale

En électronique de puissance, les transistors bipolaires et les thyristors étaient les premiers dispositifs de puissance commandables utilisés dans plusieurs applications de puissance. Toutefois, ces dispositifs bipolaires ne sont pas adaptés aux applications en commutation haute fréquence et exigent un circuit de commande complexe fournissant une énergie non négligeable.

L'évolution des technologies dans le domaine des circuits intégrés MOS a permis le développement de familles de transistors MOS de puissance capables de fonctionner en haute fréquence avec une commande simplifiée à travers une grille isolée par un oxyde mince.

Le transistor MOS de puissance de structure conventionnelle en silicium est un composant unipolaire qui est très utilisé dans les applications de puissance en commutation haute fréquence pour des tensions de claquage ne dépassant pas les 250 Volts. Le courant dans le transistor MOS de puissance est un courant de conduction d'un seul type de porteurs (les majoritaires), il n'existe donc aucun délai d'évacuation dû à la charge stockée ou à la recombinaison des porteurs minoritaires comme dans le cas des dispositifs bipolaires. Par conséquent, la vitesse de commutation des transistors MOS de puissance est très supérieure à celle des transistors bipolaires. C'est cette propriété qui fait du transistor MOS de puissance le composant de choix pour les applications en commutation haute fréquence.

Le transistor MOS de puissance est constitué d'une multitude de cellules élémentaires mises en parallèle pour permettre au composant de commuter des courants très importants. Contrairement aux transistors bipolaires, la mise en parallèle des cellules MOS élémentaires est possible grâce au coefficient de dérive thermique positif de la résistance à l'état passant de ces cellules. Par conséquent, la distribution de courant direct reste homogène entre les cellules constitutives du transistor MOS de puissance.

En ce qui concerne la technologie MOS de puissance, le transistor MOS de puissance est fabriqué en utilisant le processus de double diffusion planar de type P et N₊ pour réaliser les zones P base du canal et N₊ de source. D'ailleurs, le nom de ces transistors DMOS est tiré directement de ce processus de double diffusion, c'est-à-dire réalisation d'une double diffusion P et N₊ à travers la même fenêtre utilisant la grille en polysilicium comme bord de masquage. Cette technique d'auto-alignement de ces diffusions permet de régler et contrôler la longueur du canal du transistor DMOS à des dimensions submicroniques.

La problématique et le besoin d'une microélectronique haute température sont clairement définis par les besoins actuels et futurs de ses différents domaines d'application de puissance, notamment l'industrie automobile, l'industrie pétrolière et l'industrie aérospatiale. La majorité des applications actuelles et des dix prochaines années (plus du 70% du total), correspondant à des températures d'opération inférieures à 200°C, ne justifient pas encore l'utilisation des nouvelles technologies de semi-conducteurs émergentes, large bande interdite ou du type SOI couche mince, du fait de la plus haute maturité et compétitivité des technologies standards CMOS et BiCMOS sur substrat de silicium, en termes de coût, de densité d'intégration, et de fiabilité. C'est justement l'objectif assigné par notre travail : un macromodèle du transistor MOS de puissance a été conçu et implanté sur le simulateur SPICE, son exactitude dans un convertisseur BUCK a plus renforcé sa fiabilité.

BIBLIOGRAPHIE

Bibliographie

- [1] Frédéric MORANCHO "**Le transistor MOS de puissance à tranchées: modélisation et limites de performances**", Thèse de doctorat, Université Paul Sabatier de Toulouse, décembre 1996.
- [2] Pierre Aloïsi, "**Les semiconducteurs de puissance**", Ellipses, 2001.
- [3] Anis Ammous, "**Modélisation électrothermique de l'IGBT (Transistor Bipolaire à Grille Isolée): Application à la simulation du court-circuit**", Thèse de doctorat, INSA de Lyon, octobre 1998.
- [4] J. W. Palmour, H. S. Kong R. F. Davis "**Characterization of device parameters in high-temperature metal-oxide semiconductor field effect transistors in β -SiC thin films**" J. Appl. Phys., Vol. 64, pp. 2168-2177, 1988.
- [5] Mohammed Darwish "**Low voltage power devices for portable devices**" in the 17th international symposium on power semiconductor devices and ICs 2005 ST Barbara 22-26 mai 2005 shortcourse 70 pages
- [6] H. Mathieu "**Physique des Semi-conducteurs et des composants électroniques**" Collection : Enseignement de la Physique, Edition Masson, 4^{ème} édition.
- [7] F. Levy "**Physique et technologie des semi-conducteurs**" Traité des matériaux, Presses polytechniques et universitaire romandes.
- [8] B.J Baliga "**Modern Power Devices**" E.d.J.Wiley and Son 1987.
- [9] B.J Baliga "**Power Semiconductor Devices**" publishing Company Edition, 1996.
- [10] F.Goodenough "**Planar Vertical DMOS Process Cuts Power MOSFET Specific ON-Resistance**" Electronic Design, p.65-72, juillet 1996.
- [11] H.R Chang "**Numerical and Experimental Comparison of 60V vertical Double-Diffused MOSFETs with a Trench-Gate structure**" Solid-State Electronics, Vol. 32, N° 3, P 247-251 1989
- [12] S.C.Sun, J.D Plammer "**Modeling of ON-Resistance of LDMOS, VDMOS and**

VMOS power Transistors” IEEE Transactions on Electronic Devices, Vol. 27,N° 2,P.356-367 1980.

[13] Y. Fucumochoti, I. Suga, T. Ono “**Synchronous Rectifiers Using New structur MOSFET**” proc. ISPSD, p. 252-255, 1995.

[14] M. Napieralska “**Modélisation du Transistor VDMOS Pour Simulation de Circuit en Electronique de Puissance**” Thèse de Doctorat, Université de Sabatier, Toulouse, 1991.

[15] D.A. Grant, J. Gowar “**power MOSFETs: theory and applications**”
ED. J, Wiley and Son 1989

[16] F. Morancho, P. Rossel, H. Tranduk “**Propriétés Statiques et Dynamiques des Transistors MOS de Puissance à Tranchées (UMOS) Basse Tension**” Journal de physique III, Vol. N°2, P.302-322 Février 1996.

[17] T. Phan Pham “Le Compromis Entre la Résistance à l’Etat Passant et la Tenue en Tension des Transistors MOS de Puissance” Thèse de 3^{ème} cycle, Université Paul Sabatier, Toulouse,1982.

[18] J.L. Sanchez “Propriétés à l’Etat passant des Transistors DMOS de puissance Coplanaires et Verticaux” Thèse de Doctor-Ingénieur, INSA Toulouse 1984.

[19] M.Gharbi “La Tenue en Tension et le Caliber en Courant du Transistor MOS Vertical dans la Gamme des Tensions (300V à 1000V)” Thèse de 3^{ème} Cycle, Université de Paul-Sabatier, Toulouse, 1985.

[20] C.Hu “**Optimum Design of Power MOSFETs**” IEEE Transaction on Electronic Devices Vol. 31, No 12, P. 293-312, 1984.

[21] W.J. Hepp, C. F. Wheatley, “**A New PSPICE Subcircuit for the Power MOSFET Featuring Global Temperature Options**”, IEEE Transactions on Power Electronics Specialist Conference Records, 1991 pp. 533-544.

[22] “**A New PSPICE Subcircuit for the Power MOSFET Featuring Global Temperature Options**”, Fairchild Semiconductor, Application Note AN-7510, October 1999.

- [23] F. DI Giovanni, G. Bazzano, A. Grimaldi, "A New **PSPICE Power MOSFET Subcircuit with Associated Thermal Waveforms of the L 2 FET: A 5Volt Gate Drive Power MOSFET,**" Power Electronics Specialist Conference Model, PCIM 2002 Europe, pp.271-276.
- [24] H.P. Yee, P.O. Lauritzen "SPICE models for power MOSFET's: an update" IEEE Applied Power Electronics Conference, New Orleans, pp. 281-289, 1988.
- [25] M. März, P. Nance, "Thermal Modeling of Power-electronic Systems", Infineon Technologies, Application Note, mmpn_eng.pdf
- [26] S. Benczkowski, R. Mancini, "Improved MOSFET Model", PCIM, September 1998, pp. 64-69.
- [27] G.M. Dolny, H.R. Ronan, Jr., and C.F. Wheatley, Jr, "A **SPICE II Subcircuit Representation for Power MOSFETs Using Empirical Methods**" RCA Review", Vol 46, Sept 1985.
- [28] C.F. Wheatley, Jr., H.R. Ronan, Jr., and G.M. Dolny, "Spicing-up **SPICE II Software For Power MOSFET Modeling,**" Fairchild Semiconductor, Application Note AN7506, February 1994.
- [29] A.Laprade, S. Pearson, S. Benczkowski, G. Dolny, F. Wheatley; "A **Revised MOSFET Model with Dynamic Temperature Compensation**"; PCIM Shanghai 2003, pp.177.
- [30] Jihye Whang "Thermal Characterization and Modeling of **LDMOS FETs**" Department of Electrical Engineering and Computer Science, Massachusetts Institute of Technology, 22 Mai 2002, USA.
- [31] P. F. Combes, J. Graffeuill, J. P. Sautereau "Composants, dispositifs et circuits actifs en micro-ondes".Dunod université 1985
- [32] L.E. Getreu "Modeling the bipolar transistor" C.A.D of Electronic Circuits, n°1, 1978, Edition Elsevier - 1976
- [33] J. W. Palmour, H. S. Kong R. F. Davis "Characterization of device parameters in **high-temperature metal-oxide semiconductor field effect transistors in β -SiC thin films**"J. Appl. Phys., Vol. 64, pp. 2168-2177, 1988.

- [34] Gilles Dambrine, Alain Cappy, Frederic Heliodore **“A new method for determining the FET small-signal equivalent circuit “** IEEE Transactions on microwave theory and techniques, vol. 36, no. 7, july 1988.
- [35] J.P. Raskin, G. Dambrine, R.Gillon **“Direct extraction of the series equivalent circuit parameters for the small-signal model of SOI MOSFET’s “** IEEE microwave and guided wave letters, vol. 7, N°. 12, december 1997.
- [36] Steve Clemente **« Transient thermal response of power semiconductors to short power pulses »** IEEE transactions on power electronics, vol. 8, no. 4, October 1993.
- [37] R. Mimouni, H. Tranduc, P. Rossel, D. Allain, M. Napieralska **“SPICE Model for TMOS Power MOSFETs”**Motorola application note AN1024.
- [38] ORCAD, «Pspice A/D», User guide, Cadence.
- [39] P. Tounsi, **"Méthodologie de la conception thermique des circuits électroniques hybrides et problèmes connexes,"** Thèse de doctorat, Université Paul Sabatier de Toulouse 1992-1993
- [40] **"les alimentations à découpage et convertisseurs DC-DC"**. Disponible sur <http://perso.wanadoo.fr/f6cpr/elec/radio\dcdc.html>. Mai 2005.
- [41] B. Jayant, **“Power semiconductor devices”**, PWS publishing company, 1996.
- [42] Guy Séguier, Électronique de puissance **"Les fonctions de base et leurs principales applications"**, Dunod, 2001.
- [43] J. Auvray. **"Systèmes électroniques"**. Disponible sur www.abcelectronique.com. Mai 2005.
- [44] Francis HUIN **"Etude des formes d’ondes permettant une optimisation des performances des amplificateurs de puissance. Application à la conception d’amplificateurs, à faible tension de polarisation, pour les communications mobiles »** Thèse de l’université de Limoges, Janvier 2001.
- [45] P. Dupuy, Thèse **"Modèles thermiques et méthodologie d'analyse thermique pour circuits intégrés de puissance de type "Smart Power"**, LAAS- N° d'ordre : 449, 1998.

- [46] M. Napieralska “**Modélisation du transistor VDMOS pour simulation de circuits en électronique de Puissance** ”Thèse de Doctorat de l’Institut National des Sciences Appliquées, Toulouse, 1991.
- [47] S. Latreche “**Le transistor MOS à canal vertical en régime non-linéaire d’amplification Haute fréquence de puissance**” Thèse de 3^{ème} cycle, Université Paul Sabatier, N° 3189, Toulouse, 1985.
- [48] M. Belabadia “**Propriétés dynamiques des transistors MOS de puissance**” Thèse de Doctorat, Université Paul Sabatier, N° 315, Toulouse, 1988.
- [49] D. Moncoquit “**Propriétés physiques et modélisation du transistor de puissance LDMOS**” Thèse de Doctorat de l’Université Paul Sabatier, Toulouse, 1997.
- [50] Université de Savoie. "Énergie et convertisseurs d'énergie". Disponible sur www.abcelectronique.com. Mai 2005.
- [51] Dimosthenis C. Katsis, "**Characterization of Die-Attach Degradation in the Power MOSFET**" Thèse de doctorat, Virginia Polytechnic Institute, janvier 2003.
- [52] Qiang Liu, " **Étude du comportement de transistors de puissance pour l’automobile en haute température**», Thèse de doctorat, INSA de Lyon, décembre 1994.
- [53] SHILPA Sharma et TARANJIT Singh Kukal, "**Convergence Guide**", Application note, Cadence, URL www.orcad.com/. Peut être téléchargé à l’adresse suivante: <http://www.onsemi.com/pub/Collateral/AN1043-D.PDF>
- [54] G.M. Dolny, H.R. Ronan, F. Wheatley “**A SPICE II subcircuit representation for power MOSFET’S using empirical methods**” RCA Review, Vol. 46, pp. 308-320, Sep. 1985.
- [55] “**PSPICE Circuits Analysis Manuel Installation and utilisation**”. Microsim Corporation, 1993.

ANNEXE

Annexe A

Modèle PSPICE du MOSFET de puissance

Le listing ci-dessous est le modèle complet du transistor MOS FDP038AN06A0 utilisé pour les simulations de ce mémoire.

PSPICE Electrical Model

```
.SUBCKT FDP038AN06A0 2 1 3 ; rev July 04, 2006
```

```
Ca 12 8 1.5e-9
```

```
Cb 15 14 1.5e-9
```

```
Cin 6 8 6.1e-9
```

```
Dbody 7 5 DbodyMOD
```

```
Dbreak 5 11 DbreakMOD
```

```
Dplcap 10 5 DplcapMOD
```

```
Ebreak 11 7 17 18 69.3
```

```
Eds 14 8 5 8 1
```

```
Egs 13 8 6 8 1
```

```
Esg 6 10 6 8 1
```

```
Evthres 6 21 19 8 1
```

```
Evtemp 20 6 18 22 1
```

```
It 8 17 1
```

```
Lgate 1 9 4.81e-9
```

```
Ldrain 2 5 1.0e-9
```

```
Lsource 3 7 4.63e-9
```

```
RLgate 1 9 48.1
```

```
RLdrain 2 5 10
```

```
RLsource 3 7 46.3
```

```
Mmed 16 6 8 8 MmedMOD
```

```
Mstro 16 6 8 8 MstroMOD
```

```
Mweak 16 21 8 8 MweakMOD
```

```
Rbreak 17 18 RbreakMOD 1
```

```
Rdrain 50 16 RdrainMOD 1e-4
```

```
Rgate 9 20 1.36
```

```
RSLC1 5 51 RSLCMOD 1e-6
```

```
RSLC2 5 50 1e3
```

```
Rsource 8 7 RsourceMOD 2.8e-3
```

```
Rvthres 22 8 RvthresMOD 1
```

```
Rvtemp 18 19 RvtempMOD 1
```

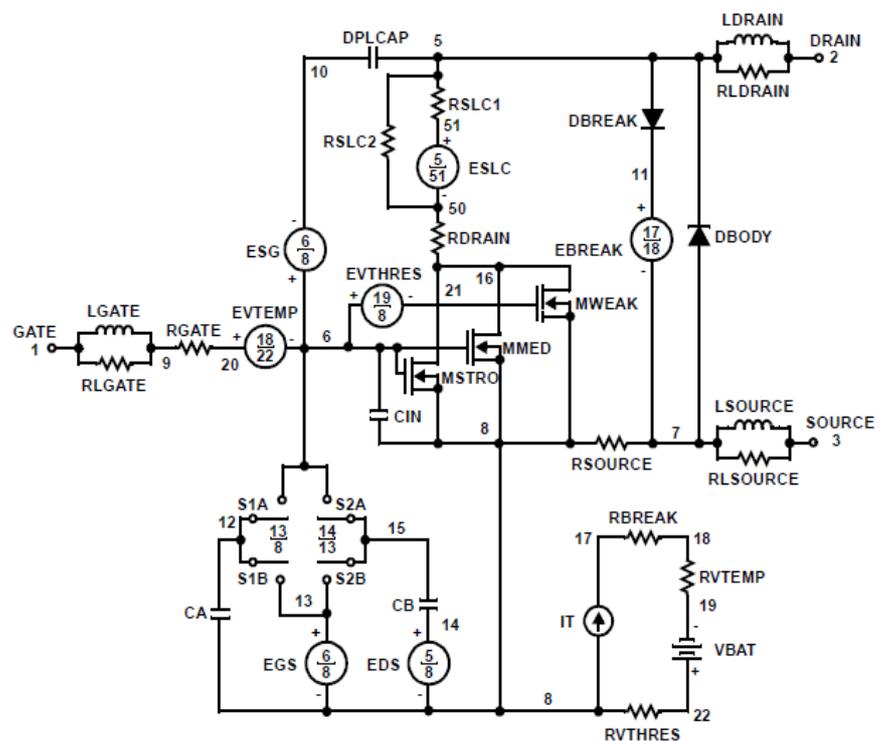
```
S1a 6 12 13 8 S1AMOD
```

```
S1b 13 12 13 8 S1BMOD
```

```
S2a 6 15 14 13 S2AMOD
```

```
S2b 13 15 14 13 S2BMOD
```

```
Vbat 22 19 DC 1
```



```

ESLC 51 50 VALUE={({(V(5,51)/ABS(V(5,51)))*(PWR(V(5,51)/(1e-6*250),10))})
.MODEL DbodyMOD D (IS=2.4E-11 N=1.04 RS=1.65e-3 TRS1=2.7e-3 TRS2=2e-7
+ CJO=4.35e-9 M=5.4e-1 TT=1e-9 XTI=3.9)
.MODEL DbreakMOD D (RS=1.5e-1 TRS1=1e-3 TRS2=-8.9e-6)
.MODEL DplcapMOD D (CJO=1.7e-9 IS=1e-30 N=10 M=0.47)
.MODEL MmedMOD NMOS (VTO=3.3 KP=9 IS=1e-30 N=10 TOX=1 L=1u W=1u
RG=1.36 T_abs=25)
.MODEL MstroMOD NMOS (VTO=4.00 KP=275 IS=1e-30 N=10 TOX=1 L=1u W=1u
T_abs=25)
.MODEL MweakMOD NMOS (VTO=2.72 KP=0.03 IS=1e-30 N=10 TOX=1 L=1u W=1u
RG=13.6 RS=0.1 T_abs=25)
.MODEL RbreakMOD RES (TC1=9e-4 TC2=-9e-7)
.MODEL RdrainMOD RES (TC1=4e-2 TC2=3e-4)
.MODEL RSLCMOD RES (TC1=1e-3 TC2=1e-5)
.MODEL RsourceMOD RES (TC1=5e-3 TC2=1e-6)
.MODEL RvthresMOD RES (TC1=-6.7e-3 TC2=-1.5e-5)
.MODEL RvtempMOD RES (TC1=-2.5e-3 TC2=1e-6)
.MODEL S1AMOD VSWITCH (RON=1e-5 ROFF=0.1 VON=-4 VOFF=-1.5)
.MODEL S1BMOD VSWITCH (RON=1e-5 ROFF=0.1 VON=-1.5 VOFF=-4)
.MODEL S2AMOD VSWITCH (RON=1e-5 ROFF=0.1 VON=-1 VOFF=0.5)
.MODEL S2BMOD VSWITCH (RON=1e-5 ROFF=0.1 VON=0.5 VOFF=-1)
.ENDS

```

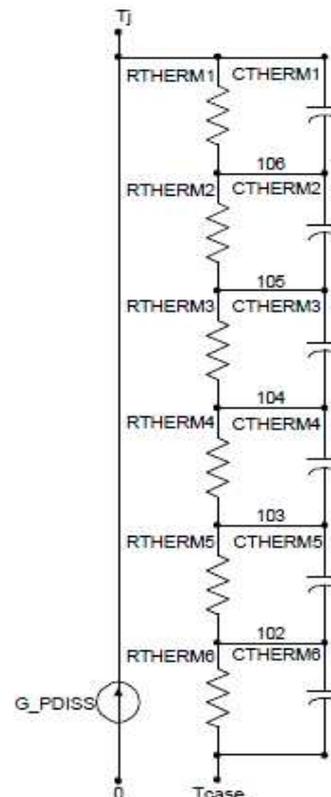
PSPICE Thermal Model

REV 23 July 4, 2006
FDP038AN06A0T

```

CTHERM1 Tj 6 6.45e-3
CTHERM2 6 5 3e-2
CTHERM3 5 4 1.4e-2
CTHERM4 4 3 1.65e-2
CTHERM5 3 2 4.85e-2
CTHERM6 2 TC 1e-1
R THERM1 Tj 6 3.24e-3
R THERM2 6 5 8.08e-3
R THERM3 5 4 2.28e-2
R THERM4 4 3 1e-1
R THERM5 3 2 1.1e-1
R THERM6 2 TCase 1.4e-1

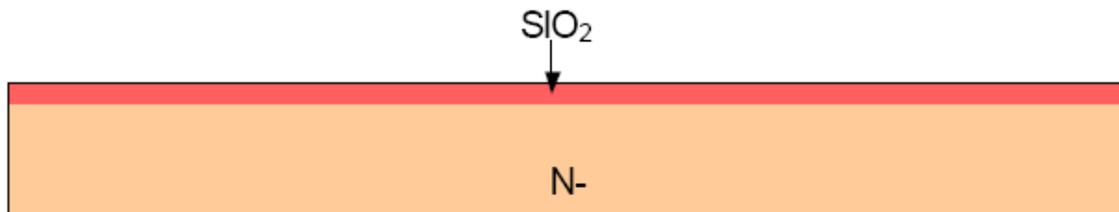
```



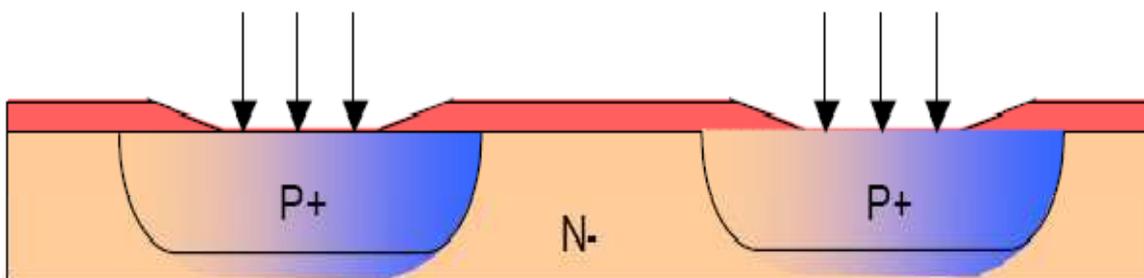
Annexe B

Processus de fabrication du VDMOS

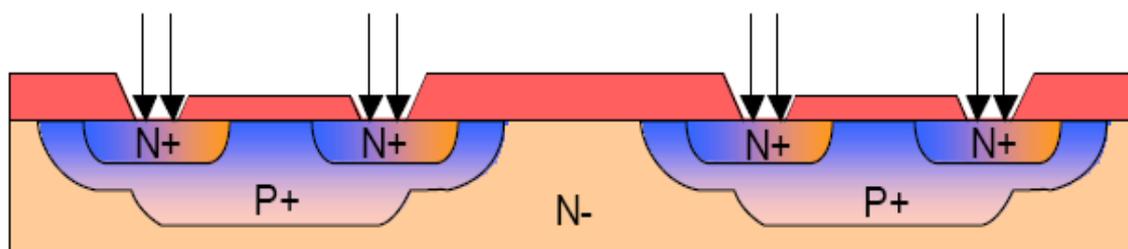
1ère étape : Oxyde de masquage



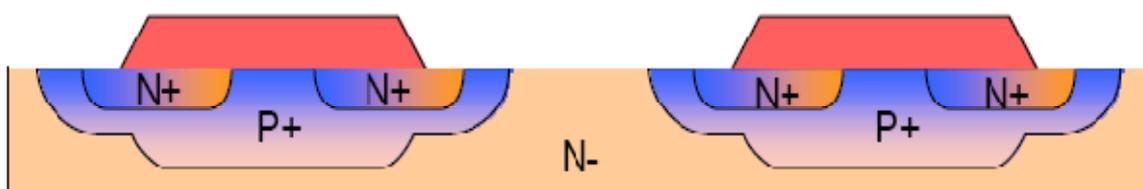
2ème étape : Diffusion de P+



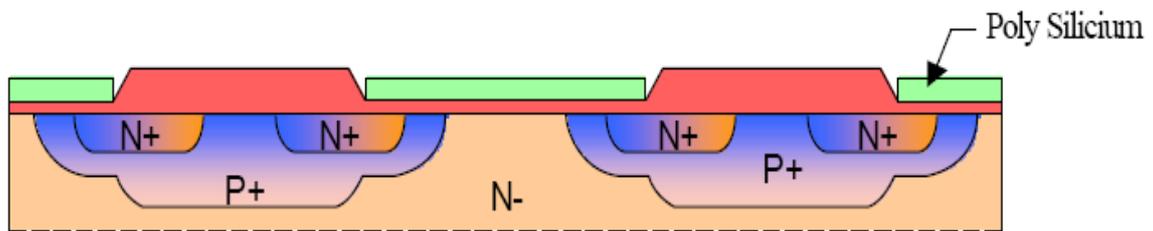
3ème étape : Double diffusion (Diffusion P & N+)



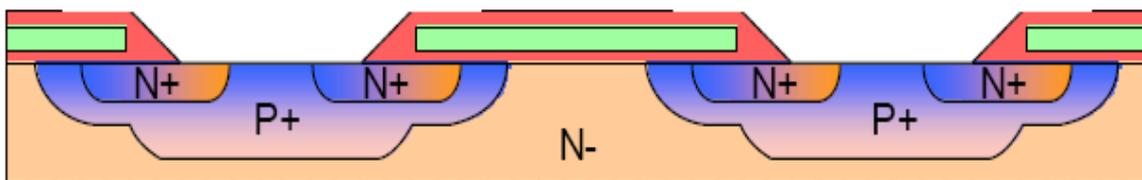
4ème étape : Ouverture de la grille



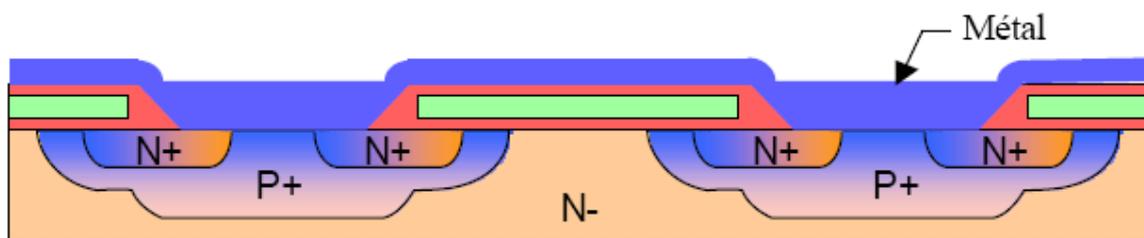
5^{ème} étape : *Oxyde de grille (dépôt et gravure du poly silicium)*



6^{ème} étape : *Dépôt de SiO₂ (Silox). Ouverture de la source*



7^{ème} étape : *Métallisation de la source (Aluminium)*



Résumé

Ce mémoire traite de la macromodélisation du transistor MOS et de l'évaluation des performances d'un composant de puissance VDMOSFET.

Plus précisément, en présente tout d'abord l'évolution des structures MOS de puissance basse tension depuis les années 70, jusqu'au transistor VDMOSFET, dont les principales propriétés sont énumérées. On réalise ensuite une étude des mécanismes – analyse statique à l'état passant et à l'état bloqué, analyse dynamique – intervenant dans les diverses zones du composant. Sur la base de cette étude, on établit un modèle de ce transistor pour le logiciel de simulation PSPICE.

La seconde partie de cette thèse, qui repose principalement sur une démarche expérimentale, permet d'identifier les paramètres du modèle de MOSFET puis de valider la modélisation complète du convertisseur BUCK vis-à-vis de mesures.

Nous en concluons que la modélisation proposée atteint une précision satisfaisante pour pouvoir être exploitée dans une démarche de conception, ce qui fait l'objet de la dernière partie de cette thèse. La simulation est alors utilisée pour étudier l'influence de la température sur le comportement du transistor,

Mots Clés: VDMOS, Modélisation, Macromodélisation, Convertisseur Buck, Simulation.

Abstract

This thesis deals with the macromodeling and evaluation of performance of a new power device referred to as the VDMOS transistor.

More precisely, the development, as from the seventies onward, of low voltage power MOS structures is first presented up to the advent of the VDMOS whose main properties are listed. Then a study of mechanisms involved in the different zones of the device – i.e., static analysis under ON-state and OFF-state, dynamic analysis – is carried out. Based on this study a model of this transistor is established for the electric circuit simulation software SPICE.

The second part of this thesis, based primarily on an experimental approach, identifies the model parameters of MOSFET and validates the complete modeling of the converter BUCK compared to the measurements.

We conclude that the proposed model achieved a satisfactory precision to be used in a design process, which is the subject of the last part of this thesis. The simulation is then used to study the influence of temperature on the behavior of the transistor.

Keywords: VDMOS, Modeling, Macromodeling, Buck Converter, Simulation.