

INTRODUCTION

L'idée qu'un jour le silicium amorphe sera utilisé pour la fabrication à grande échelle de circuits intégrés complexes était trop ambitieuse pour être réalisée à cause de son immaturité, vu les performances dégradées de ce matériau. Un progrès remarquable a été réalisé depuis 1975, quand Spear, Lecomber et Madan de l'Université de Dundee en Scotland [1] montrèrent que la conductivité du silicium amorphe pouvait être contrôlée. Il s'est avéré en ce moment-là que le sujet était familier à seulement quelques physiciens de la communauté scientifique qui n'avait pas encore réalisé l'importance de cette émergente technologie.

Historiquement, le silicium amorphe était utilisé dans les composants photovoltaïques. En 1976, Carlon et Wronski fabriquèrent une cellule solaire p-i-n à base de silicium amorphe hydrogéné (a-Si:H) sur un substrat en verre [1]. La surface active de la cellule fût de 5.10^{-3} cm² et son coefficient de conversion était de 2.4%. Beaucoup de progrès ont été établis depuis, et des valeurs comprises entre 5.3 et 6.3% et même 12.7 ont été reportées [2, 3]. En 1979, Lecomber, Spear et Gaith fabriquèrent le premier transistor à effet de champ en couches minces à base de silicium amorphe hydrogéné (a-Si:H TFT). Ces auteurs suggérèrent le composant comme un commutateur électronique pour l'adressage de matrices actives dans les panneaux afficheurs à cristaux liquides. Quelques années plus tard, plusieurs compagnies dont la plupart étaient Japonaises développèrent ces transistors amorphes pour écrans plats en couleurs qui avaient plus de 450x640x3 pixels avec 10 in. de diagonale et de 640x480x3 pixels à une température maximum de 250°C [4]. Beaucoup d'autres applications ont été déployées depuis, notamment dans le domaine de l'électronique [5-10].

Malgré que, comparé au silicium cristallin, les propriétés électroniques des dispositifs à base de silicium amorphes ne sont pas souhaitables pour des applications exigeant une grande vitesse, les transistors amorphes sont en train d'acquérir plus d'importance dans les domaines où des spécificités fréquentielles strictes ne sont pas primordiales. Ces transistors sont de nos jours établis comme faisant partie d'une technologie à coût pas élevé pour de larges applications dans le domaine de la microélectronique. Dans les écrans à cristaux liquides, par exemple, ces transistors sont particulièrement souhaités dans la conception des éléments de commutation des matrices.

Les applications des transistors en couches minces (TFTs) dans les capteurs d'images et les afficheurs sont nombreuses. La technologie a-Si:H a montré une grande maturité et les

transistors en couches minces à base de silicium amorphe sont utilisés dans les éléments afficheurs à écrans plats. Le pixel comprend des cristaux liquides dont les propriétés optiques de transmission ou de réflexion peuvent être altérées en les faisant charger ou décharger électriquement. Ces éléments sont rangés dans de larges matrices avec leurs TFT de commutation pour former des matrices actives d'afficheurs à cristaux liquides (AMLCDs: Active Matrix Liquid Crystal Displays).

En dépit de la faible mobilité de ces transistors ($\approx 1\text{cm}^2/\text{V.s}$), ils sont souhaitables comme commutateurs puisqu'ils peuvent être fabriqués à travers de larges surfaces avec un rendement élevé et une performance très uniforme. Cette faible mobilité est amplement suffisante pour charger les pixels durant le temps d'adressage des lignes des matrices. Ainsi, le marché des matrices actives pour afficheurs à écrans plats qui utilisent ces TFT connaît une rapide croissance due à la large utilisation des ordinateurs portables, des projecteurs TV...etc. Côté technologie, la conception et la fabrication d'afficheurs ayant une grande taille, une densité de pixels élevée, une consommation de puissance faible, etc. constituent un vrai défi.

Seulement, le développement de modèles analytiques pour de telles applications est compliqué à cause de la nature particulière du matériau. Le défaut le plus important est dû à des états pièges uniformément distribués dans le volume du silicium amorphe et continûment distribués en énergie. Un modèle décrivant les a-Si:H TFT a été, en premier lieu, développé par Shur et Hyun [11] dans lequel la conductance du canal a été reproduite. Dans cette approche, différentes formulations ont été données pour le courant de drain suivant les quatre différents régimes: sous seuil, après seuil, transitionnel et cristallin. Le modèle a été amélioré et d'autres formulations ont été dérivées. Plus tard d'autres modèles ont été développés, tous basés sur des approches physiques nécessitant la définition de certains paramètres d'une manière plus ou moins compliquée selon le modèle.

Compte tenu de la complexité et de la diversité des phénomènes physiques qu'il faut appréhender, un certain nombre de restrictions simplificatrices s'avère toujours nécessaire pour que la modélisation se fasse d'une manière rigoureuse et mène à des caractéristiques de transistors fiables. Les différents procédés diffèrent ainsi soit par l'importance et le nombre d'hypothèses prises en compte, soit par le nombre de paramètres dont ils font état. Des méthodes simplifiées, d'autres numériques ont été proposées. Les premières [12-19] utilisent un ensemble de relations analytiques qui se basent sur différents phénomènes physiques et se complètent les unes les autres. Les secondes [20-32], se veulent les plus exactes, n'utilisent pratiquement aucune hypothèse simplificatrice et prennent en compte tous les phénomènes de transport se produisant dans le composant avec des calculs qui se font à deux, voire à trois

dimensions. Néanmoins, cette rigueur se fait des temps de calculs très importants et des caractéristiques, seulement statiques dans la plupart des cas, à un nombre limité de points. D'autres méthodes s'imposent aujourd'hui, ce sont celles qui combinent les objectifs et les moyens des deux types de méthodes pour remédier à leurs limitations.

Partant du fait réel qu'il n'existe pas de procédés de modélisation bien adaptés à la fois à une technologie désirant de contrôler et d'optimiser ses procédés de réalisation, et à des objectifs de rapidité réels tels que utilisation en temps réel et d'exactitude tels que donner des résultats significatifs, l'objectif de notre travail est donc de répondre aux questions suivantes:

- comment modéliser un TFT à base d'un matériau que tous les chercheurs qui l'ont utilisé jugent être difficile à modéliser?
- dans quelle mesure un modèle de ce type peut être élaboré et utilisé?
- comment trouver un compromis entre les hypothèses simplificatrices et les phénomènes de transport réellement existants?
- et enfin, quelles sont les limitations du modèle proposé et les perspectives de son amélioration?

L'organisation de notre travail est ainsi faite comme suit:

Dans le premier chapitre, nous rappelons ce qu'est la technologie en couches minces en décrivant son impact sur la fabrication des transistors à effet de champ. Nous faisons aussi une synthèse des propriétés du silicium amorphe ainsi que les types de structures de transistors les plus utilisées. Nous comparons ces structures les unes aux autres tout en soulignant leur influence sur le comportement du dispositif.

Le deuxième chapitre est consacré à l'étude théorique, sous forme de modèle, d'une structure Métal-Isolant-Semiconducteur (MIS) à base de silicium amorphe hydrogéné, en régime statique. Nous y présentons les différentes propriétés physiques et électriques du matériau amorphe pour pouvoir dégager les hypothèses qui peuvent mener à un modèle analytique simplifié du transistor dans ses différents régimes de fonctionnement. Sont présentés les différents types de charges et leur contribution à la densité volumique de charge. Aussi traitons-nous de la variation du potentiel électrostatique dans la structure, ainsi que des profils des différentes densités de charges dans le volume du matériau amorphe.

Dans le troisième chapitre, nous présentons une étude théorique détaillée du comportement du transistor dans deux de ses différents régimes de fonctionnement lorsqu'il est soumis à une polarisation continue. A partir de l'étude préalable de la structure MIS et en tenant compte de la contribution simultanée des états localisés profonds et de queue, nous présentons un modèle analytique simple dans lequel nous avons suggéré, pour chaque régime de fonctionnement, des démarches simples qui ont permis d'aboutir aux différentes expressions du courant de drain. Nous comparons ces expressions avec celles déjà publiées et nous montrons en quoi elles sont différentes. Ces mêmes expressions sont simplifiées de manière à être aisément utilisables dans la conception de circuits assistée par ordinateur.

Enfin, dans le quatrième chapitre, nous présentons les résultats que nous avons obtenus. Nous analysons d'abord les allures typiques des profils du potentiel ainsi que des différentes densités de charges qui entrent en jeu dans la détermination du comportement de la structure MIS. Nous essayons par la suite d'analyser l'effet des différents paramètres relatifs au silicium amorphe sur les caractéristiques du transistor en couches minces. Nous discutons plus particulièrement les effets des états localisés, profonds et de queue, sur les paramètres électriques régissant le fonctionnement du dispositif en faible et en forte accumulation. Les résultats sont comparés au fur et à mesure avec d'autres travaux théoriques et expérimentaux déjà publiés.

CHAPITRE PREMIER

LES TRANSISTORS A EFFET DE CHAMP EN COUCHES MINCES A BASE DE SILICIUM AMORPHE HYDROGENE

I. 1. Introduction

La technologie des couches minces ayant pour matériau de base le silicium amorphe a pris de l'intérêt notamment dans la production de circuits intégrés, d'écrans plats à cristaux liquides et de cellules solaires. En l'an 2000, le rendement mondial de modules photovoltaïques a atteint, à lui seul, 27 MW/an, soit environ 10% de la production mondiale de modules [2]. Cette technologie doit son ampleur à plusieurs avantages dont:

- l'abondance de silicium amorphe comme matériau de base utilisé avec des matériaux non toxiques,
- le procédé à basse température qui offre la possibilité d'utiliser des substrats bon marché comme le verre et de consommation de puissance modérée,
- le dépôt sur de grandes surfaces,
- l'utilisation des techniques conventionnelles de photolithographie et de gravure telles le dépôt chimique en phase vapeur assisté par plasma, PECVD (Plasma Enhanced Chemical Vapor Deposition) qui est la technique de dépôt la plus courante pour l'obtention des couches minces de silicium amorphe et de nitrure de silicium, uniformes et adhérentes. Ce procédé a permis de réaliser des transistors avec une mobilité de $1\text{cm}^2/\text{V.s}$, une tension de seuil inférieure à 2.5V, un rapport de transition I_{on}/I_{off} supérieur à 10^6 et de faible pente sous le seuil [4].

I. 2. Fabrication du silicium amorphe

Le silicium amorphe hydrogéné (a-Si:H) est fabriqué par PECVD à partir du silane à des températures entre 200 et 300°C, et même inférieures [33, 34]. Malgré que ses propriétés

semiconductrices sont inférieures à celles du silicium monocristallin, elles restent assez bonnes pour permettre la fabrication de composants actifs tels que les transistors à effet de champ.

La méthode usuelle de dépôt de silicium amorphe hydrogéné est celle de la décomposition par plasma du silane, SiH_4 , avec d'autres gaz ajoutés pour le dopage. Le dépôt se fait à des pressions de gaz de 0.1-1 Torr, qui est le domaine de pression optimum d'entretien du plasma. La morphologie des films obtenus est tributaire de la chimie de dépôt ainsi que de la mobilité de surface des molécules qui se déposent [35]. Le rôle de l'hydrogène consiste en la passivation des défauts ponctuels en terminant les liaisons pendantes ainsi que la reconstitution du réseau du silicium amorphe, en 'cassant' et éloignant les liaisons Si-Si faibles [35].

La pulvérisation réactive est aussi une méthode de dépôt de films amorphes a-Si:H dans laquelle une cible en silicium est pulvérisée, généralement avec des ions d'argon, mais aussi en présence d'hydrogène. Le silicium pulvérisé réagit avec les atomes d'hydrogène dans le plasma formant des radicaux SiH_x à partir desquels le dépôt prend place. Les films déposés ont essentiellement les mêmes propriétés que les matériaux déposés par PECVD [35], avec l'inconvénient du bombardement des ions d'énergie plus élevées qui atteignent la surface de ces films et l'endommagent.

I. 3. Structures des transistors en couches minces

Dans la fabrication d'un transistor en couches minces à base de silicium amorphe on doit tenir compte de certains paramètres adaptés en premier lieu à son utilisation, pour l'adressage d'écrans plats essentiellement, tels que:

- l'homogénéité et l'uniformité de dépôt de la couche semiconductrice,
- la qualité électronique des interfaces,
- la qualité des couches de contact avec les électrodes source et drain, c. à d. épaisseur de la couche n^+ a-Si:H et ordre des dépôts,
- et enfin, l'épaisseur de la couche de silicium amorphe.

Selon que le métal de grille est déposé au dessus ou au dessous de la couche de l'isolant de grille, deux principaux types de structures se présentent: la structure empilée et la structure coplanaire. La réalisation de l'une ou l'autre des deux catégories nécessite le dépôt des différents types de couches suivants:

- les couches d'ITO (Indium Tin Oxide) pour les électrodes transparentes,
- les couches semiconductrices de silicium amorphe intrinsèque et de silicium amorphe dopé n+,
- les couches isolantes: isolant de grille et couches de passivation,
- les couches métalliques: métal pour l'électrode de grille et métal pour les électrodes de source et de drain.

Dans ce qui suit nous présentons brièvement les structures les plus utilisées en essayant de dégager leurs principaux avantages et inconvénients en termes aussi bien performance du transistor que complexité de réalisation technologique. Une synthèse détaillée de ces différentes structures se trouve dans les références [4, 36, 37].

I. 3. 1. Structure empilée (staggered)

La structure empilée inversée (Inverted staggered) est la plus utilisée. Elle possède la densité d'états d'interface entre l'isolant de grille et la couche de silicium amorphe la moins élevée. Elle doit son nom à l'emplacement de la grille du transistor qui se trouve sous l'isolant de grille. La figure I. 1 illustre les versions de cette structure. La première version, appelée BCE (Back-Channel Etched) est représentée sur la figure I. 1(a), alors que la deuxième version, représentée sur la figure I. 1(b), est appelée structure TL (TriLayered).

I. 3. 1. 1. La structure BCE

Dans cette structure, la séquence de fabrication est la suivante

- dépôt et gravure du métal de grille du transistor,
- dépôt de l'isolant de grille, du silicium amorphe intrinsèque, du silicium amorphe dopé et gravure de ces dépôts empilés,
- dépôt et gravure de la couche d'ITO pour la définition de l'électrode transparente qui commandera le point élémentaire de l'écran,
- dépôt et gravure des métaux pour la définition de la source et du drain,
- gravure de la couche de silicium dopé,
- dépôt d'une couche de passivation (SiN) pour le contrôle de l'interface du fond de canal.

Il s'est avéré que la gravure de la couche de silicium dopé au dessus de la couche de silicium intrinsèque devient une opération très délicate après réalisation des électrodes source et drain. On a donc tendance à déposer une couche de silicium intrinsèque suffisamment épaisse pour faciliter cette gravure. Dans ce cas il devient nécessaire, pour le contrôle de l'interface du fond de canal, de déposer une couche de passivation.

I. 3. 1. 2. La structure TL

Pour la réalisation de cette structure, les étapes suivantes sont nécessaires:

- dépôt et gravure du métal de grille,
- dépôt de l'isolant de grille, du silicium amorphe intrinsèque et de la couche de passivation de l'interface du fond de canal,
- gravure de la couche de passivation du fond de canal,
- dépôt du silicium amorphe dopé et gravure de l'empilement silicium intrinsèque/silicium dopé,
- dépôt et gravure du métal pour la source et le drain du transistor,
- gravure de la couche de silicium dopé
- dépôt et gravure de la couche d'ITO,
- dépôt d'une couche de passivation.

Quoiqu'elle exige une étape de photolithographie supplémentaire, cette structure présente l'avantage d'avoir une interface de fond de canal mieux contrôlée par rapport à la structure précédente. Cette structure, avec une fine couche de silicium amorphe, donne généralement une mobilité élevée. La mobilité maximum obtenue est inférieure à $2 \text{ cm}^2/\text{Vs}$.

I. 3. 2. Structure directe

Dans cette structure, la grille du transistor se trouve au dessus de l'isolant de grille. Elle présente l'avantage d'être simple, facile à réaliser et les transistors à base de cette structure semblent présenter de bonnes performances électriques, notamment la mobilité de champ, la tension de seuil et la pente sous le seuil [38]. Deux variantes (figures I. 1(c) et I. 1(d)) de cette structure sont utilisées: la structure à deux niveaux de masquage, dite structure 2S (Two Steps) et la structure à trois niveaux de masquage, dite structure 3S (Three Steps).

I. 3. 2. 1. La structure 2S

Elle nécessite la séquence de fabrication suivante:

- gravure de la couche d'ITO pour la définition de la source et du drain du transistor,
- dépôt de l'empilement silicium amorphe intrinsèque, silicium amorphe dopé, isolant de grille et métal de grille,
- gravure du métal de grille,
- gravure de l'empilement silicium amorphe dopé/silicium amorphe intrinsèque/isolant de grille.

Dans cette structure, la couche de silicium dopé doit être suffisamment fine pour ne pas dégrader le fonctionnement du transistor quand il est en état bloqué, et suffisamment épaisse pour assurer une bonne qualité électronique des contacts avec les électrodes de source et de drain.

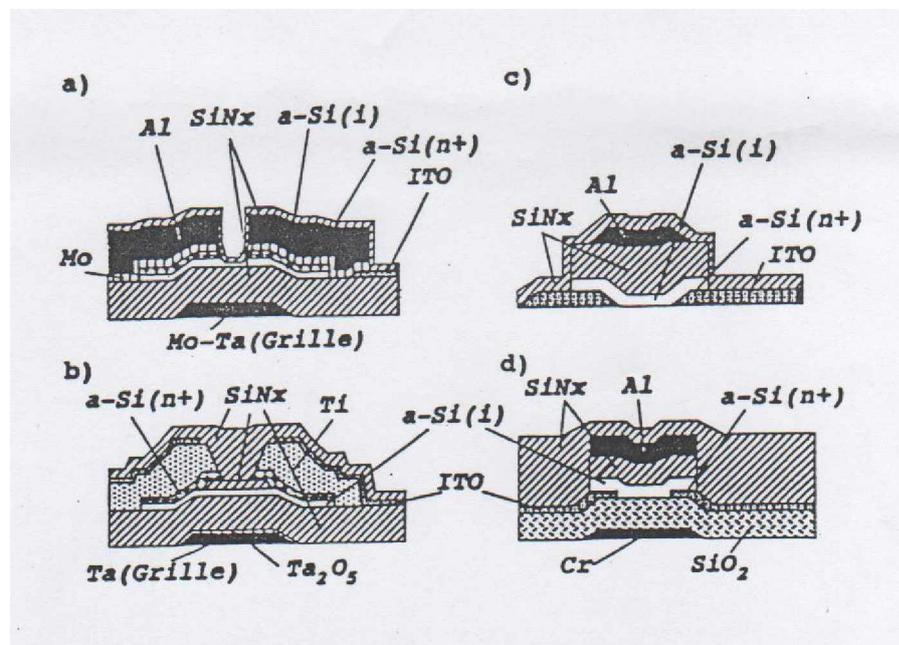


Fig. I. 1. Structures de transistors amorphes:
a) IS-BCE, b) IS-TL, c) NS-2S, d) NS-3S.

I. 3. 2. 2. La structure 3S

Comme le montre la figure I. 1(d), cette structure comporte une couche métallique supplémentaire de chrome qui joue le rôle de masque optique pour la réduction de l'effet de la lumière sur le courant du transistor en état non passant. La séquence de réalisation en est la suivante:

- dépôt et gravure du métal de chrome, pour le masque optique,
- dépôt d'une couche isolante,
- séquence de la structure 2S.

Beaucoup d'autres variantes de fabrication [12, 38-48] ont été proposées et constituent aujourd'hui un véritable débat concernant l'optimisation de réalisation et l'interprétation des résultats expérimentaux les plus importants au perfectionnement du fonctionnement du transistor en couches minces.

I. 4. Matériaux des transistors en couches minces

Le tableau I. 1 résume la liste des matériaux communs à la fabrication des transistors en couches minces. Malgré que le silicium amorphe comporte beaucoup de défauts, il reste le matériau le plus utilisé pour les TFT dans la fabrication des écrans plats à cristaux liquides, et ceci pour les avantages suivants:

- le processus de dépôt est très simple. Il ne nécessite que le silane, l'hydrogène et l'hélium,
- la température de dépôt est basse et beaucoup moins élevée que la température de ramollissement du verre,
- il peut être uniformément déposé sur de larges surfaces,
- la qualité de l'interface entre le semiconducteur et le diélectrique de grille peut très bien être contrôlée,
- les caractéristiques des transistors obtenus s'adaptent bien à la fabrication de larges écrans,
- en plus, la technologie, bien connue et maîtrisée, du silicium cristallin est directement transférée à celle du silicium amorphe.

Tableau I. 1. Matériaux utilisés dans la fabrication des transistors en couches minces.

Semiconducteurs	a-Si:H, $\mu\text{c-Si}$, poly-Si, CdSe, SiC, Ge, GeSi, Te, In, Sb
Diélectriques	SiN_x , SiO_x , SiO_xN_y , TaO_x , AlO_x , a-SiC:H
Métaux	Ta, Mo, Ta/Mo, Cr, Cr/Ni, Ti, Al, Cu, ITO
Contacts Ohmiques S/D	N^+ , $\mu\text{c-Si n}^+$
Substrats	verre

Des techniques très prometteuses sont utilisées pour l'amélioration de la mobilité qui affecte la vitesse de commutation de l'afficheur. La première technique, la plus utilisée, consiste en le changement de la morphologie du silicium amorphe en un matériau microcristallin ou polycristallin [49-51], et la deuxième a pour axe l'optimisation, soit des conditions de dépôt, soit des différentes couches, soit des structures du transistor en question [52-59].

Les diélectriques de grille les plus utilisés sont le nitrure de silicium, SiN_x , le dioxyde de silicium, SiO_2 , l'oxynitride de silicium, SiO_xN_y et leurs différentes combinaisons. Il s'est avéré que les propriétés de surface et de volume des diélectriques de grille affectent beaucoup les caractéristiques des transistors [59-63], telles que tension de seuil, mobilité et rapport de courants Ion/Ioff . Les diélectriques sont aussi utilisés pour la passivation et la protection du canal. Il a été montré [4, 64] que la composition et les charges fixes aux interfaces affectent le courant de fuite.

Les métaux utilisés sont, bien sûr, ceux ayant la plus haute conductivité. En plus de l'aluminium, le cuivre, etc..., l'Indium Tin Oxyde (ITO) est le métal de pixel le plus favorable à cause de sa haute transmittance de lumière. Elle est voisine de $300 \mu\Omega\text{cm}$.

I. 5. Exigences des Transistors MIS amorphes

I. 5. 1. Mobilité

La performance des afficheurs à très haute résolution est essentiellement déterminée par la mobilité des TFT des pixels. C'est la raison pour laquelle les TFT à mobilité élevée sont avantageux. En plus, on veut éviter le besoin de montages externes aux circuits intégrés, de pilotes de lignes et de colonnes. Pour les premiers, une mobilité de $10 \text{ cm}^2/\text{V.s}$ est amplement suffisante, alors que pour les seconds, elle doit être de $100 \text{ cm}^2/\text{Vs}$. Pour les lignes

et les colonnes multiplexées une légère amélioration de ce paramètre serait suffisante [65].

I. 5. 2. Stabilité

Ce paramètre est devenu très important dans le cas de dépôt de TFT à basse température sur des substrats polymères, de TFT utilisés dans les drivers multiplexés et de TFT pour l'adressage de diodes organiques électroluminescentes pour la réduction de dissipation de puissance due aux effets de charges capacitives.

I. 5. 3. Réduction du coût

La solution aux deux paramètres mobilité et stabilité est la fabrication à basse température et sur des substrats larges et pas chers. Une des approches est le dépôt de films minces amorphes recristallisés.

I. 6. Régimes de fonctionnement du transistor amorphe

Avant de présenter la structure du TFT étudié, il serait intéressant de décrire brièvement, les différents régimes de fonctionnement du transistor. En effet, la relation entre les caractéristiques du TFT et les propriétés électriques et physiques du silicium amorphe, entre autres la densité des états localisés, doit être clarifiée avant le développement de tout modèle théorique. Ces régimes opérationnels sont régis par la position du niveau de Fermi, E_F , par rapport au bas de la bande de conduction, près de l'interface isolant/semiconducteur. Cette position est modulée, comme pour un transistor cristallin, par effet de champ. Ces régimes ont d'abord été étudiés par Shur et Hyum [11], Shur [66] et Lee et al. [67].

I. 6. 1. Régime sous-seuil ou de faible accumulation

Ce régime correspond à des tensions de grille inférieures à la tension de seuil. La presque totalité de la charge induite est localisée aussi bien au niveau des états profonds dans le gap du silicium amorphe, qu'au niveau des états de surface à l'interface isolant/a-Si. En faisant augmenter la tension de grille, plus d'états sont remplis et le niveau de Fermi à l'interface se déplace de plus en plus vers la bande de conduction. En conséquence, la concentration des porteurs mobiles dans la bande de conduction augmente.

I. 6. 2. Régime au dessus du seuil ou de forte accumulation

En faisant augmenter encore plus la tension de grille, le niveau de Fermi entre dans les états de queue. L'énergie caractéristique de la variation des états de queue est inférieure ou comparable à l'énergie (KT) à la température ambiante. Ainsi, une fois le niveau de Fermi est dans les états de queue, la plupart de la charge est induite dans les états au dessus de E_f . Dans ce cas, le décalage de ce niveau avec la tension de grille est considérablement faible par rapport à celui du niveau de faible accumulation. D'après Shur et Hyum [11] il y a deux différences importantes entre ce régime dans la transistor amorphe et le régime de forte accumulation dans les transistors MOS cristallins:

- dans les a-Si:H TFT, la plupart de la charge déduite est toujours dans les états de queue avec seulement une fraction qui va dans la bande de conduction,
- et le niveau de Fermi se déplace plus près de la bande de conduction entraînant une augmentation dans la mobilité de champ avec la tension de grille,
- alors que dans le MOSFET cristallin [68], pratiquement toute la charge induite dans le canal apparaît dans la bande de conduction.

I. 6. 3. Régime de transition

Dans ce mode d'opération, une augmentation de la charge induite encore plus prononcée entraîne un remplissage presque total des états de queue à l'interface isolant/a-Si. Le niveau de Fermi frôle le bas de la bande de conduction. Une augmentation de la charge induite sera partagée entre la charge qui va dans la bande conduction et la charge induite dans les états de queue loin de l'interface isolant/a-Si. La fraction de la charge mobile est d'abord faible puis elle augmente avec la tension de grille. Ce mode d'opération a été nommé ainsi car il correspond à une transition entre le régime de forte accumulation et le régime de forte accumulation analogue aux MOSFET cristallins où le niveau de Fermi à l'interface est situé dans la bande de conduction.

I. 6. 4. Régime cristallin 'crystalline-like'

Dans ce mode de fonctionnement, la presque totalité de la charge induite va dans la bande de conduction et la mobilité d'effet de champ est de l'ordre de la mobilité de bande. Le fonctionnement dans ce cas est vraiment similaire à celui des transistors MOS cristallins. La

tension de grille nécessaire pour atteindre ce régime est de l'ordre de 50 à 100V pour un a-Si:H TFT ayant un isolant de 1000Å d'épaisseur et une permittivité relative d'environ 3.9 [67]. Comme ces tensions sont très élevées, un changement dans les propriétés du matériau et de l'isolant peuvent être établis pour diminuer ces valeurs comme utiliser un isolant de grille de plus forte constante diélectrique et plus forte tension de claquage.

I. 7. Exemple de réalisation d'écrans plats à cristaux liquides à matrice active à transistors amorphes

Beaucoup d'études qui ont fait l'objet d'investigations dans le domaine de la technologie TFT-LCD [36, 69-74] ont été publiées. Toutes ces publications traitent de l'adressage et du pilotage de matrices actives à base de silicium amorphe hydrogéné. Cet adressage est réalisé en plaçant des éléments actifs (transistors ou diodes) sur la surface interne de l'afficheur. L'avantage majeur de cette méthode est que l'adressage et l'écriture au niveau du LCD deviennent deux opérations distinctes [71]. En effet, chaque ligne peut être écrite très rapidement; l'information écrite est gardée par l'élément actif, alors que le reste des lignes est adressé. Pour comprendre ce principe d'adressage et d'écriture, nous allons présenter [70] d'une manière succincte la structure d'un écran plat à cristaux liquides réalisé avec la structure la plus simple qu'est la structure directe.

La structure d'un écran plat à cristaux liquides est représenté sur la figure I. 2. L'ensemble constitué par deux plaques de verre scellées entre lesquelles on a injecté un cristal liquide est considéré comme un écran plat à cristaux liquides. La première plaque de verre est la plaque matrice active, alors que la seconde plaque, entièrement recouverte d'ITO et portée à un potentiel de référence, constitue la deuxième électrode des capacités des points élémentaires.. Le cristal liquide fait office de transducteur électrooptique. Une image est décomposée en points élémentaires correspondants à un volume donné de cristal liquide qui est électriquement équivalent à une capacité.

La plaque matrice active consiste en une matrice de lignes et de colonnes et chaque intersection ligne-colonne permet la commande d'un point élémentaire par le biais d'un transistor de commande dont la grille est reliée à la ligne, le drain à la colonne et la source à l'électrode de commande du point élémentaire.

L'adressage se fait [24, 70, 71] ligne à ligne (Figure I. 3). Quand une ligne i est adressée par le biais d'un pulse de tension positive pour rendre passants tous ses transistors,

les signaux porteurs de l'information utile (signaux vidéo) sont alors envoyés en parallèle sur toutes les colonnes de l'écran et parviennent à tous les points de la ligne *i* en changeant la polarisation et la transparence optique de la cellule à cristal liquide. Toutes les lignes de l'écran sont ainsi séquentiellement balayées l'une après l'autre, du haut vers le bas de l'écran. Les TFT sont utilisés pour changer la capacité du cristal liquide. Ces changements sont conservés par effet mémoire capacitif (transistors de la ligne *i* bloqués lors de l'adressage des autres lignes), durant la durée de l'adressage de l'écran (période image).

Pour la fabrication de ce genre de matrices, la séquence la plus simple est la suivante:

- définition des colonnes et des électrodes de commande de points élémentaires par gravure de l'ITO (premier niveau de masquage),
- dépôt de l'empilement silicium amorphe/nitride de silicium/métal de grille,
- définition des lignes par gravure de l'empilement précédent qui définit aussi les TFT (deuxième niveau de masquage).

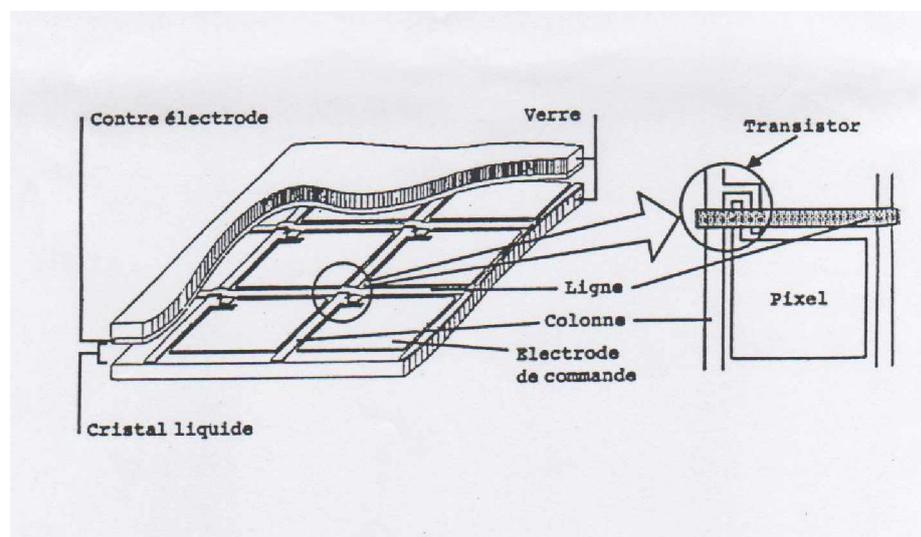


Figure I. 2. Structure d'un écran plat à cristaux liquides.

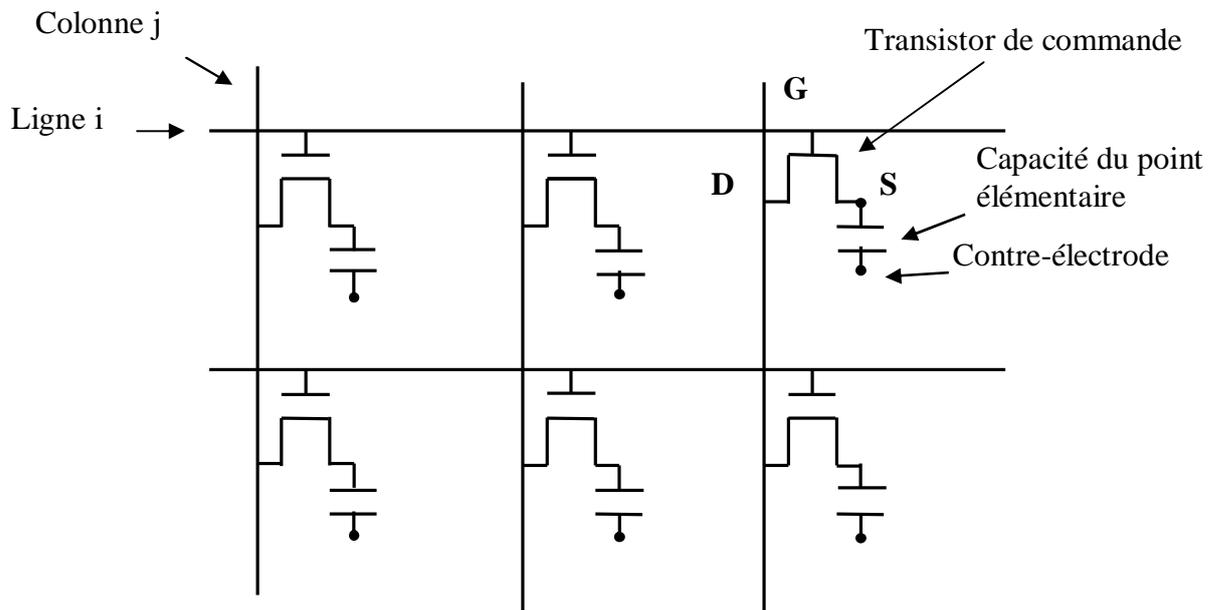


Fig. I. 3. Fonctionnement schématique simplifié d'un écran plat à cristaux liquides à matrice active de transistors.

CHAPITRE DEUXIEME

STRUCTURE MIS A BASE DE SILICIUM AMORPHE HYDROGENE EN REGIME STATIQUE

II.1. Introduction

Un transistor à effet de champ opère comme une capacité avec une armature constituée d'un canal conducteur entre deux contacts ohmiques, les contacts de source et de drain, et une seconde armature, la grille, qui module la charge induite dans le canal. C'est pourquoi, une étude préalable de la structure MIS est nécessaire avant d'entamer celle du transistor.

Ce chapitre est donc destiné à l'étude théorique d'une structure MIS à base de silicium amorphe hydrogéné en régime statique. Nous y présenterons, sous forme de modèle, les différentes propriétés physiques et électriques du matériau pour pouvoir dégager les hypothèses qui peuvent mener à un modèle analytique simplifié du transistor dans ses différents régimes de fonctionnement. Seront présentés les différents types de charges et leur contribution à la densité volumique de charge ainsi que la variation du potentiel électrostatique dans la structure.

II. 2. Densité d'états dans le silicium amorphe

La description des propriétés électroniques du silicium amorphe commence par la distribution énergétique des états électroniques. Dépendamment de leur énergie et de leur caractère, ces différents états déterminent le transport électrique dans les structures à base de silicium amorphe [35, 75]. Le désordre de structure dans ce matériau produit des queues de bandes de conduction et de valence qui s'étalent jusqu'au milieu de la bande interdite.

D'une manière plus exacte, la notion de bande interdite est plutôt remplacée par celle de seuils de mobilité E_c et E_v . Ces seuils sont définis comme séparant les états localisés dus aux défauts correspondants aux énergies comprises entre E_c et E_v , pour lesquels la mobilité des porteurs est quasiment nulle, des états délocalisés correspondant à des énergies

supérieures à E_c et inférieures à E_v , pour lesquelles la mobilité des porteurs n'est pas nulle. L'origine de ces défauts est double:

- la présence d'impuretés dans le réseau, qui peut être souhaitée dans le cas d'un dopage, comme pour un matériau monocristallin,
- les défauts de structure du matériau qui sont liés à la variation de la géométrie des liaisons Si-Si (longueur, angle) et à la rupture de ces liaisons Si-Si qui donnent lieu à des liaisons pendantes.

De ce fait, il convient de donner l'allure de la densité d'état généralement adoptée pour décrire le silicium amorphe. Cette allure est donnée par la figure II. 1 [67]. On distingue ainsi deux types d'états; les états délocalisés et les états localisés dont:

- les états de queues de bandes généralement attribués à des défauts légers comme les défauts de géométrie dans les liaisons Si-Si,
- les états profonds dus aux liaisons Si-Si pendantes.

Les états localisés dans la partie supérieure du gap énergétique se comportent comme des états accepteurs, alors que les états de la partie inférieure se comportent comme des états

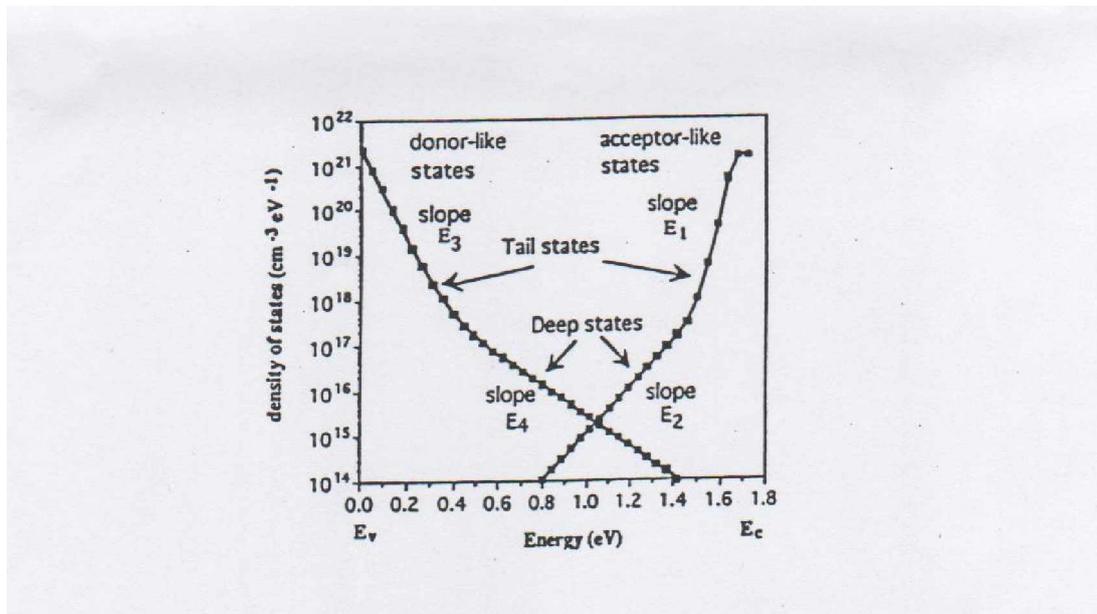


Fig. II. 1. Densité d'états localisés du silicium amorphe

donneurs. Les états donneurs sont chargés positivement quand ils sont vides et neutres lorsqu'ils sont pleins. Les états accepteurs, eux, sont neutres quand ils sont vides et chargés négativement lorsqu'ils sont pleins. Comme le montre la figure II. 1, les états localisés peuvent être accepteurs et se diviser en états de queue accepteurs et états profonds accepteurs; ou donneurs et se diviser en états de queue donneurs et états profonds donneurs.

Il se trouve que la distribution des états localisés n'est pas symétrique [67], avec plus d'états donneurs qu'accepteurs. La position E_{F0} du niveau de Fermi dans le silicium amorphe uniforme, intrinsèque et déterminée à partir de la condition de neutralité est plus près du bord de la bande de conduction E_c . On donne les valeurs de 86 meV pour E_2 et 129 meV pour E_4 . E_{F0} est à 620 meV au dessous de la bande de conduction [67]. Dans certains travaux [18], il a été démontré que la densité d'états profonds présente une forme en cloche dont le maximum est centré à environ 0.6 eV au dessous de E_c .

Du moment que la mobilité de champ des trous est négligeable devant celle des électrons, seulement les états de queue accepteurs seront pris en compte.

La variation de la densité $g_t(E)$ des états de queue accepteurs est:

$$g_t(E) = g_t \exp\left(\frac{E - E_c}{KT_t}\right) \quad (\text{II-1})$$

où g_t est la densité des états de queue au bord E_c de la bande de conduction et T_t est la température caractéristique relative à ces états.

Pour les états profonds, la densité $g_d(E)$ est:

$$g_d(E) = g_d \exp\left(\frac{E - E_c}{KT_d}\right) \quad (\text{II-2})$$

où g_d représente la densité de ces états au bord E_c de la bande de conduction et T_d leur température caractéristique.

II. 3. Diagramme de bandes de la structure MIS

Le diagramme de bandes d'énergie ainsi que les notations correspondantes sont représentés par la figure II. 2. Cette dernière illustre le cas d'un modèle linéaire où tous les paramètres physiques ne varient que dans la direction [Ox à partir de l'interface isolant/semiconducteur prise comme origine ($x=0$). Le semiconducteur est supposé suffisamment épais pour que loin de cette interface, on retrouve les propriétés intrinsèques du matériau. Les notations utilisées dans l'étude de la structure MIS sont les suivantes:

- E_c : Energie du bas de la bande de conduction du semiconducteur.
- E_v : Energie du haut de la bande de valence du semiconducteur.
- E_F : Energie du niveau de Fermi des électrons à partir de la bande de conduction.
- E_{F0} : Différence d'énergies entre le bord de la bande de conduction et le niveau de Fermi E_F .
- χ_{sc} : Affinité électronique du silicium amorphe.
- q : Valeur absolue de la charge électronique.
- $\Psi(x)$: Potentiel électrostatique à l'abscisse x .
- Ψ_s : Potentiel électrostatique à l'interface isolant/semiconducteur.
- V_i : Chute de potentiel dans la région isolant.
- ϕ_m : Travail de sortie du métal.

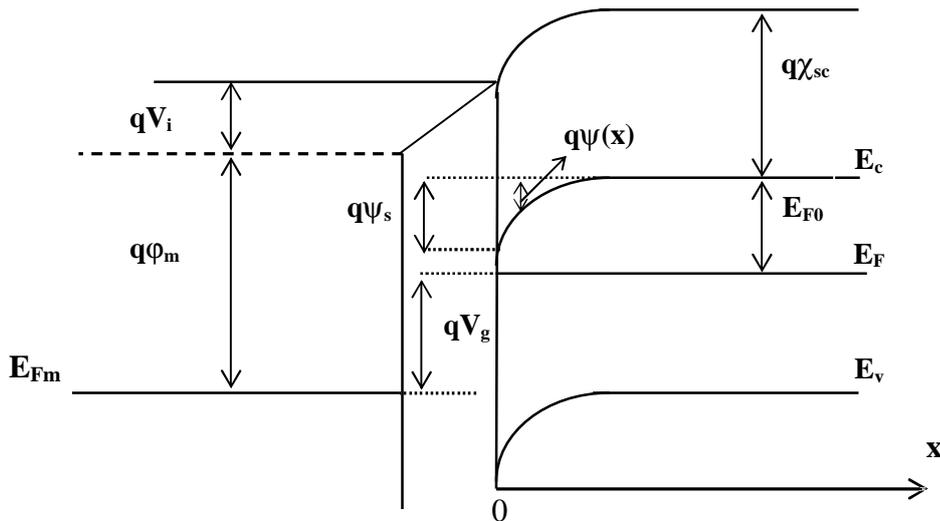


Fig. II. 2. Diagramme de bandes d'énergie de la structure MIS.

II. 4. Densités de charges

II. 4. 1. Densité des porteurs libres

Comme dans le cas du silicium monocristallin, la densité N_f des porteur libres est exprimée par la relation:

$$N_f = N_c \exp\left(\frac{E_f - E_c}{KT}\right) \quad (\text{II-3})$$

où N_c est la densité d'états effective dans le silicium amorphe et T la température absolue. En utilisant la relation $E_f - E_c = q\Psi - E_{f0}$ qui explicite la courbure de bandes, on obtient:

$$N_f(\Psi) = N_c \exp\left(\frac{q\Psi - E_{f0}}{KT}\right) \quad (\text{II-4})$$

II. 4. 2. Densité des porteurs localisés sur les centres profonds

L'expression de la densité des charges piégées sur les états profonds est obtenue en intégrant dans le domaine énergétique l'expression:

$$N_{locd} = \int_{-\infty}^{E_c} f(E) g_d(E) dE \quad (\text{II-5})$$

où $f(E)$ est la distribution de Fermi-Dirac donnée par

$$f(E) = \frac{1}{1 + \frac{1}{g} \exp\left(\frac{E - E_f}{KT}\right)} \quad (\text{II-6})$$

g étant le facteur de dégénérescence des états accepteurs. la densité N_{locd} des charges piégées sur les états profonds sera alors:

$$N_{locd} = \int_{-\infty}^{E_c} \frac{g_d \exp\left(\frac{E - E_c}{KT_d}\right)}{1 + \frac{1}{g} \exp\left(\frac{E - E_f}{KT}\right)} dE \quad (\text{II-7})$$

De même que pour la densité des électrons libres, en utilisant la relation $E_F - E_c = q\Psi - E_{f0}$, il est possible de donner une expression de la densité des porteurs sur les centres profonds qui ne dépend de x que par le biais du potentiel électrostatique. La relation (II-7) devient alors

$$N_{locd}(\Psi) = \int_{-\infty}^{E_c} \frac{g_d \exp\left(\frac{q\Psi - E_{f0}}{KT_d}\right) \exp\left(\frac{E - E_F}{KT_d}\right)}{1 + \frac{1}{g} \exp\left(\frac{E - E_F}{KT}\right)} dE \quad (\text{II-8})$$

En posant:

$$X = \left(\frac{1}{g}\right)^{\frac{T}{T_d}} \exp\left(\frac{E - E_F}{KT_d}\right) \quad (\text{II-9})$$

l'expression (II-8) peut être réécrite comme:

$$N_{locd}(\Psi) = g_d (KT_d) (g^{T/T_d}) \exp\left(\frac{q\Psi - E_{f0}}{KT_d}\right) \int_0^K \frac{dX}{1 + X^\alpha} \quad (\text{II-10-a})$$

où:

$$K = \left(\frac{1}{g}\right)^{\frac{T}{T_d}} \exp\left(-\frac{q\Psi - E_{f0}}{KT_d}\right) \quad (\text{II-10-b})$$

Quand on fait état des températures T auxquelles fonctionnent les transistors amorphes, on se rend compte qu'il est important de discuter des valeurs relatives des températures caractéristiques des états profonds et de queue de bande T_d et T_t respectivement, du moment qu'elles entrent en jeu dans l'estimation de la densité des électrons localisés sur ces états. Dans le cas du silicium amorphe, la littérature donne les valeurs habituellement obtenues pour ces températures. Elles sont de l'ordre de 1000°K pour T_d et de 260°K pour T_t [66, 67].

L'intégrale dans l'expression (II-10-b) est déterminée par le paramètre $\alpha = T_d/T$ qui est justement tributaire de la température T_d caractéristique des états profonds. Comme ce paramètre est plus grand que l'unité ($T_d > T$), du moment que le niveau de Fermi est énergiquement dans les états localisés profonds, on aura pour N_{locd} :

$$N_{locd}(\Psi) = A_1 \exp\left(\frac{q\Psi - E_{F0}}{KT_d}\right) \quad (\text{II-11})$$

où

$$A_1 = g_d g \frac{T}{T_d} \frac{\pi KT}{\sin\left(\frac{\pi T}{T_d}\right)} \quad (\text{II-11-a})$$

II. 4. 3. Densité des porteurs localisés sur la queue de bande

Comme pour le cas des centres profonds, l'intégrale suivante implique la densité des porteurs localisés sur la queue de bande de conduction:

$$N_{locct} = \int_{-\infty}^{E_c} \frac{g_t \exp\left(\frac{E - E_c}{KT_t}\right)}{1 + \frac{1}{g} \exp\left(\frac{E - E_F}{KT}\right)} dE \quad (\text{II-12})$$

Dans ce cas, $\alpha = T_t/T < 1$ et le nombre d'électrons piégés par les états localisés au dessus du niveau de Fermi est plus important que celui de ceux au dessous, et la densité des états localisés croît plus rapidement avec l'énergie que la fonction de distribution de Fermi-Dirac ne décroît. N_{locct} devient alors:

$$N_{locct} = \int_{-\infty}^{E_c} g g_t \exp\left(\frac{E - E_c}{KT_t}\right) \cdot \exp\left(-\frac{E - E_F}{KT}\right) \cdot dE \quad (\text{II-13})$$

ce qui donne, tenant compte de la courbure de bandes $\Psi(x)$

$$N_{locct}(\Psi) = B_1 \exp\left(\frac{q\Psi - E_{F0}}{KT}\right) \quad (\text{II-14-a})$$

où

$$B_1 = \frac{g g_t}{\frac{1}{KT_t} - \frac{1}{KT}} \quad (\text{II-14-b})$$

Ainsi, des équations des densités des états profonds et des états de queue N_{loctd} et N_{loct} , respectivement, on remarque qu'il y a une différence qualitative très importante selon le cas où le niveau de Fermi des électrons se trouve au niveau des états profonds ou décalé vers les états de queue. Dans le premier cas, qui correspond à des tensions de grille relativement faibles, donc de faibles courbures de bandes, l'énergie de la charge localisée est de l'ordre de KT_d [68] au dessous du niveau de Fermi. Cependant, le deuxième cas est atteint pour des tensions de grille plus élevées entraînant des courbures de bandes plus prononcées. La charge localisées est distribuée au dessus du niveau de Fermi.

II. 5. Structure MIS amorphe en régime statique

II. 5. 1. Hypothèses et principe de calcul

Dans ce paragraphe, on traitera de la variation du potentiel électrostatique dans la structure MIS à laquelle on applique une tension de polarisation continue, ainsi que des profils des différentes densités de charges dans le volume du matériau amorphe. Pour ce faire, on se place dans le cas d'hypothèses suivantes:

- la couche du silicium amorphe est supposée infiniment épaisse de sorte qu'on puisse supposer que les propriétés volumiques du matériau sont retrouvées loin de l'interface isolant/a-Si (bandes plates et position du niveau de Fermi par rapport au bas de la bande de conduction) et de sorte que l'influence des états d'interface soit à priori négligée,
- le niveau de Fermi E_F est supposé constant.

Le principe de calcul se fera en deux étapes de manière à étudier les paramètres physiques et électriques du silicium amorphe et les relier au potentiel de grille:

- on résout d'abord l'équation de Poisson dans la couche semi-conductrice en prenant le potentiel d'interface Ψ_s comme paramètre,
- puis, sera établi le bilan de potentiel dans toute la structure afin de relier le potentiel d'interface au potentiel de grille.

II. 5. 1. 1. Equation de Poisson

L'équation de Poisson est:

$$\frac{\partial^2 \Psi(x)}{\partial x^2} = -\frac{d\xi}{dx} = -\frac{\rho(\Psi)}{\epsilon} \quad (\text{II-15})$$

où ρ est la densité de charge d'espace, ϵ la constante diélectrique du silicium amorphe et ξ le champ électrique. La densité ρ est la contribution de

- la charge des porteurs libres dont la densité est N_f ,
- la charge des porteurs piégés sur la queue de bande dont la densité est N_{loct} ,
- la charge des porteurs piégés sur les centres profonds dont la densité est N_{locd} ,

de sorte que

$$\rho(\Psi) = -q(N_{locd} + N_{loct} + N_f) \quad (\text{II-16})$$

Une première intégration, à partir du volume, de l'équation de Poisson donne, en multipliant chaque membre par $d\Psi/dx$:

$$\xi^2(\Psi) = \int_0^\Psi \frac{-2\rho(\Psi')}{\epsilon} d\Psi' \quad (\text{II-17})$$

Cette relation donne l'expression du champ électrique $\xi(x)$ en fonction du potentiel $\Psi(x)$, notée $\xi(\Psi)$. Une seconde intégration de l'équation de Poisson donne l'intégrale:

$$\int_{\Psi}^{\Psi_s} \frac{d\Psi'}{\sqrt{\frac{-2}{\epsilon} \int_0^{\Psi'} \rho(\Psi') d\Psi'}} = x \quad (\text{II-18})$$

De cette équation devrait découler le potentiel $\Psi(x)$ qui dépend de la densité de charge ρ dont l'expression est fonction de la position du niveau de Fermi, donc du potentiel de grille appliqué et par conséquent du régime de fonctionnement du transistor. Elle permet en dernier

lieu d'obtenir les profils des différentes densités de charges en présence dans le silicium amorphe, ou plus exactement de leurs écarts en un point x de la courbure par rapport à leurs valeurs dans le volume du matériau massif (pour x infini).

II. 5. 1. 2. Bilan de potentiel

Un premier bilan de potentiel est donné, négligeant à priori la contribution des états d'interface, par le diagramme de bandes d'énergie (figure II. 2) qui donne:

$$V_i = V_g - \Psi_s - \Phi_m + \chi_{sc} + \frac{E_{F0}}{q} \quad (\text{II-19})$$

D'autre part, la continuité du champ électrique implique:

$$C_i V_i + Q_f = C_i V_{sc} \quad (\text{II-20})$$

où Q_f représente la charge fixe éventuellement présente dans l'isolant. En tenant compte de la valeur de Ψ_s qui peut être calculée soit numériquement soit analytiquement (voir chap.III), on peut obtenir une expression qui lie le potentiel du semiconducteur V_{sc} pour la condition de bandes plates à la tension extérieure de grille en combinant les relations (II-19) et (II-20). On obtient:

$$V_{sc} = V_g - \Psi_s - V_{fb} \quad (\text{II-21})$$

Dans cette expression, V_{fb} est la tension de bandes plates. Elle est donnée par:

$$V_{fb} = \Phi_m - \chi_{sc} - \frac{E_{F0}}{q} - \frac{Q_f}{C_i} \quad (\text{II-22})$$

Or d'après le théorème de Gauss appliqué à l'interface isolant/semiconducteur, la charge totale par unité de surface développée dans la couche semiconductrice est

$$Q_{sc} = -\epsilon \xi_s = -C_i V_{sc} \quad (\text{II-23})$$

Où $(\varepsilon\xi_s)$ n'est autre que la charge totale par unité de surface développée dans le semiconducteur. De cette relation et, connaissant l'expression du champ électrique ξ_s à l'interface, on peut avoir accès au potentiel de surface dépendamment du potentiel V_{sc} , donc celui de la grille V_g . On a ainsi:

$$V_g = \Psi_s + V_{fb} + \frac{\varepsilon\xi_s}{C_i} \quad (\text{II-24})$$

A partir de cette relation, il nous sera possible d'établir l'influence de la tension de grille sur le potentiel d'interface et sur la densité des électrons de conduction pour pouvoir définir, comme on le verra au chapitre IV, la tension de seuil séparant le régime de faible accumulation du régime de forte accumulation.

II. 5. 2. Etude quantitative

II. 5. 2. 1. Densité volumique de charges

Compte tenu de toutes les expressions des différentes contributions qui y figurent, l'expression de la densité volumique de charge est donnée, en combinant les expressions (II-4), (II-11) et (II-14):

$$\rho(\Psi(x)) = -q \left(N_c \exp\left(\frac{q\Psi - E_{F0}}{KT}\right) + A_1 \exp\left(\frac{q\Psi - E_{F0}}{KT_d}\right) + B_1 \exp\left(\frac{q\Psi - E_{F0}}{KT}\right) \right) \quad (\text{II-25})$$

II. 5. 2. 2. Champ électrostatique

Le développement de l'équation (II-17) donne pour le champ électrique:

$$\xi(\Psi) = \sqrt{\frac{2q}{\varepsilon} \left((N_c + B_1) \frac{KT}{q} \exp\left(\frac{q\Psi - E_{F0}}{KT}\right) + A_1 \frac{KT_d}{q} \exp\left(\frac{q\Psi - E_{F0}}{KT_d}\right) \right)} \quad (\text{II-26})$$

Si on pose:

$$\xi_1^2 = \frac{2q}{\varepsilon} (N_c + B_1) \frac{KT}{q} \quad (\text{II-27})$$

et

$$\xi_2^2 = \frac{2q}{\epsilon} A_1 \frac{KT_d}{q} \quad (\text{II-28})$$

on peut définir les deux paramètres suivants:

$$L_r = \sqrt{\frac{\epsilon KT}{q^2(N_c + B_1)}} \quad (\text{II-29})$$

et

$$L_d = \sqrt{\frac{\epsilon KT_d}{q^2 A_1}} \quad (\text{II-30})$$

L_d est la longueur de Debye associée aux états profonds. Elle est fonction des paramètres g_d et T_d , donc de la densité des états profonds. Elle varie comme $1/\sqrt{A_1}$. Pour vérifier l'hypothèse d'épaisseur infinie, le semiconducteur amorphe est supposé avoir une épaisseur 4 à 5 fois plus grande que cette longueur caractéristique L_d [83]. Le champ électrique devient alors:

$$\xi(\Psi) = \sqrt{\xi_1^2 \exp\left(\frac{q\Psi - E_{F0}}{KT}\right) + \xi_2^2 \exp\left(\frac{q\Psi - E_{F0}}{KT_d}\right)} \quad (\text{II-31})$$

II. 5. 2. 3. Potentiel électrostatique

En remplaçant le champ électrique par son expression, la relation (II-18) devient

$$x = \int_{\Psi_s}^{\Psi} \frac{-d\Psi'}{\sqrt{\xi_1^2 \exp\left(\frac{q\Psi' - E_{F0}}{KT}\right) + \xi_2^2 \exp\left(\frac{q\Psi' - E_{F0}}{KT_d}\right)}} \quad (\text{II-32})$$

En calculant numériquement cette dernière intégrale, on peut aboutir au profil de potentiel dans le silicium amorphe ainsi qu'aux profils des différentes densités de charges en présence dans la matériau.

II. 5. 2. 4. Charge induite dans le semiconducteur

Comme la charge totale par unité de surface développée dans la couche semiconductrice est la contribution de la charge des porteurs libres dont la densité est N_f , de la charge des porteurs piégés sur la queue de bande dont la densité est N_{loc} et de la charge des porteurs piégés sur les centres profonds dont la densité est N_{locd} , (éq. (II-16)), et utilisant le théorème de Gauss appliqué à l'interface isolant/semiconducteur amorphe (éq. (II-23)), on obtient pour la charge induite dans le semiconducteur:

$$Q_{scind}(\Psi_s) = \epsilon \sqrt{\xi_1^2 \exp\left(\frac{q\Psi_s - E_{F0}}{KT}\right) + \xi_2^2 \exp\left(\frac{q\Psi_s - E_{F0}}{KT_d}\right)} \quad (II-33)$$

II. 5. 2. 5. Charge localisée

Comme pour la charge induite dans le semiconducteur, on a:

$$Q_{loc}(\Psi_s) = \int_0^{\Psi_s} \frac{q(N_{locd} + N_{loc})d\Psi}{\xi(\Psi)} \quad (II-34)$$

ce qui donne:

$$Q_{loc}(\Psi_s) = \int_0^{\Psi_s} \frac{q \left(B_1 \exp\left(\frac{q\Psi - E_{F0}}{KT}\right) + A_1 \exp\left(\frac{q\Psi - E_{F0}}{KT_d}\right) \right) d\Psi}{\sqrt{\xi_1^2 \exp\left(\frac{q\Psi - E_{F0}}{KT}\right) + \xi_2^2 \exp\left(\frac{q\Psi - E_{F0}}{KT_d}\right)}} \quad (II-35)$$

II. 5. 2. 6. Densité des électrons libres

La densité des électrons libres est obtenue en sommant dans toute la partie active du canal conducteur les charges N_f données par l'équation (II-4) pour obtenir

$$N_f(\Psi_s) = \int_0^{\Psi_s} \frac{N_c \exp\left(\frac{q\Psi - E_{F0}}{KT}\right) d\Psi}{\xi(\Psi)} \quad (II-36)$$

Ainsi,

$$N_f(\Psi_s) = \int_0^{\Psi_s} \frac{N_c \exp\left(\frac{q\Psi - E_{F0}}{KT}\right) d\Psi}{\sqrt{\xi_1^2 \exp\left(\frac{q\Psi - E_{F0}}{KT}\right) + \xi_2^2 \exp\left(\frac{q\Psi - E_{F0}}{KT_d}\right)}} \quad (\text{II-37})$$

En résolvant numériquement les équations (II-32) à (II-37), il nous sera possible d'étudier la structure MIS amorphe et d'examiner de près l'influence de la nature du matériau amorphe sur le comportement du transistor ainsi que l'influence des états localisés sur les paramètres définissant le fonctionnement de la structure. Nous présenterons les résultats que nous avons obtenus au chapitre quatre.

CHAPITRE TROISIEME

ANALYSE DU COMPORTEMENT DU TRANSISTOR AMORPHE EN REGIME STATIQUE

III. 1. Introduction

Ce chapitre est consacré à la présentation d'une étude théorique détaillée du comportement du transistor dans deux de ses différents régimes de fonctionnement lorsqu'il est soumis à une polarisation continue. A partir de l'étude préalable de la structure MIS et en tenant compte de la contribution simultanée des états localisés profonds et de queue, nous proposerons un modèle analytique simple dans lequel nous avons suggéré, pour chaque régime de fonctionnement, des démarches simples qui ont permis d'aboutir aux différentes expressions du courant de drain. Nous comparerons ces expressions avec celles déjà publiées et nous montrerons en quoi elles sont différentes. Ces mêmes expressions seront simplifiées de manière à être aisément utilisables dans la conception de circuits assistée par ordinateur.

III. 2. Hypothèses considérées dans le modèle

La structure typique du transistor amorphe que nous avons utilisée ainsi que les conventions d'axes et de notations relatives à chaque grandeur géométrique et à la polarisation sont représentées sur la figure III. 1.

A partir de ces conventions, nous présentons, dans ce chapitre, une étude théorique du comportement du transistor dans deux de ses modes d'opération en régime statique. Seront décrits

- le régime de faible accumulation: $V_{fb} < V_g < V_t$
- le régime de forte accumulation (canal non pincé): $V_{gs} > V_t$ et $V_{gd} > V_t$
- l'état bloqué, $V_g < V_{fb}$.

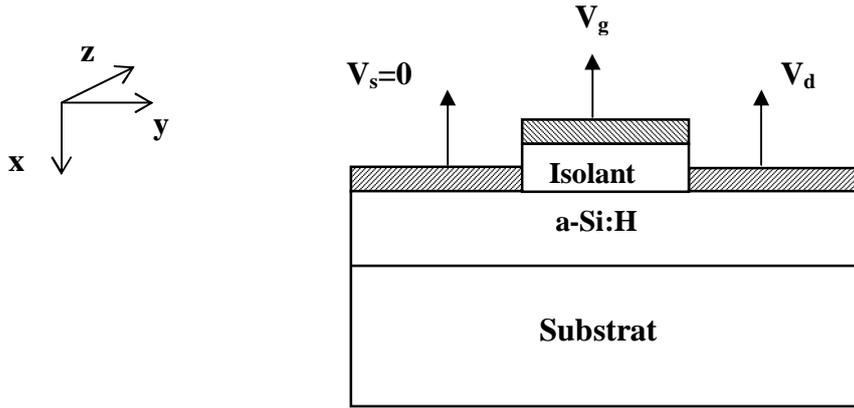


Fig. III. 1. Structure du transistor amorphe utilisée.

Le choix de la structure est basé sur deux faits: Le premier est que, il a été confirmé [4, 77] que la surface du film a-Si:H n'est pas fortement déféctueuse comparée au volume et que les transistors de cette structure ont une mobilité plus élevée et une tension de seuil plus faible, comparées aux autres structures. Le second est que cette structure est simple à réaliser.

Avant de présenter l'étude du transistor en question, nous avons considéré un certain nombre d'hypothèses qui se sont avérées nécessaires à la description du fonctionnement des transistors en couches minces à base de silicium amorphe hydrogéné. Ces hypothèses sont les suivantes:

- seuls les états localisés accepteurs dans la moitié supérieure du gap du silicium amorphe sont pris en compte (cas du TFT à canal n),
- seuls les porteurs présents dans la bande de conduction sont susceptibles de conduire,
- la densité des porteurs libres suit une loi de type Boltzmann (matériau non dégénéré),
- l'occupation des états localisés dans le gap du silicium amorphe est régie par la statistique de Fermi-Dirac (régime statique),
- le film de silicium amorphe est homogène et d'épaisseur infinie,
- dans les directions [Ox et [Oz, le courant d'électrons est nul,
- en régime de canal non pincé, l'hypothèse de canal graduel est satisfaite:

$$\frac{\partial^2 V}{\partial y^2} \ll \frac{\partial^2 V}{\partial x^2} \quad (\text{III-1})$$

III. 3. Equation du courant de drain dans le transistor

III. 3. 1. Expression générale du courant de drain

La conductivité $\sigma(x,y,z)$ du canal dans la couche semiconductrice est:

$$\sigma(x,y,z) = q\mu_n N_f(x,y,z) \quad (\text{III-2})$$

où μ_n est la mobilité de bande. La conductance dans la direction source-drain (direction [Oy]) d'un élément de canal de coordonnées (x,y,z) et de volume $dx.dy.dz$ est:

$$d^3g = \sigma(x,y,z) \frac{dx.dz}{dy} \quad (\text{III-3})$$

Comme la densité d'électrons est indépendante de z ,

$$d^2g = Z.q.\mu_n N_f(x,y) \frac{dx}{dy} \quad (\text{III-4})$$

En intégrant l'expression (III-4), on obtient:

$$dg = Z\mu_n \frac{\int_0^{x_{eff}} qN_f(x,y) dx}{dy} \quad (\text{III-5})$$

où l'intervalle $[0, x_{eff}]$ dénote la section conductrice du canal dont la profondeur effective est x_{eff} . Donc:

$$dg.dy = Z\mu_n Q_{sc}(y) \quad (\text{III-6})$$

où $Q_{sc}(y)$ est la densité superficielle de charges représentant la quantité de porteurs sur toute la profondeur x_{eff} , par unité de surface de la structure.

Le courant de drain I_d entrant l'électrode de drain est donné par la loi d'Ohm aux bornes de l'élément de canal considéré:

$$I_d \cdot dy = dg \cdot dV \cdot dy = Z \mu_n Q_{sc}(y) dV \quad (\text{III-7})$$

d'où l'équation

$$I_d = Z \mu_n \frac{Q_{sc} \cdot dV}{dy} \quad (\text{III-8})$$

que l'on doit intégrer sur toute la longueur L du canal, soit:

$$I_d = \frac{Z \mu_n}{L} \int_0^L Q_{sc}(y) dV \quad (\text{III-9})$$

A partir de cette équation, on peut, en résolvant l'équation de Poisson dans la structure MIS d'une part, et en donnant une expression appropriée de la charge au niveau de la couche semiconductrice d'autre part, analyser les caractéristiques courant-tension I(V) du transistor amorphe dans ses différents régimes de fonctionnement.

III. 3. 2. Bilan de potentiel

Le bilan de potentiel en un point y du canal conducteur se déduit de la relation (II-24) combinée avec la relation (II-31) appliquée à la surface:

$$V_g = V_{fb} + \Psi_s + \frac{\varepsilon}{C_i} \sqrt{\left[\xi_1^2 \exp\left(\frac{q\Psi_s - E_{F0}}{KT}\right) + \xi_2^2 \exp\left(\frac{q\Psi_s - E_{F0}}{KT_d}\right) \right]} \quad (\text{III-10})$$

ce qui donne:

$$C_i (V_g - V_{fb} - \Psi_s) = \varepsilon \xi_s = -Q_{sc} \quad (\text{III-11})$$

où la charge Q_{sc} , par unité de surface, développée dans le semiconducteur est la contribution de la densité de la charge des électrons libres, de la charge Q_{locd} localisée sur les centres profonds et de la charge Q_{loct} localisée sur les états de queue, de sorte que:

$$\left\{ \begin{array}{l} Q_{sc} = Q_{sc}(y) = \int_0^{x_{eff}} \rho(x, y) dx \\ Q_{locd} = Q_{locd}(y) = \int_0^{x_{eff}} qN_{locd}(x, y) dx \\ Q_{loct} = Q_{loct}(y) = \int_0^{x_{eff}} qN_{loct}(x, y) dx \end{array} \right. \quad (\text{III-12})$$

Cependant, on n'aura pas, comme on le verra ultérieurement, à résoudre ce système et calculer les intégrales pour pouvoir obtenir les expressions de ces différentes charges. Ceci impose donc certaines restrictions simplificatrices relatives à chaque régime d'opération du transistor amorphe

III. 4. Régime de faible accumulation

Ce régime, qui correspond à des tensions de grille inférieures à la tension de seuil, a été étudié par quelques auteurs dont Choi et al. [25], Kishida et al [78], Shur et al. [68], Colalongo [79] et Leroux [80]. Alors que dans la référence [25], ce régime a été interprété par un modèle donnant les caractéristiques capacité-tension (C-V) interélectrodes, Kishida, Shur et Colalongo n'ont pas rendu compte de la dépendance exponentielle du courant de drain en fonction des tensions externes de grille et de drain, pourtant observées expérimentalement par plusieurs auteurs [81, 82], sans compter qu'ils n'ont pas pris en compte l'effet des états d'interface et le paramètre température n'apparaît pas dans leurs expressions analytiques des caractéristiques courant-tension. Leroux quant à lui, arrive à établir cette dépendance, mais seulement avec la simple prise en compte de la densité d'états d'interfaces et faisant abstraction des états localisés profonds que notre analyse met justement en discussion. En effet, il s'est avéré, comme on le verra plus loin, que ce sont ces états profonds qui contrôlent le comportement du transistor amorphe en régime de faible accumulation. La comparaison de nos travaux avec ceux de la littérature se feront plus en détail lors de la présentation de nos résultats de simulation.

III. 4. 1. Equation de Poisson

Ce mode d'opération est régi, comme on l'a décrit, par un niveau de Fermi situé au niveau des états profonds. La contribution des électrons libres participant à la conduction ainsi que celle des états de queue dans la densité volumique de charge sont ainsi négligées. L'équation de Poisson devient dans l'approximation du canal graduel:

$$\frac{\partial^2 \Psi(x)}{\partial x^2} = \frac{qN_{locd}}{\epsilon} \quad (\text{III-13})$$

ou bien d'après (II-11):

$$\frac{\partial^2 \Psi}{dx^2} = A \exp\left(\frac{q\Psi - E_{F0}}{KT_d}\right) \quad (\text{III-14-a})$$

avec

$$A = \frac{q}{\epsilon} g_d s^{\frac{T}{T_d}} \frac{\pi KT}{\sin\left(\frac{\pi T}{T_d}\right)} \quad (\text{III-14-b})$$

Le champ électrique est alors:

$$\xi(\Psi) = \sqrt{2AKT_d} \exp\left(\frac{q\Psi - E_{F0}}{2KT_d}\right) \quad (\text{III-15})$$

La distance x à partir de l'interface isolant/a-Si peut être ainsi éliminée et l'équation de Poisson peut être résolue sans passer par la détermination du profil $\Psi(x)$. Ceci exige que l'une des conditions aux limites soit:

$$\xi(\Psi=0) = 0 \quad (\text{III-16})$$

c à d. la région de courbures de bandes ne s'étale pas, donc moins importante que l'épaisseur du semiconducteur dans lequel $\Psi(x)$ est simplement décalé dans le sens des x quand la tension de grille se trouve augmentée.

III. 4. 2. Bilan de potentiel

Dans ce mode d'opération, la relation (III-11), combinée avec l'expression (II-17) du champ électrique à la surface, peut être réécrite comme:

$$C_i V_{sc} = \sqrt{2A\epsilon^2 KT_d} \exp\left(\frac{q\Psi - E_{F0}}{2KT_d}\right) \quad (\text{III-17})$$

ce qui donne pour le potentiel d'interface en régime de faible accumulation:

$$\Psi_{sd}(V_{sc}) = \frac{KT_d}{q} \text{Log} \left[\frac{C_i^2 V_{sc}^2 \sin(\pi T/T_d) \exp(E_{F0}/KT_d)}{2\varepsilon q g_d g^{T/T_d} \pi(KT)(KT_d)} \right] \quad (\text{III-18})$$

Cette expression peut être réécrite comme:

$$\Psi_{sd}(V_{sc}) = V_{2d} \text{Log} \left[\frac{V_{sc}}{V_{1d}} \right] \quad (\text{III-19})$$

où

$$V_{1d} = \sqrt{\frac{2q\varepsilon g_d g^{T/T_d} \pi(KT)(KT_d)}{C_i^2 \sin(\pi T/T_d) \exp(E_{F0}/KT_d)}} \quad (\text{III-20-a})$$

et

$$V_{2d} = \frac{2KT_d}{q} \quad (\text{III-20-b})$$

L'expression (III-18) exprime que la courbure de bandes maximale Ψ_{sd} est tributaire d'une part de la tension au niveau de la couche conductrice (canal), donc du champ électrique appliqué et d'autre part des états profonds dans le gap du semiconducteur.

III. 4. 3. Charge de conduction

Par le biais de l'expression du potentiel Ψ_{sd} à l'interface isolant/semiconducteur et à partir de l'équation (II-36), nous sommes en mesure de donner une expression de la densité de charge de conduction N_f

$$N_f(\Psi_{sd}) = \int_0^{\Psi_{sd}} \frac{N_c \exp\left(\frac{q\Psi - E_{F0}}{KT}\right) d\Psi}{\sqrt{2AKT_d} \exp\left(\frac{q\Psi - E_{F0}}{2KT_d}\right)} \quad (\text{III-21})$$

ce qui donne finalement:

$$N_f(\Psi_{sd}) = \frac{N_c}{\sqrt{2AKT_d}} \frac{1}{\frac{1}{KT} - \frac{1}{2KT_d}} \exp\left(\left(\frac{1}{KT} - \frac{1}{2KT_d}\right) (q\Psi_{sd} - E_{F0})\right) \quad (\text{III-22})$$

A ce niveau, on devrait remplacer Ψ_{sd} par son expression donnée par l'équation (III-19) pour l'obtention de la densité des électrons libres, seulement on a besoin de l'expression de la tension au niveau du canal V_{sc} . Pour la déterminer, on revient toujours au bilan de potentiel (éq. (II-21))

$$V_{sc} = V_g - \Psi_{sd} - V_{fb} \quad (\text{III-23})$$

qui donne, compte tenu de l'expression (III-19)

$$V_{sc} + V_{2d} \text{Log} \left[\frac{V_{sc}}{V_{1d}} \right] = V_g - V_{fb} \quad (\text{III-24})$$

Comme le transistor fonctionne en régime de faible accumulation, cette expression se réduit à

$$V_g - V_{fb} \approx V_{2d} \text{Log} \left[\frac{V_{sc}}{V_{1d}} \right] \quad (\text{III-25})$$

ce qui implique pour V_{sc} :

$$V_{sc} = V_{1d} \exp\left(\frac{q(V_g - V_{fb})}{2KT_d}\right) \quad (\text{III-26})$$

Or en un point y du canal, le potentiel de grille est $V(y)$ dont la variation s'étale de la source où il est égal à V_{gs} , au drain où il prend la quantité V_{gd} . La densité des électrons libres à l'interface sera alors:

$$N_f(V_{sc}) = f_d(T, T_d, V_{1d}) V_{sc}^{2\alpha-1} \quad (\text{III-27})$$

où la fonction f_d est exprimée par l'expression

$$f_d = \frac{N_c \sqrt{\epsilon \sin(\pi T/T_d) \exp\left(\left(\frac{1}{2KT_d} - \frac{1}{KT}\right) E_{F0}\right)}}{\sqrt{2qg_d} g^{T/T_d} \pi (KT)(KT_d) \left(\frac{1}{KT} - \frac{1}{2KT_d}\right) V_{1d}^{2\alpha-1}} \quad (\text{III-28})$$

qu'il suffit d'intégrer le long du canal pour obtenir l'expression du courant de drain en régime de faible accumulation.

III. 4. 4. Expression du courant de drain dans le transistor

D'après l'expression fondamentale du courant de drain donnée par la relation (III-9),

$$I_d = \frac{q\mu_n Z}{L} f_d(T, T_d, V_{1d}) \int_{V_{gd}}^{V_{gs}} V_{sc}^{2\alpha-1}(y) dV \quad (\text{III-29})$$

En remplaçant V_{sc} par son expression donnée par la relation (III-26), le courant I_d devient

$$I_d = \frac{q\mu_n Z V_{2d} V_{1d}^{2\alpha-1}}{L 2\alpha-1} f_d(T, T_d, V_{1d}) \left[\exp\left(\frac{(2\alpha-1)(V_g - V_{fb})}{V_{2d}}\right) - \exp\left(\frac{(2\alpha-1)(V_g - V_{fb} - V_d)}{V_{2d}}\right) \right] \quad (\text{III-30})$$

Cette expression montre qu'en régime de faible accumulation, le courant de drain augmente exponentiellement avec les tensions externes de grille V_g et de drain V_d . Cette dépendance révèle aussi l'effet de la température sur le courant, ainsi que sa dépendance vis à vis de la capacité de l'isolant.

En posant

$$I_{0d} = \frac{q\mu_n Z V_{2d} V_{1d}^{2\alpha-1}}{L 2\alpha-1} f_d(T, T_d, V_{1d}) \quad (\text{III-31})$$

on aura:

$$I_d = I_{0d} \left[\exp\left(\frac{(2\alpha-1)(V_g - V_{fb})}{V_{2d}}\right) - \exp\left(\frac{(2\alpha-1)(V_g - V_{fb} - V_d)}{V_{2d}}\right) \right] \quad (\text{III-32})$$

III. 4. 5. Modèle simplifié

L'expression (III-32) du courant de drain comporte trois paramètres qu'il serait important d'extraire expérimentalement:

- la température T_d , à travers V_{2d} , représentative des états profonds,
- la tension V_{fb} de bandes plates,
- le courant I_{od} correspondant.

On remarque que, s'il est facile d'extraire V_{2d} , il n'en est pas de même pour V_{fb} et I_{od} . Pour cela, on préfère substituer à l'expression (III-32) des expressions relatives aux potentiels de drain appliqués au transistor. Donc:

- Pour $V_d \ll V_g - V_{fb}$

I_d est réduit à:

$$I_d = \frac{q\mu_n Z}{L} V_{1d}^{2\alpha-1} f_d(T, T_d, V_{1d}) \exp\left(-\frac{(2\alpha-1)(V_g - V_{fb})}{V_{2d}}\right) \cdot V_d \quad (\text{III-33})$$

- Pour $V_d \geq V_g - V_{fb}$

$$I_d = \frac{q\mu_n Z V_{2d} V_{1d}^{2\alpha-1}}{L \cdot 2\alpha-1} f_d(T, T_d, V_{1d}) \exp\left(-\frac{(2\alpha-1)(V_g - V_{fb})}{V_{2d}}\right) \quad (\text{III-34})$$

ou alors

$$I_d = I_{od} \exp\left(-\frac{(2\alpha-1)(V_g - V_{fb})}{V_{2d}}\right) \quad (\text{III-35})$$

Ainsi, en régime de saturation, le courant de drain ne dépend pas de la tension de drain. Des résultats expérimentaux permettraient de tirer les conclusions suivantes:

- l'exploitation des caractéristiques expérimentales $I_d(V_g - V_{fb})$, pour V_d grand, permet l'acquisition du paramètre T_d (expression (III-35)),

- l'exploitation des caractéristiques expérimentales $I_d(V_d)$ pour V_d faible (équation(III-33)) permet d'obtenir la pente

$$p = \frac{I_{0d}}{V_{2d}} \exp\left(\frac{(2\alpha-1)(V_g - V_{fb})}{V_{2d}}\right) = f(V_{fb}, I_{0d}) \quad (\text{III-36})$$

Seulement la connaissance de cette pente ne permet pas à priori de déterminer les valeurs séparées de V_{fb} et I_{0d} . Néanmoins, si V_{fb} est déterminée comme dans le cas des transistors MOS cristallins, c. à. d. à partir de la caractéristique $I_d(V_g)$ en faible accumulation, on peut avoir accès au paramètre I_{0d} .

III. 5. Régime de forte accumulation

Ce régime de forte accumulation correspond à des tensions de grille qui dépassent la tension de seuil. Il a été étudié par de nombreux auteurs dont [78], [68], [80] et [83]. Toutes ces études ont été basées sur le fait qu'en ce régime d'opération du transistor, la contribution des états profonds à la densité volumique de charges peut être négligée. Seulement, en séparant de cette façon les densités des états localisés en faible et en forte accumulation, on est toujours amené à se poser des questions quant à la continuité de ces modèles entre ces deux régimes. Il serait donc plus prudent, avant de faire toute conclusion, de tenir compte de la densité des états profonds dans l'expression de la distribution $g(E)$ lors du calcul de la densité des états localisés $N_{\text{loc}}(\psi)$.

Dans ce régime, il est aussi important de discuter de la valeur du paramètre $\alpha = T_V/T \leq 1$. Pour les états de queue, nous avons adopté une valeur de la température caractéristique de $\approx 260^\circ\text{K}$. Malgré que d'après la littérature, les valeurs exactes de T_d et de T_i ne sont en général pas connues avec exactitude, cet ordre de grandeur décrit bien le régime pour lequel $V_g \geq V_t$, tension de seuil correspondant à un niveau de Fermi qui commence à entrer dans l'ordre énergétique correspondant aux états de queue. D'autre part, l'écart de température $\Delta T = T - T_i \approx 300 - 260 \approx 40^\circ\text{K}$, correspondant à une énergie d'environ $344 \times 10^{-4} \text{ eV}$, ne fait que varier la mobilité de champ de 5% [74], ce qui indique qu'à 260°K , la contribution des états profonds de la densité d'états à la densité de charge est confirmée. En d'autre termes, au dessus du seuil V_t , la polarisation appliquée au transistor sert aussi à peupler, quoique préférentiellement les états de queue, les états profonds.

Notre objectif est donc l'obtention d'un modèle simplifié et qui comporte surtout le moins de paramètres possibles. En suivant ainsi la même méthodologie que pour le cas du régime de faible accumulation, on aura:

$$g(E) = g_d \exp\left(\frac{E - E_c}{KT_d}\right) + g_t \exp\left(\frac{E - E_c}{KT_t}\right) \quad (\text{III-37})$$

et

$$N_{loc} = \int_{-\infty}^{E_c} \frac{g_d \exp\left(\frac{E - E_c}{KT_d}\right) + g_t \exp\left(\frac{E - E_c}{KT_t}\right)}{1 + \frac{1}{g} \exp\left(\frac{E - E_F}{KT}\right)} dE \quad (\text{III-38})$$

qui peut être approchée par l'expression

$$N_{loc} = \int_{-\infty}^{E_c} (g_d \exp\left(\frac{E - E_c}{KT_d}\right) + g_t \exp\left(\frac{E - E_c}{KT_t}\right)) g \exp\left(-\frac{E - E_F}{KT}\right) dE \quad (\text{III-39})$$

qui donne enfin

$$N_{loc}(\psi) = \left(\frac{g g_d}{\frac{1}{KT_d} - \frac{1}{KT}} + \frac{g g_t}{\frac{1}{KT_t} - \frac{1}{KT}} \right) \exp\left(\frac{q\psi - E_{F0}}{KT}\right). \quad (\text{III-40})$$

III. 5. 1. Equation de Poisson

Dans ce régime de fonctionnement, la densité des électrons libre est de plus en plus importante de sorte que l'équation de Poisson devienne:

$$\frac{\partial^2 \Psi(x)}{\partial x^2} = \frac{-q}{\epsilon} (-N_{loc} - N_f) \quad (\text{III-41})$$

ou encore

$$\frac{\partial^2 \Psi(x)}{\partial x^2} = B \exp\left(\frac{q\Psi - E_{F0}}{KT}\right) \quad (\text{III-42})$$

où

$$B = \frac{q}{\epsilon} \left(\frac{g g_d}{\frac{1}{KT_d} - \frac{1}{KT}} + \frac{g g_t}{\frac{1}{KT_t} - \frac{1}{KT}} + N_c \right) \quad (\text{III-43})$$

Le champ électrique sera alors

$$\xi_t(\Psi) = \sqrt{2BKT} \exp\left(\frac{q\Psi - E_{F0}}{2KT}\right) \quad (\text{III-44})$$

III. 5. 2. Bilan de potentiel

Comme dans le cas du régime de faible accumulation, le théorème de Gauss, combiné avec l'expression du champ électrique à la surface, donne pour le potentiel de surface:

$$\Psi_{st}(V_{sc}) = V_{2t} \text{Log} \left[\frac{V_{sc}}{V_{1t}} \right] \quad (\text{III-45})$$

où

$$V_{1t} = \sqrt{\frac{2\epsilon q KT \left(\frac{g g_d}{\frac{1}{KT_d} - \frac{1}{KT}} + \frac{g g_t}{\frac{1}{KT_t} - \frac{1}{KT}} + N_c \right)}{C_i^2 \exp(E_{F0}/(KT))}} \quad (\text{III-46})$$

et

$$V_{2t} = \frac{2KT}{q} \quad (\text{III-47})$$

En outre, pour approcher le potentiel V_{sc} en fonction de la tension de grille appliquée, une formulation similaire à l'équation (III-24) correspondant au régime de faible accumulation donne:

$$V_{sc} + V_{2t} \text{Log}\left(\frac{V_{sc}}{V_{1t}}\right) - V_g + V_{fb} = 0 \quad (\text{III-48})$$

Une expression qui pourrait approcher l'équation (III-48), et qui sera favorable au calcul analytique de la tension de seuil est:

$$V_{sc} = V_g - V_t \quad (\text{III-49})$$

où

$$V_t = V_{fb} - V_{2t} \text{Log}(V_{1t}) + 0.14 \quad (\text{III-50})$$

0.14 est une constante qui ajuste l'équation (III-49) aux résultats illustrés sur la figure III. 2. Cette dernière montre la dépendance de V_{sc} avec V_g . La courbe en trait continu indique le résultat de la résolution numérique basée sur l'équation (III-48), alors que la courbe en pointillés illustre les résultats de la résolution analytique de l'équation (III-50). L'accord entre les deux procédures est excellent.

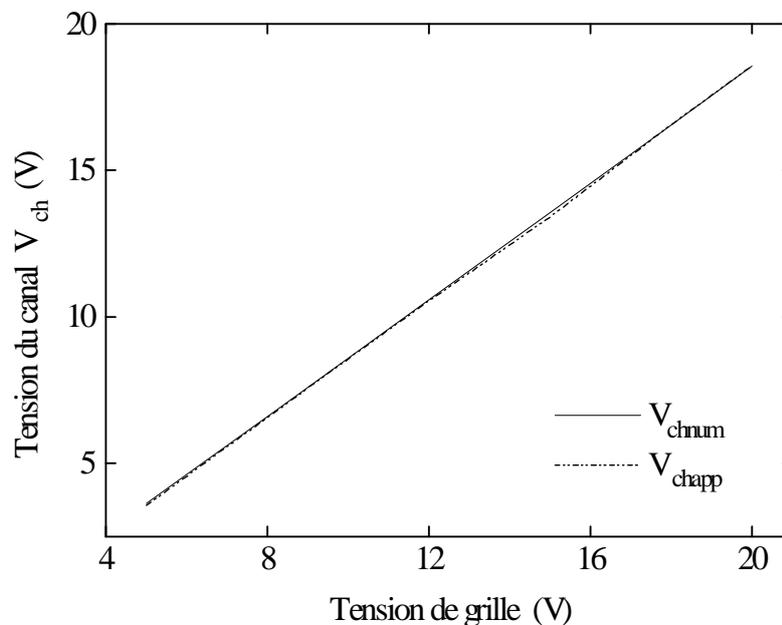


Fig. III. 2. Tension du canal numérique (—) et analytique (----) en fonction de la tension de grille.

III. 5. 3. Charge de conduction

Compte tenu de la relation (II-36), et par le biais de l'expression du champ électrique (éq. (III-44)), on aura pour la densité de charge de conduction:

$$N_f(\Psi_{st}) = \int_0^{\Psi_{st}} \frac{N_c \exp\left(\frac{q\Psi - E_{F0}}{KT}\right) d\Psi}{\sqrt{2B_1 KT} \exp\left(\frac{q\Psi - E_{F0}}{2KT}\right)} \quad (\text{III-51})$$

ce qui donne finalement

$$N_f(\Psi_{st}) = B \exp\left(\frac{q\Psi_{st} - E_{F0}}{2KT}\right) \quad (\text{III-52})$$

où

$$B = \frac{2N_c KT}{\sqrt{2KT \frac{q}{\epsilon} \left(\frac{g g_d}{\frac{1}{KT_d} - \frac{1}{KT}} + \frac{g g_t}{\frac{1}{KT_t} - \frac{1}{KT}} + N_c \right)}} \quad (\text{III-53})$$

III. 5. 4. Expression du courant de drain dans le transistor

En remplaçant l'expression de la densité des électrons libres (éq. (III-52)) dans celle du courant de drain (éq. (III-9)), on aura

$$I_d = \frac{qZ\mu_n}{L} \int_0^{V_d} N_f(\Psi_{st}) dV = \frac{qZ\mu_n B}{L} \int_0^{V_d} \left(e^{q\Psi_{st} - E_{F0}} \right)^{\frac{1}{2KT}} dV \quad (\text{III-54})$$

Or, la quantité $(q\Psi_{st} - E_{F0})$ est fonction de V_g et de V_{sc} par la relation (III-49)

$$V_{sc} = V_g - V_t \quad (\text{III-55})$$

et par le théorème de Gauss

$$V_{sc} = \frac{\epsilon}{C_i} \xi_{st} \quad (\text{III-56})$$

on aura ainsi en un point du canal:

$$I_d = \frac{N_c C_i Z \mu_n}{LKT \left(\frac{g g_d}{T_d - 1} + \frac{g g_t}{T_t - 1} + \frac{N_c}{KT} \right)} \left(V_g - V_t - \frac{V_d}{2} \right) V_d \quad (\text{III-57})$$

ou encore

$$I_d = I_{0t} \left(V_g - V_t - \frac{V_d}{2} \right) V_d \quad (\text{III-58})$$

avec

$$I_{0t} = \frac{N_c C_i Z \mu_n}{LKT \left(\frac{g g_d}{T_d - 1} + \frac{g g_t}{T_t - 1} + \frac{N_c}{KT} \right)} \quad (\text{III-59})$$

L'expression (III-58) montre que, malgré que l'origine physique et le matériau sont très différents par rapport au silicium monocristallin, le courant de drain varie d'une manière très similaire à celle des transistors MOS cristallins. Dans certaines théories, où les structures des dispositifs et les techniques d'approximation sont différentes, la variation de I_d vis à vis des tensions de grille et de drain se fait avec une puissance d'un facteur qui varie entre 2 et 2.5 [68, 79].

III .5. 5. Analyse de la mobilité d'effet de champ

Un autre paramètre électrique qui affecte beaucoup le fonctionnement du transistor, est la mobilité d'effet de champ, μ_{fet} . Il serait donc intéressant, pour souligner l'analogie avec le transistor MOS cristallin, de parler de ce paramètre qui constitue une fraction seulement de la

mobilité de bande, du moment que pratiquement la totalité de la charge induite siège dans les états localisés. Cette mobilité est reliée au nombre total des électrons libres dans le canal et au nombre total de la charge induite par la relation [67, 76]

$$\mu_{fet} = \frac{N_f}{N_f + N_{loc}} \mu_n \quad (\text{III-60})$$

où le terme N_{loc} n'est autre que la densité de charge totale relative aux états localisés de queue et profonds. Cette expression peut être réécrite comme suit:

$$\frac{\mu_{fet}}{\mu_n} = \frac{qN_f}{C_i V_{sc}} \quad (\text{III-61})$$

où les termes N_f et V_{sc} s'expriment dépendamment de la tension appliquée, donc du régime d'opération du transistor amorphe.

III .5. 5. 1. Rapport de mobilités en faible accumulation

Il est simplement obtenu en substituant l'expression (III-27) relative aux électrons libres dans l'expression (III-61), pour obtenir:

$$\frac{\mu_{fet}}{\mu_n} = q \frac{f_d(T_d, T_d, V_{sd})}{C_i} V_{sc}^{2\alpha-2} \quad (\text{III-62})$$

III .5. 5. 2. Rapport de mobilités en forte accumulation

Dans ce cas, on a besoin d'exprimer la densité des électrons libres en fonction de la tension du canal conducteur. Par le biais de la relation (III-45) exprimant le potentiel de surface en fonction de V_{sc} , qu'on substitue dans la relation (III-52) de N_f , on obtient pour le rapport de mobilités en régime de forte accumulation:

$$\frac{\mu_{fet}}{\mu_n} = \frac{2N_c}{V_{sc} C_i \sqrt{\frac{2q}{\epsilon} \left(\frac{g g_d}{T_d - 1} + \frac{g g_t}{T_t - 1} + \frac{N_c}{KT} \right)}} \exp\left(\frac{-E_{F0}}{2KT}\right) \quad (\text{III-63})$$

Ce dernier cas montre qu'en régime de forte accumulation, μ_{fet}/μ_n ne dépend pas de la tension appliquée. D'un point de vue pratique, après avoir remplacé V_{1t} par son expression donnée par la relation (III-46), μ_{fet} aura pour expression

$$\mu_{fet} = \mu_n \frac{N_c}{KT \left(\frac{gg_d}{T_d - 1} + \frac{gg_t}{T_t - 1} + \frac{N_c}{KT} \right)} \quad (III-64)$$

et I_{0t} , paramètre accessible par l'expérience (expression III-59), devient alors

$$I_{0t} = \mu_{fet} C_i \frac{Z}{L} \quad (III-65)$$

III. 5. 6. Modèle simplifié

III. 5. 6. 1. Zone linéaire: $V_d \ll V_g - V_t$

Le courant de drain devient:

$$I_d = I_{0t} (V_g - V_t) V_d \quad (III-66)$$

Ainsi, pour des tensions drain-source de faibles valeurs, les caractéristiques $I_d(V_d)$ présentent une zone ohmique (linéaire) qui contient les paramètres:

- I_{0t} qui permet d'avoir accès à la mobilité de bande μ_n , à travers μ_{fet} .
- V_t , la tension de seuil définie par l'équation (III-50).

III. 5. 6. 2. Zone saturée: $V_d \geq V_g - V_t$

En faisant augmenter la tension drain-source au-delà du régime linéaire, la densité superficielle des porteurs libres décroît au voisinage du drain et le courant de drain atteint un régime de saturation. Cependant, d'après Leroux [80], les caractéristiques expérimentales $I_d(V_d)$ montrent une croissance linéaire après la saturation qu'il a expliqué par une équation

simple représentant le pincement du canal. C'est pourquoi, une étude du canal au point de pincement s'avère intéressante. Pour ce faire, nous essayons de présenter une approche analytique directement inspirée de l'analyse dans le cas du TMOS monocristallin.

On définit alors la tension de saturation V_{dsat} en écrivant que:

$$\text{Pour } V_d = V_{dsat} \rightarrow N_f(V_{sc}) = 0$$

Avec $N_f(\Psi_{st}(V_{sc}))$ et $\Psi_{st}(V_{sc})$ données par les équations (III-52) et (III-45), respectivement.

Exprimons d'abord la quantité $(q\Psi_{st} - E_{f0})$. En régime de forte accumulation. On a, compte tenu des équations (III-55), (III-56) et (III-44)

$$V_g - V_t = \frac{\epsilon}{C_i} \sqrt{2BKT} (\exp(q\Psi_s - E_{f0}))^{\frac{1}{2KT}} \quad (\text{III-67})$$

En un point y du canal conducteur, cette expression devient

$$V_g - V(y) - V_t = \frac{\epsilon}{C_i} \sqrt{2BKT} (\exp(q\Psi_s - E_{f0}))^{\frac{1}{2KT}} \quad (\text{III-68})$$

ce qui donne

$$\exp(q\Psi_s - E_{f0}) = \frac{C_i}{\epsilon \sqrt{2BKT}} (V_g - V(y) - V_t)^{2KT} \quad (\text{III-69})$$

En substituant cette expression dans celle de N_f , on obtient:

$$N_f = 0 = B \frac{C_i}{\epsilon \sqrt{2BKT}} (V_g - V(y) - V_t) \quad (\text{III-70})$$

Or en $y=L$, au point de pincement, $V(L) = V_{dsat}$, d'où

$$V_{dsat} = V_g - V_t \quad (\text{III-71})$$

En substituant cette expression dans celle du courant de drain donnée par l'équation (III-58), le courant à la saturation est:

$$I_d = \frac{I_{0t}}{2} (V_g - V_t)^2 \quad (\text{III-72})$$

Ainsi, la caractéristique expérimentale $(I_d)^{1/2}$ en fonction de V_g , permet la détermination du paramètre I_{0t} ; la pente, qui donne accès à son tour à la mobilité d'effet de champ. Une fois le paramètre I_{0t} déterminé, on peut alors donner une estimation de la valeur de la tension de seuil par l'extrapolation à $I_d=0$ de la caractéristique $I_d(V_g)$ (expression (III- 66)).

III. 6. Etat bloqué

Indispensable à l'ingénierie de conception assistée par ordinateur, cet état correspond à des tensions de grille $V_g \leq V_{fb}$. Dans notre cas, nous considérons que le transistor correspond à une simple résistance de fuite R_1 , et le courant de drain relatif à cet état est:

$$I_{dl} = \frac{1}{R_1} \frac{Z}{L} V_d \quad (\text{III-73})$$

où R_1 est estimée dans la référence [83].

III. 7. Récapitulatif du modèle

En guise de récapitulatif, nous nous proposons de donner dans ce paragraphe un résumé sous forme de formulaire du modèle de fonctionnement du TFT présenté dans ce chapitre. Le but de cette présentation est double:

- pouvoir faire une synthèse pour en dégager avantages et limites,
- pouvoir comparer avec les travaux jusqu'alors publiés.

Sont alors présentés ici:

- le modèle simplifié complet correspondant à chaque régime de fonctionnement,
- le jeu de paramètres correspondants.

III. 7. 1. Faible accumulation ($V_g < V_t$)

- $V_d \ll V_g - V_{fb}$

$$I_d = \frac{q\mu_n Z}{L} V_{1d}^{2\alpha-1} f_d(T, T_d, V_{1d}) \exp\left(\frac{(2\alpha-1)(V_g - V_{fb})}{V_{2d}}\right) V_d \quad (\text{III-74})$$

- $V_d \geq V_g - V_{fb}$

$$I_d = \frac{q\mu_n Z V_{2d} V_{1d}^{2\alpha-1}}{L 2\alpha-1} f_d(T, T_d, V_{1d}) \exp\left(\frac{(2\alpha-1)(V_g - V_{fb})}{V_{2d}}\right) \quad (\text{III-75})$$

ou encore

$$I_d = I_{0d} \exp\left(\frac{(2\alpha-1)(V_g - V_{fb})}{V_{2d}}\right) \quad (\text{III-76})$$

III. 7. 2. Forte accumulation ($V_g \geq V_t$)

- $V_d \ll V_g - V_t$

$$I_d = \frac{N_c C_i Z \mu_n}{LKT \left(\frac{g g_d}{T_d - 1} + \frac{g g_t}{T_t - 1} + \frac{N_c}{KT} \right)} (V_g - V_t) V_d \quad (\text{III-77})$$

ou bien

$$I_d = \mu_{fet} \frac{C_i Z}{L} (V_g - V_t) V_d \quad (\text{III-78})$$

- $V_d \geq V_g - V_t$

$$I_d = I_{dsat} = \frac{I_{0t}}{2} (V_g - V_t)^2 \quad (\text{III-79})$$

III. 7. 3. Paramètres du modèle

Les paramètres du modèle que nous proposons ne sont pas nombreux, ils sont au nombre de seulement cinq (05), ce qui constitue l'un de ses plus grands avantages. Dans [83], par exemple, Merckel et Rolland font état de neuf (09) paramètres, dans [84], Cerdeira et al. en citent sept (07), alors que dans le modèle proposé par Shur et al. figurent quinze (15) paramètres qui sont la conséquence de fonctions d'interpolation compliquées.

Nos paramètres sont ainsi: T_d , V_{fb} et I_{od} en régime de faible accumulation; et V_t , et μ_{fet} seulement en régime de forte accumulation. Tous ces paramètres sont facilement accessibles par l'expérience.

Notre modèle présente un autre avantage: le choix de la structure du transistor étudié. En plus du fait que la technologie de nos jours permet la réalisation de très bons contacts ohmiques, la création du canal dans cette structure fait de sorte que l'on peut négliger les résistances de contacts de sources et de drain parce que dans leur parcours de la source vers le drain, les électrons n'ont pas à traverser le volume du silicium amorphe et par conséquent les effets de piégeage de ces porteurs de charge susceptibles de maintenir le courant de drain se trouvent minimisés.

CHAPITRE QUATRIEME

RESULTATS ET DISCUSSIONS

IV. 1. Introduction

Dans ce chapitre, il sera question de présenter les résultats que nous avons obtenus. Nous présenterons d'abord les allures typiques des profils du potentiel ainsi que des différentes densités de charges qui entrent en jeu dans la détermination du comportement de la structure MIS en régime statique. Nous essayerons par la suite d'analyser l'effet des différents paramètres relatifs au silicium amorphe sur les caractéristiques du transistor en couches minces. Nous discuterons plus particulièrement les effets des états localisés profonds et de queue, sur les paramètres électriques régissant le fonctionnement du transistor en faible et en forte accumulation; l'effet des facteurs géométriques étant très analogue à celui des transistors MOS cristallins [85]. Les résultats seront comparés au fur et à mesure avec d'autres travaux théoriques et expérimentaux déjà publiés.

IV. 2. Structure MIS

En guise d'étudier la structure MIS, les figures IV. 1 à IV. 9 montrent les résultats typiques des applications numériques des différents calculs effectués au chapitre II, pour $T=300^{\circ}\text{K}$. Les valeurs adoptées pour les différents paramètres représentatifs du silicium amorphe et du nitrure de silicium sont celles admises dans la littérature, notamment celles relatives aux états localisés de queue et profonds [66, 83]. Ces valeurs sont regroupées dans le tableau IV. 1.

IV. 2. 1. Profil de potentiel

La figure IV. 1 illustre le profil de potentiel $\Psi(x)$ dans le canal conducteur pour différentes valeurs de la chute de potentiel Ψ_s à l'interface isolant/semiconducteur amorphe.

Tableau IV. 1. Paramètres représentatifs du silicium amorphe et du nitrure de silicium

a-Si	Niveau de Fermi du matériau intrinsèque (eV)	~0.6-0.7
	Energie caractéristique des états profonds (meV)	86
	Energie caractéristique des états de queue (meV)	23
	Constante diélectrique	~11
	Densité d'états effective dans la bande de conduction (cm ⁻³)	~10 ¹⁹ (à 300°K)
	Gap énergétique (eV)	1.72 (à 300°K)
Si ₃ N ₄	Mobilité des électrons à 300°K (cm ² /Vs)	10-20
	Constante diélectrique	7.5

La décroissance du potentiel en fonction de la profondeur x se fait, comme nous l'avons signalé au deuxième chapitre, en $1/\sqrt{A_1}$, selon une longueur caractéristique L_d (expression (II-30)), qui n'est autre que la longueur de Debye représentative des états profonds. L'effet de ce paramètre apparaît en analysant les figures IV. 2 et IV. 3, tout en les comparant à la figure IV. 1. Ces figures montrent la variation du potentiel en faisant varier dans un premier temps g_t , puis g_d . En faisant augmenter g_t , pratiquement aucune variation dans le profil de potentiel n'apparaît. L'augmentation de g_d , par contre, influe sur le profil du potentiel. L'analyse de ce comportement suggère de définir le rôle des états profonds: alors que l'effet du paramètre g_t n'apparaît pas clairement, du moment qu'il est difficile de séparer les états profonds des états de queue à partir du paramètre B_1 dans l'expression de L_t (expression II-29), l'augmentation de g_d fait diminuer L_d , ce qui mène à une décroissance plus rapide du potentiel.

IV. 2. 2. Profils des densités de charges

L'évolution des profils des différentes densités de charges $N_f(x)$, $N_{locd}(x)$ et $N_{loct}(x)$ sont représentées sur les figures IV. 4 à IV. 7, pour une valeur connue de la chute de potentiel à l'interface, Ψ_s . L'examen des figures IV. 4 à IV. 6 révèle qu'avec les paramètres choisis pour le calcul, la densité d'électrons libres $N_f(x)$ est bien inférieure aux densités d'électrons localisés sur les états profonds et de queue $N_{locd}(x)$ et $N_{loct}(x)$, respectivement, quelle que soit la polarisation. La figure IV. 7, par contre, montre que cette densité devient supérieure à celle des états profonds à l'interface isolant/semiconducteur. Ceci montre que, par analogie avec les structures monocristallines, il existe un certain seuil, à partir duquel apparaît une couche d'accumulation d'électrons à l'interface isolant/semiconducteur. La figure IV. 8 qui représente les profils des différentes densités de porteurs à l'interface en fonction de la chute de potentiel dans la couche semiconductrice, montre la mise en évidence de cette couche.

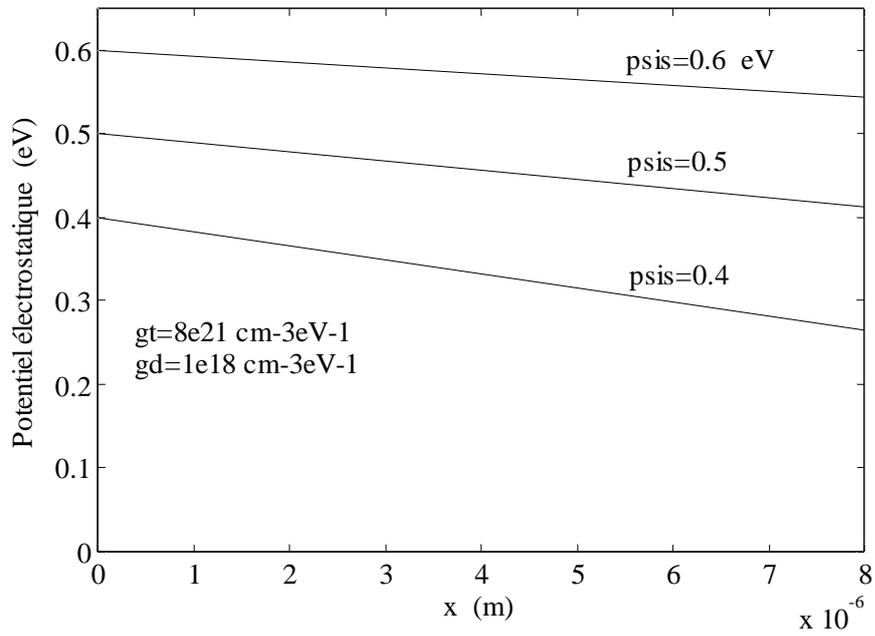


Fig.IV. 1. Profil de potentiel dans le silicium amorphe pour différents potentiels de surface.

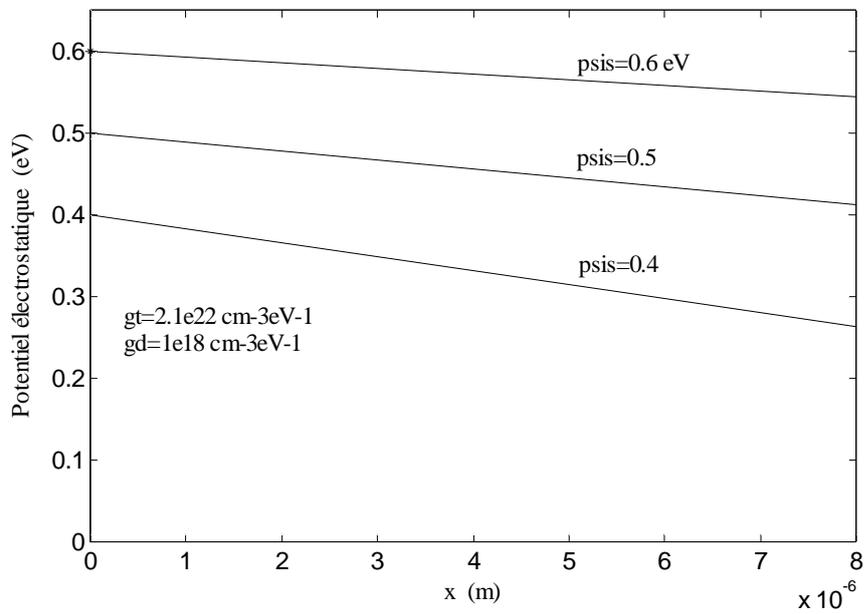


Fig. IV. 2. Profil de potentiel dans le silicium amorphe pour différents potentiels de surface, g_t varié.

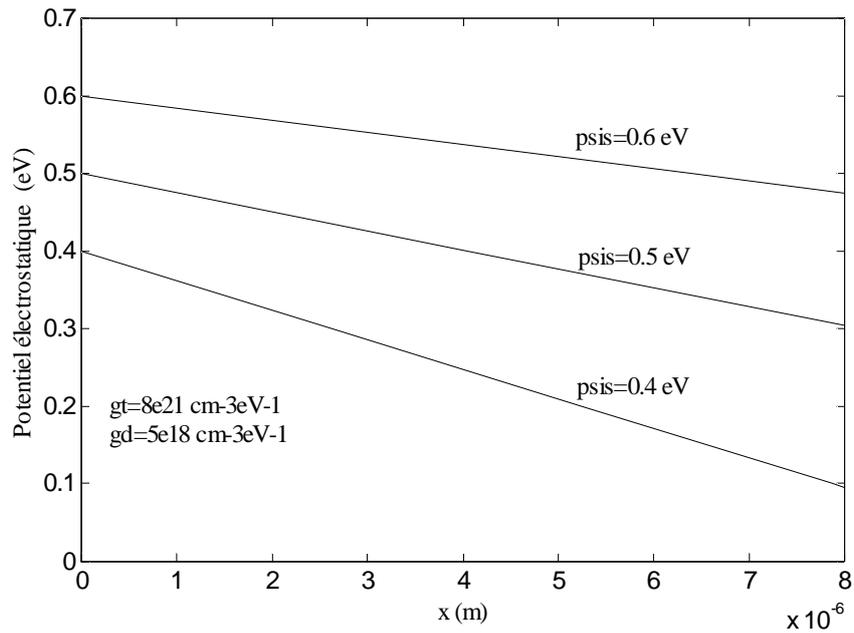


Fig. IV . 3. Profil de potentiel dans le silicium amorphe pour différents potentiels de surface, g_d varié.

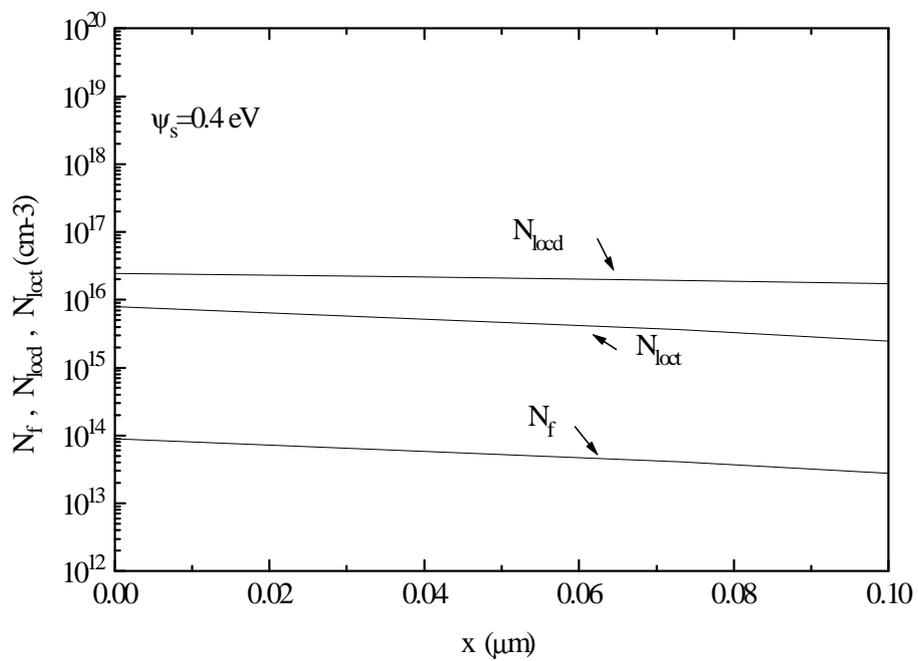


Fig. IV. 4. Densités de charges dans le silicium amorphe pour $\Psi_s = 0.4$ eV

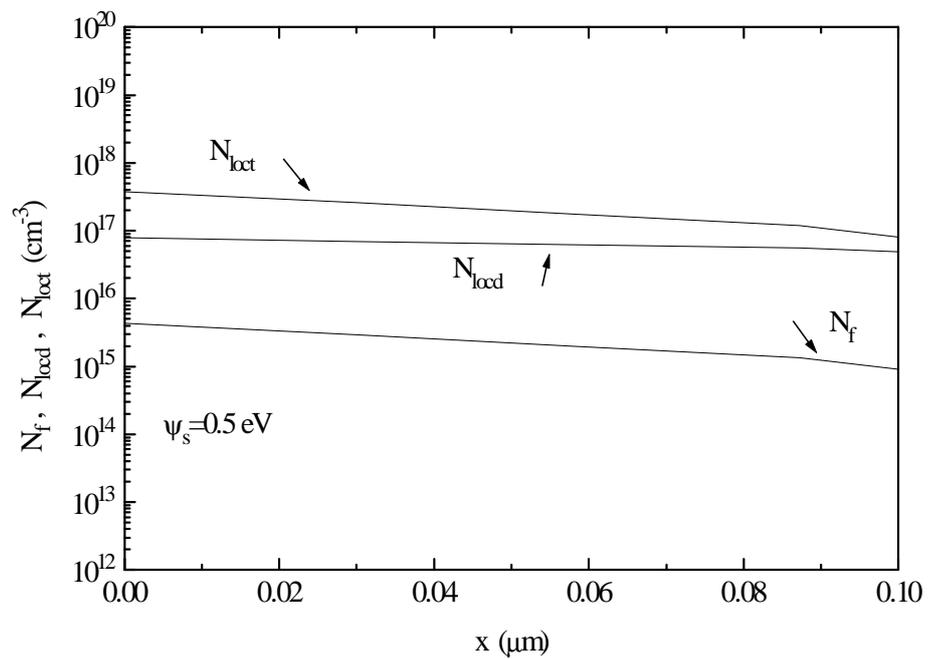


Fig. IV. 5. Densités de charges dans le silicium amorphe pour $\Psi_s=0.5 \text{ eV}$

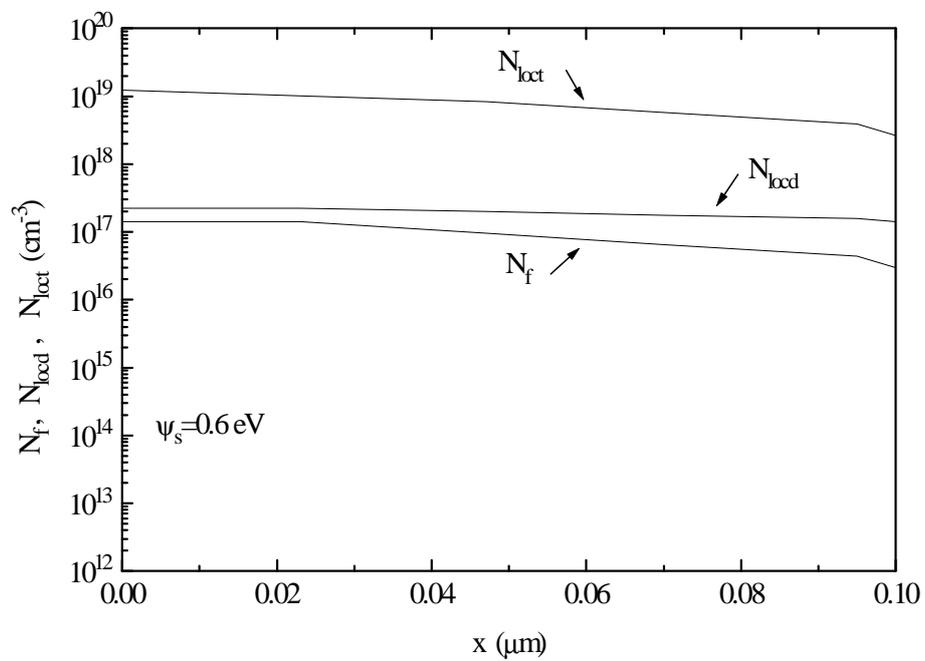


Fig. IV. 6. Densités de charges dans le silicium amorphe pour $\Psi_s=0.6 \text{ eV}$

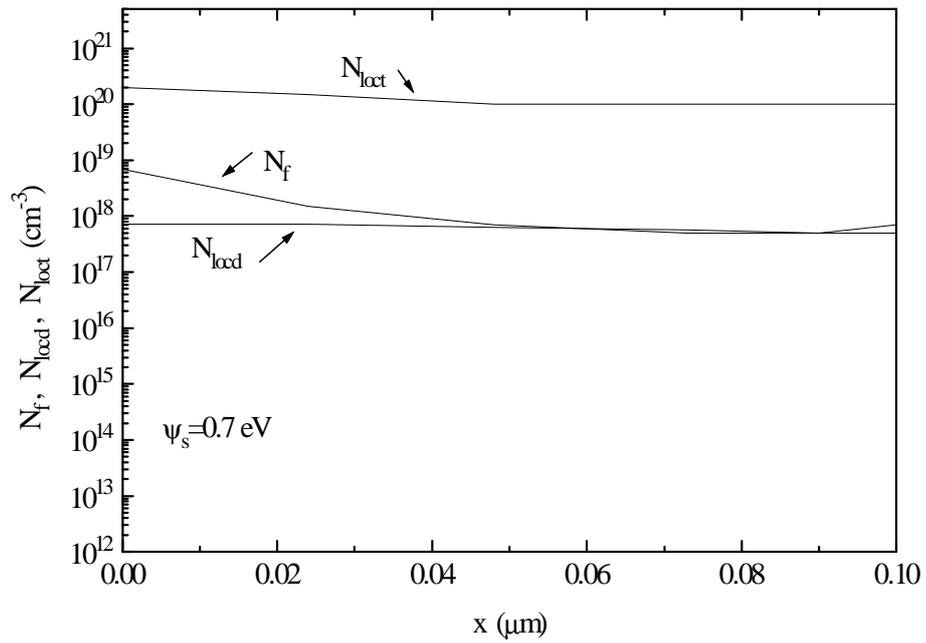


Fig. IV. 7. Densités de charges dans le silicium amorphe pour $\Psi_s=0.7$ eV.

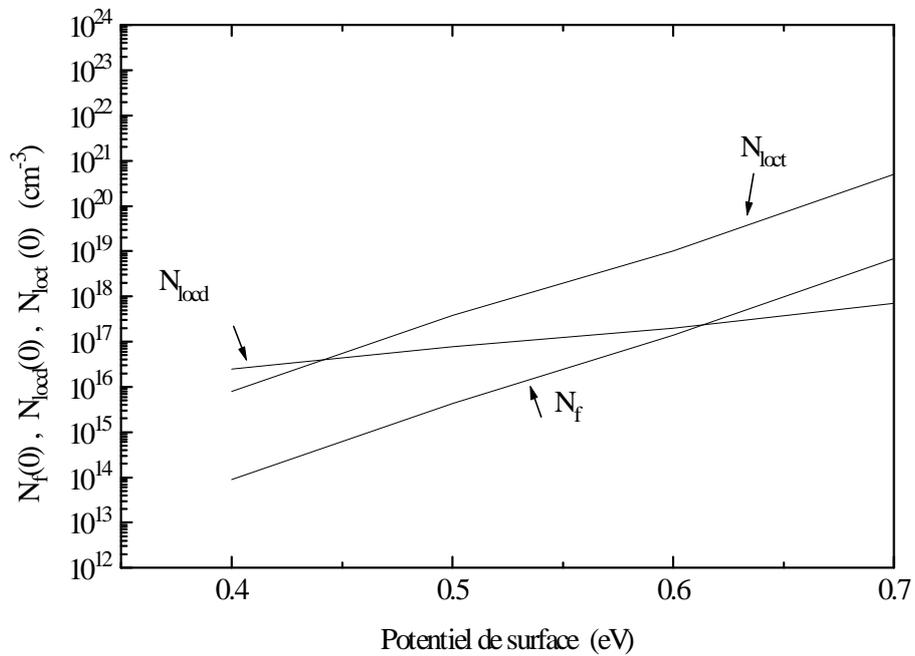


Fig. IV. 8. Densités de charges N_f , N_{locd} et N_{loct} à l'interface.

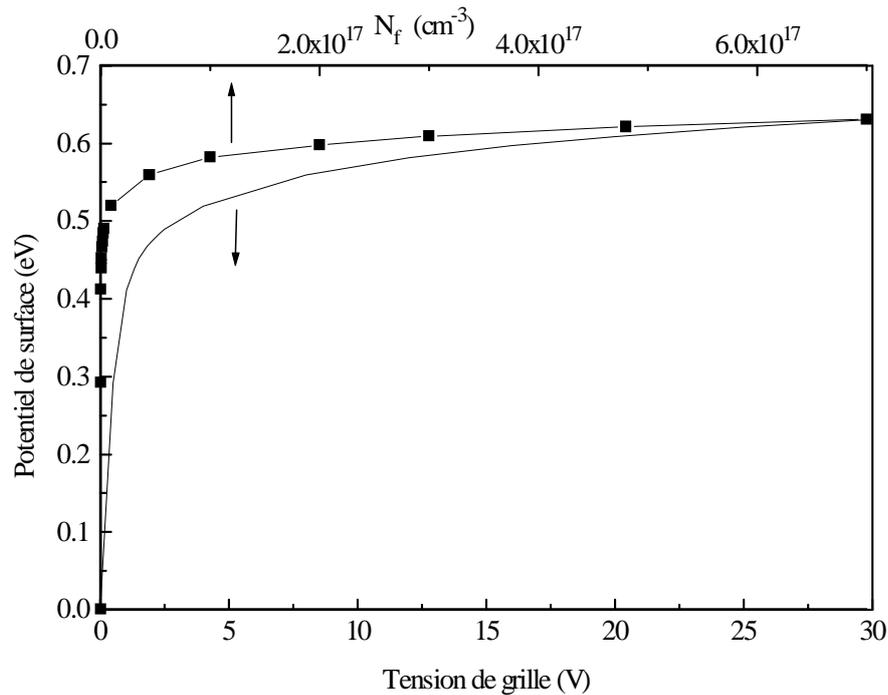


Fig. IV. 9. Variation du potentiel de grille et de la densité des électrons de conduction avec le potentiel de surface.

La figure IV. 9 montre aussi clairement l'apparition de cette couche d'accumulation. Elle représente la variation du potentiel de grille et de la densité des électrons de conduction avec le potentiel de surface. Cette figure montre qu'il y a une tension au dessus de laquelle le potentiel de surface ne varie que très peu avec la tension de grille: comme dans le cas du matériau monocristallin, à une variation faible de Ψ_s , correspond une forte variation de la charge libre N_f , du fait de la nature exponentielle de cette dernière. Toutes ces figures suggèrent donc de définir une tension de seuil comme étant la tension de grille pour laquelle la densité des électrons libres atteint celle des états profonds.

Ces constatations nous permettent de confirmer la définition des deux régimes régissant le fonctionnement du transistor amorphe:

- le régime d'accumulation qui est défini comme étant celui correspondant aux tensions de grille V_g supérieures à la tension de seuil V_t explicitée au troisième chapitre,
- le régime de faible accumulation, correspondant à des tensions V_g positives mais inférieures à la tension de seuil V_t , où sont, en revanche, négligés les contributions des électrons de conduction et des électrons piégés sur la queue de bande de conduction.

IV. 3. Caractéristiques courant-tension

Les figures IV. 10 et IV. 11 montrent l'allure typique des caractéristiques $\text{Log}(I_d)=f(V_g)$ et $I_d=f(V_d)$ obtenues après simulations. Pour vérifier la validité du modèle analytique proposé, nous avons comparé nos résultats de simulation avec ceux de modèles et de travaux expérimentaux déjà publiés. Sur la figure IV. 10, nos caractéristiques de transfert sont générées utilisant le tableau II de la référence [86] puis comparées avec les résultats expérimentaux de la figure 2 de la même référence. L'évaluation des caractéristiques directes est illustrée sur la figure IV. 11. Alors que la courbe (a) montre les caractéristiques expérimentales faites par Shur et al. [68], la courbe (b) représente la variation du courant de drain basée sur un modèle analytique utilisant une approche quasi-bidimensionnelle de la température effective décrite dans [76]. La courbe (c) illustre le travail obtenu dans [83] et la courbe (d) représente nos résultats utilisant les mêmes paramètres de simulation que dans les références citées. Comme on le voit sur les deux figures, la concordance est très satisfaisante. Néanmoins, une légère différence apparaît en régime de forte accumulation où nos valeurs de courant de drain sont inférieures à celles calculées par les auteurs sus-cités. Cette différence est due au fait que dans nos calculs, nous n'avons pas négligé la contribution des états profonds ce qui a mené à une diminution de la valeur de la densité des électrons libres et donc du courant de drain. La valeur calculée de la pente sous le seuil est de ≈ 70 mV/dec. Elle devrait être un peu plus élevée si les états d'interface étaient pris en compte.

IV. 4. Tension de seuil

Une définition plausible du paramètre électrique tension de seuil dépendamment des paramètres physiques, comme c'est le cas du transistor MOS monocristallin, n'existe pas pour le TFT à base de silicium amorphe. Alors que certains auteurs [83] ont évoqué le comportement théorique de ce paramètre, beaucoup d'autres se sont plutôt penchés sur le côté pratique pour son extraction [84, 88-90]. La tension de seuil est généralement définie comme étant la tension de grille pour laquelle, en régime de forte accumulation, la charge de conduction est nulle. En pratique elle est obtenue par l'extrapolation à $I_d=0$ de la caractéristique $I_d(V_g)$. La valeur que nous avons obtenue dans nos calculs pour la tension de seuil est typiquement de 1.5 V.

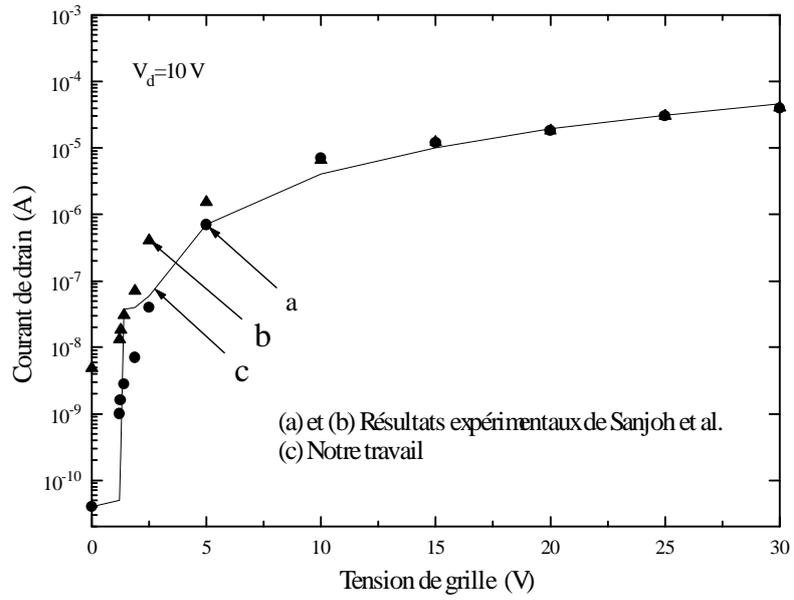


Fig. IV. 10. Caractéristiques de transfert du a-Si:H TFT.
(a) et (b) résultats expérimentaux [86] et (c) notre travail.

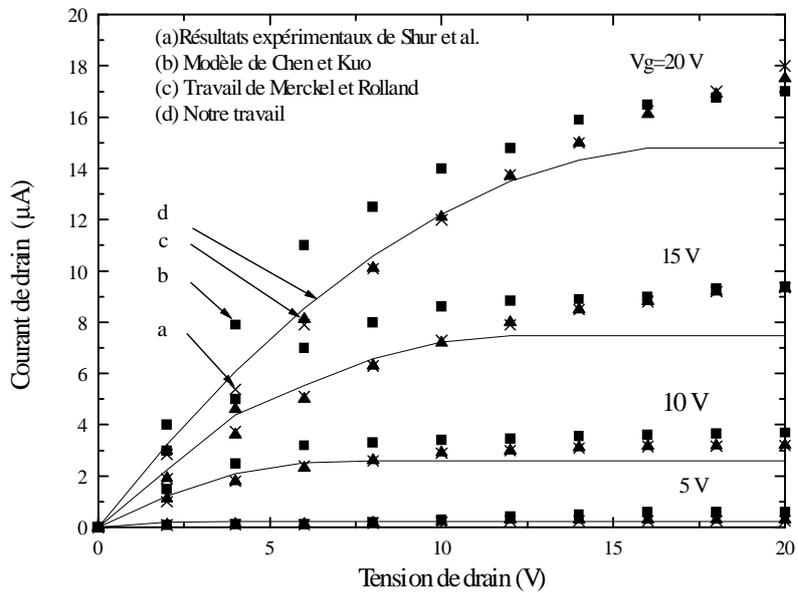


Fig. IV. 11. Caractéristiques de sortie du a-Si:H TFT.
(a) résultats expérimentaux [68], (b) Modèle [76],
(c) travail [83] et (d) notre travail.

Les paramètres du dispositif que nous avons adoptés pour la simulation du transistor amorphe ainsi que pour le calcul de ses différentes caractéristiques, entre autres la tension de seuil, sont résumés dans le tableau IV. 2.

Tableau IV. 2. Paramètres du transistor a-Si:H TFT adoptés pour la simulation.

Mobilité de bande	μ_n	8	cm^2/Vs
Longueur du canal	L	8	μm
Largeur du canal	Z	80	μm
Densité d'états effective	N_c	7×10^{19}	cm^{-3}
Densité d'états profonds à $E=E_c$	g_d	8.8×10^{18}	$\text{cm}^{-3}\text{eV}^{-1}$
Densité d'états de queue à $E=E_c$	g_t	2.1×10^{22}	$\text{cm}^{-3}\text{eV}^{-1}$
Température caractéristique des états profonds	T_d	1000	$^\circ\text{K}$
Température caractéristique des états de queue	T_t	260	$^\circ\text{K}$
Niveau de Fermi en volume	E_{F0}	0.65	eV
Epaisseur d'isolant	d	3000	Å
Permittivité du a-Si:H	ϵ	1×10^{-12}	F/cm
Permittivité d'isolant de grille	ϵ_{SiN}	6×10^{-13}	F/cm
Gap du a-Si:H	E_g	1.72	eV
Température	T	300	$^\circ\text{K}$
Charges fixes dans l'isolant	Q_f	10^{10}	cm^{-2}
Résistance de fuite	R_l	1.5×10^{13}	Ω

Sur les figures IV. 12 et IV. 13 apparaît l'effet, respectivement, de la température caractéristique T_t des états de queue et de la densité g_t de ces états au bord de la bande de conduction sur la tension de seuil V_t . Un accroissement dans g_t et T_t conduit à une augmentation de V_t . Cette dépendance est importante parce qu'elle illustre le comportement des états localisés de queue de bande quand T_t et g_t sont grands. Dans ce cas, la presque totalité de la charge piégée réside dans ces états conduisant à une réduction du nombre des porteurs mobiles susceptibles d'entretenir le courant de drain. La densité des états de queue joue donc, en ce qui concerne la tension de seuil, le rôle que jouent les dopants dans le cas des structures MIS à base de silicium monocristallin. Il reste à noter que la dépendance de V_t avec la température caractéristique T_d des états profonds et de la densité g_d de ces états au bord de la bande de conduction, dans les domaines respectifs $800\text{-}1200^\circ\text{K}$ et $5 \times 10^{18}\text{-}20 \times 10^{19} \text{eV}^{-1}\text{cm}^{-3}$, ne présente aucune variation.

IV. 5. Rapport $I_{\text{on}}/I_{\text{off}}$

Les transistors amorphes sont connus par leur rapport $I_{\text{on}}/I_{\text{off}}$ extrêmement élevé et des transitions on-off très raides [78]. Les caractéristiques de transfert donnent un courant ON maximum d'environ 5×10^{-6} A, alors que le courant à une tension de grille de zéro volt s'étend

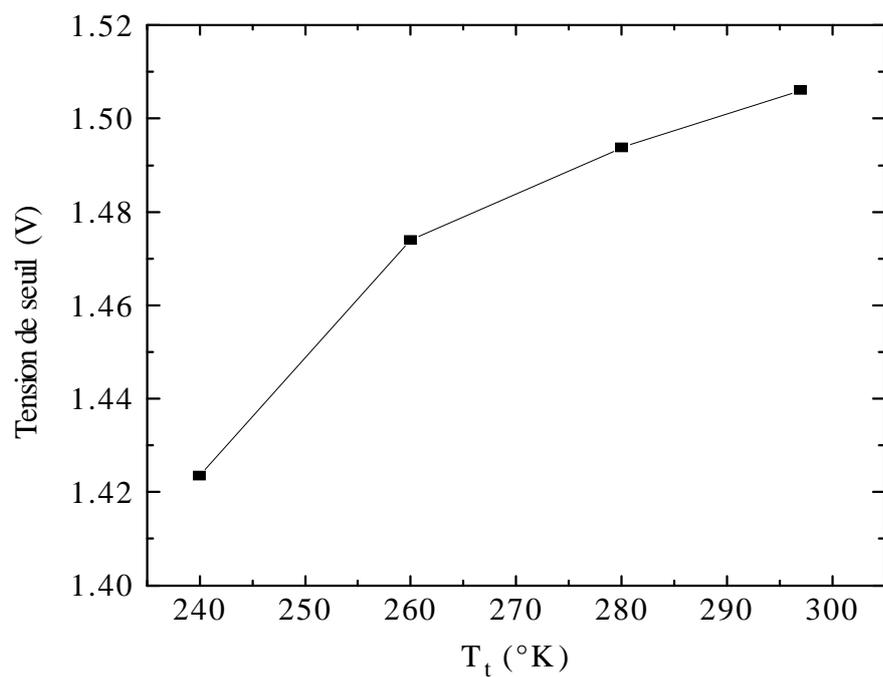


Fig. IV. 12. Tension de seuil en fonction de la température caractéristique des états de queue.

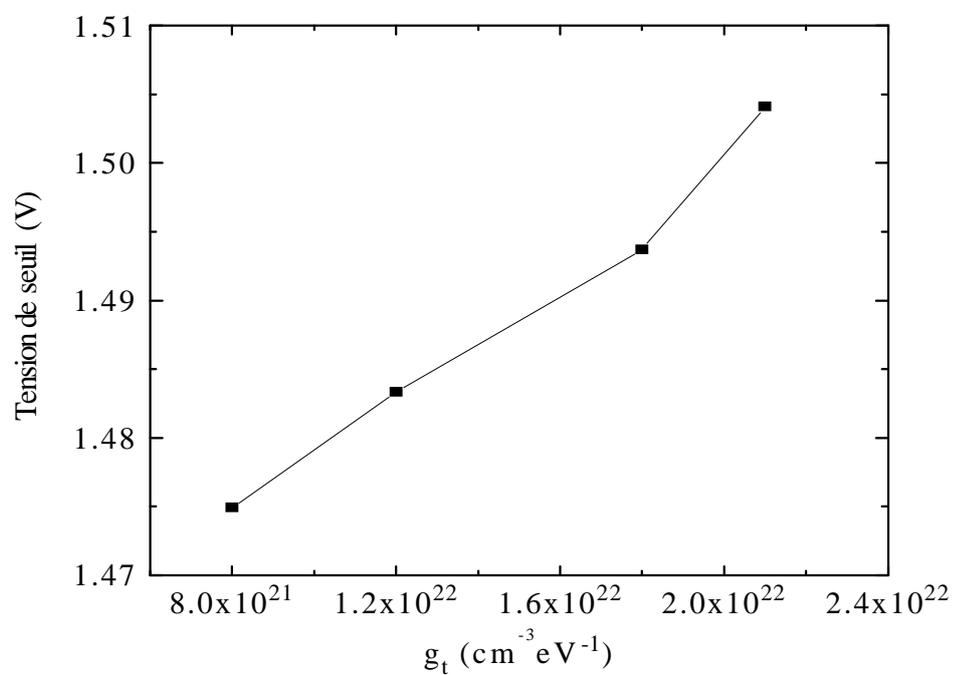


Fig. IV. 13. Tension de seuil en fonction de la densité des états de queue au bord de la bande de conduction.

jusqu'en dessous de 10^{-11} A à une tension de drain V_d de 10 V. Sur les figures IV. 14 et IV. 15 apparaissent l'effet des mêmes paramètres T_t et g_t , respectivement sur le rapport I_{on}/I_{off} , où le courant I_{on} est calculé pour une tension de grille V_g de 15 V, alors que le courant I_{off} est calculé pour $V_g=0$ V. La tendance est très similaire à celle qu'ils ont sur la tension de seuil. La température caractéristique T_d des états profonds ainsi que la densité g_d de ces états au bord de la bande de conduction n'ont aucun effet sur le rapport I_{on}/I_{off} dans les domaines respectifs $800-1200^\circ\text{K}$ et $5 \times 10^{18}-20 \times 10^{19} \text{ eV}^{-1}\text{cm}^{-3}$,

IV. 6. Rapport mobilité de champ/mobilité de bande μ_{fet}/μ_n

Pour encore mieux illustrer l'effet des états localisés, de queue de bande de conduction et profonds, nous avons jugé intéressant d'étudier leur effet sur le rapport mobilité de champ/mobilité de bande, μ_{fet}/μ_n . La dépendance de ce rapport avec la tension de grille est illustrée sur les figures IV. 16 à IV. 19. De ces figures, on remarque que le comportement de ce paramètre électrique est contrôlé par la distribution de ces états localisés: μ_{fet}/μ_n ne dépend pratiquement pas du potentiel de grille en régime de forte accumulation, alors que l'effet de cette polarisation est très prononcé en régime de faible accumulation. Les variations de ce rapport avec les paramètres de queue, T_t et g_t (figures IV. 16 et IV. 17), respectivement, apparaît clairement en régime de forte accumulation, pour des valeurs de potentiel de grille élevées. L'accroissement des valeurs de ces deux facteurs limite la mobilité de champ en régime de forte accumulation. Par conséquent, le courant ON maximum se trouve limité à son tour. En revanche, les tendances de variation du rapport μ_{fet}/μ_n en fonction des paramètres représentatifs des états profonds sont très différentes, comme le montrent les figures IV. 18 et IV. 19. T_d et g_d n'affectent pas le comportement du transistor amorphe en régime de forte accumulation. Les variations du rapport de mobilités sont très sensibles aux faibles polarisations où un accroissement de valeurs de ces deux paramètres réduit la mobilité de champ.

On peut donc conclure des résultats obtenus que les paramètres du transistor affectent d'une manière très significative les caractéristiques $I(V)$. Nous avons montré que les états localisés profonds jouent un rôle très important dans la définition du régime de faible accumulation, alors que le comportement du transistor en régime de forte accumulation est plutôt contrôlé par les états localisés de queue.

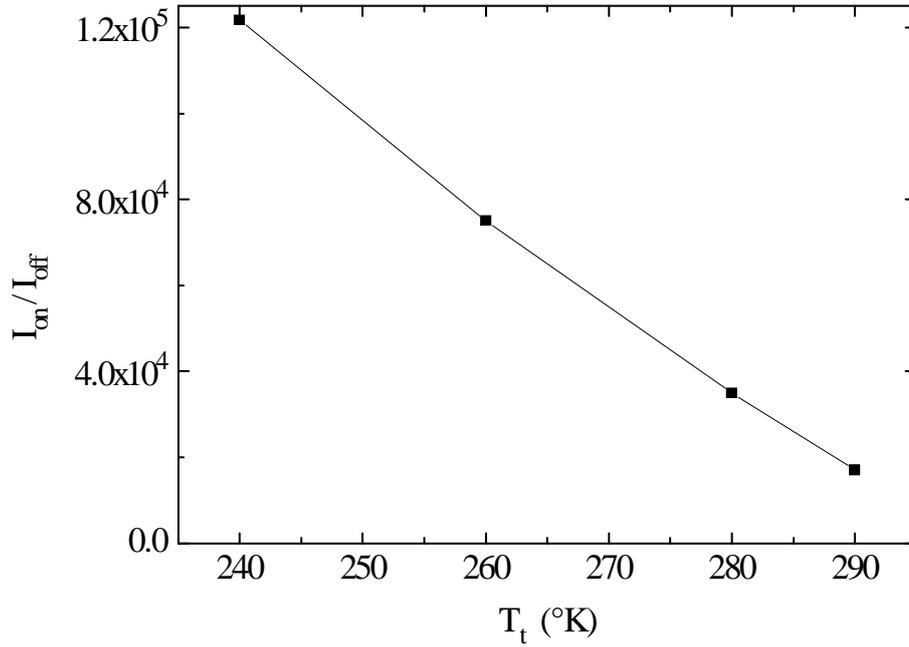


Fig. IV. 14. Rapport I_{on}/I_{off} en fonction de la température caractéristique des états de queue.

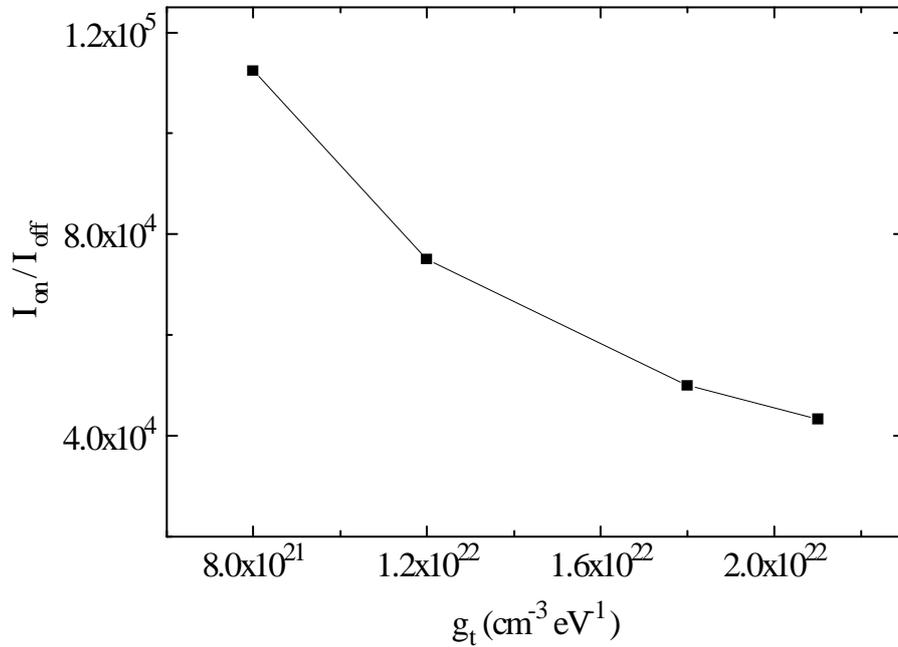


Fig. IV. 15. Rapport I_{on}/I_{off} en fonction de la densité des états de queue au bord de la bande de conduction.

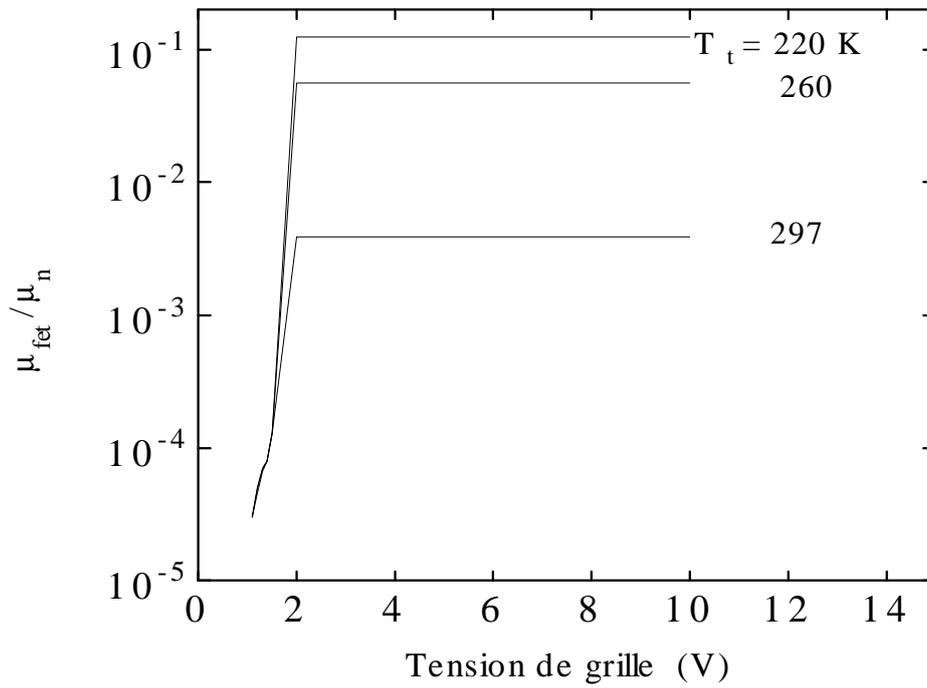


Fig. IV. 16. Rapport des mobilités μ_{fet}/μ_n en fonction de la température caractéristique des états de queue.

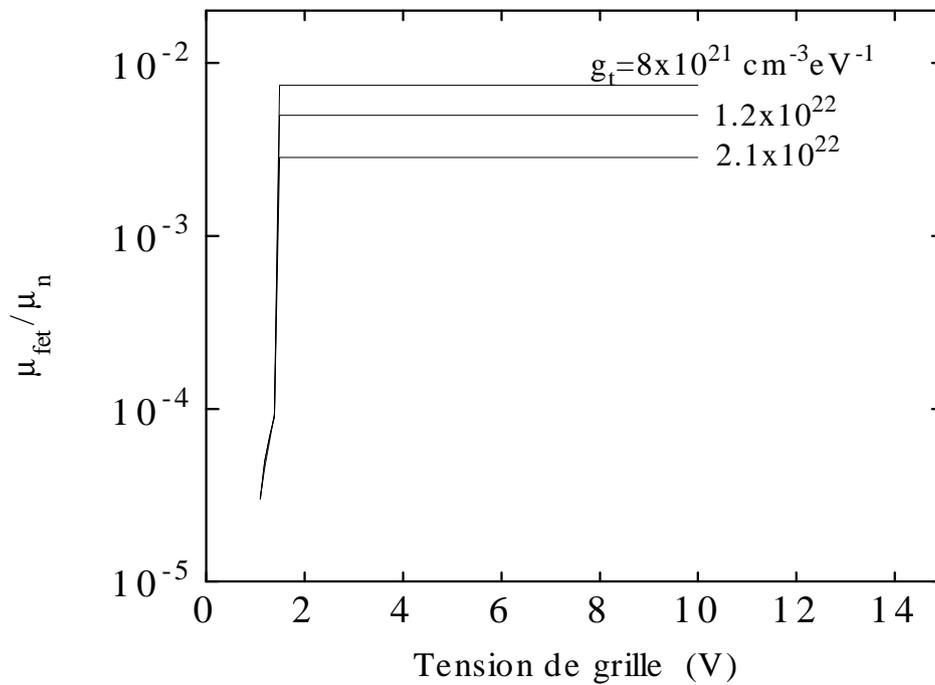


Fig. IV. 17. Rapport des mobilités μ_{fet}/μ_n en fonction de la densité des états de queue au bord de la bande de conduction.

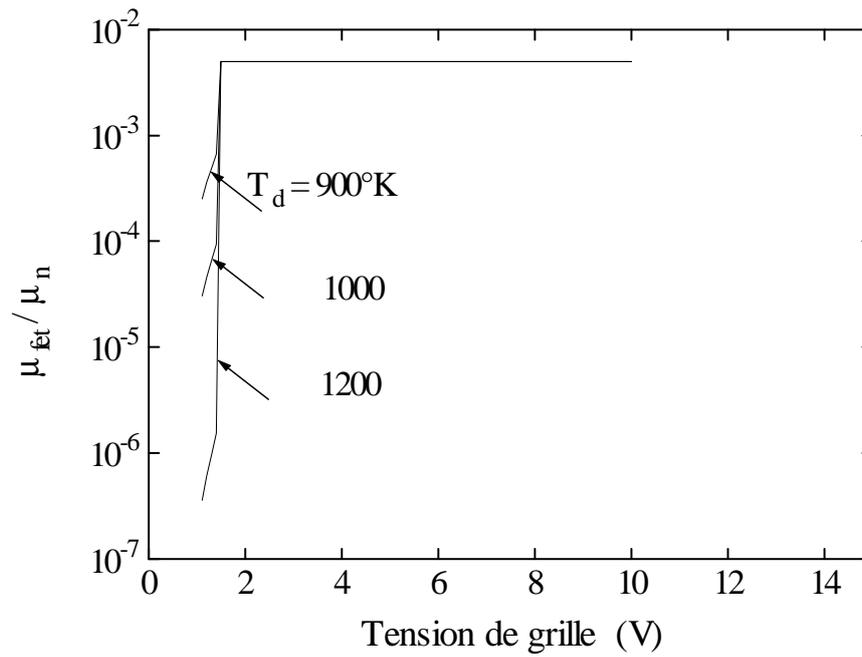


Fig. IV. 18. Rapport de mobilités $\mu_{\text{ét}}/\mu_n$ en fonction de la température caractéristique des états profonds.

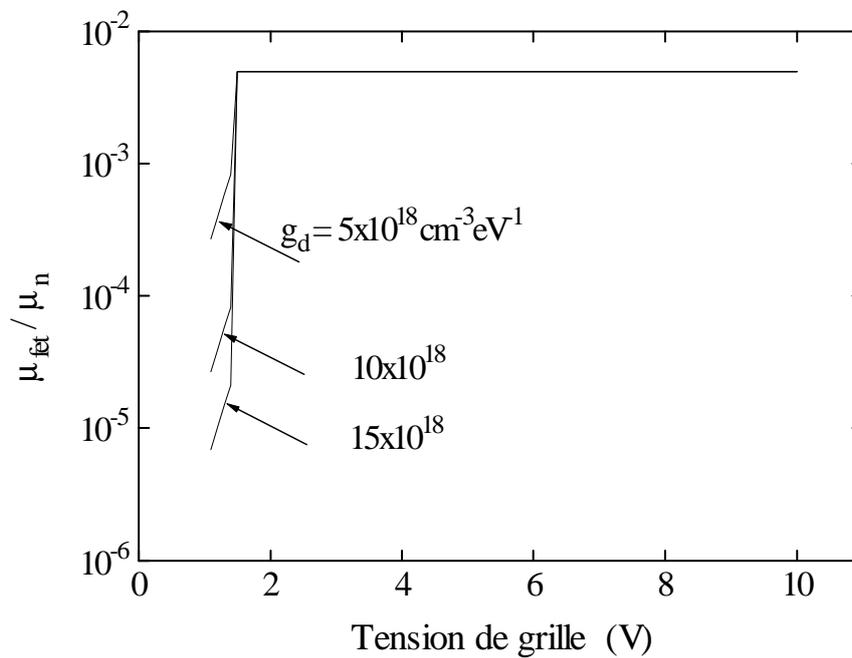


Fig. IV. 19. Rapport de mobilités $\mu_{\text{ét}}/\mu_n$ en fonction de la densité des états profonds au bord de la bande de conduction.

Ainsi, avec le modèle développé décrivant un transistor en couches minces à base de silicium amorphe hydrogéné en régime statique, nous avons été en mesure d'examiner de près l'influence des paramètres physiques et électriques sur les caractéristiques $I(V)$; aussi avons-nous pu établir une approche analytique décrivant le comportement du transistor dans deux de ses régimes de fonctionnement:

- le régime de faible accumulation, correspondant à des tensions de grille inférieures à la tension de seuil dans lequel nous avons pu négliger, pour le calcul du courant de drain, la contribution des électrons piégés sur les états localisés de queue ainsi que celles des électrons libres de conduction. La conductance du canal varie exponentiellement avec la tension de grille,

- le régime de forte accumulation, correspondant à des tensions de grille supérieures à la tension de seuil. Dans ce régime nous avons pris en considération la contribution simultanée, à la densité volumique de charge, des états profonds et des états de queue, en plus de celle des électrons de conduction. L'équation obtenue pour le courant de drain suggère une dépendance avec la tension de grille similaire au cas du transistor monocristallin.

CONCLUSION

Un modèle analytique simple du fonctionnement en régime statique d'un transistor en couches minces à base de silicium amorphe hydrogéné est proposé. Le modèle décrit les propriétés du transistor ainsi que les phénomènes physiques représentatifs du silicium amorphe. Nous avons d'abord fait une synthèse des travaux déjà existants sur le sujet avant d'aborder l'étude de la structure MIS à base de silicium amorphe hydrogéné, en régime statique. La densité d'états dans le gap du matériau amorphe a été modélisée en supposant une distribution exponentielle pour, aussi bien les états profonds que les états de queue. Dans notre étude, les différentes propriétés physiques et électriques du matériau sont considérées. Nous avons pris en compte les différents types de charges et leur contribution à la densité volumique de charges et analysé la variation du potentiel électrostatique dans la structure ainsi que les profils des différentes densités de charges dans le volume du matériau amorphe.

Les caractéristiques courant-tension du transistor sont reliées aux différents paramètres physiques et électriques du matériau. Les résultats obtenus ont révélé que ces caractéristiques peuvent être affectées d'une manière significative selon les conditions de fabrication et de polarisation du dispositif. En régime de faible accumulation, la conductance du canal varie exponentiellement avec le potentiel de grille. En forte accumulation, la contribution simultanée des états localisés profonds et de queue est prise en considération. L'équation obtenue du courant de drain suggère une dépendance de cette caractéristique, vis à vis des tensions externes, similaire au cas du transistor cristallin. Une synthèse de travaux expérimentaux et théorique déjà existants a été faite et la comparaison de nos résultats de simulations avec ces travaux a révélé une très bonne concordance.

Il nous a été possible de montrer que les états localisés profonds jouent un rôle important en régime de faible accumulation, alors que le comportement du transistor amorphe en régime de forte accumulation est gouverné par les états localisés de queue.

Le modèle que nous avons proposé a donné lieu à des modèles simplifiés pour la conception de circuits assistée par ordinateur, pour lesquels nous avons précisé les procédures d'acquisition de ses paramètres.

BIBLIOGRAPHIE

- [1] M. Bohm, "Advances in Amorphous Silicon Based Thin Film Microelectronics", Disk and Display Technology with Thin Films, edition of Solid State Technology, PennWell Publishing Company, 1988.
- [2] P. Lechner and H. Schade, "Photovoltaic Thin-Film Technology Based on Hydrogenated Amorphous Silicon", Prog. Photovolt: Res. Appl., Vol. 10, p. 85, 2002.
- [3] M. A. Green, K. Emery, D. L. King, S. Igari and W. Warta, "Solar Cell Efficiency Tables (Version 18)", Prog. Photovolt: Res. Appl., Vol. 9, p. 287, 2001.
- [4] Y. Kuo, "Plasma Etching and Deposition for a-Si:H Thin Film Transistors", J. Electrochem. Soc., Vol. 142, p. 2486, 1995.
- [5] W. S. Wong, S. Ready, R. Matusiak, S. D. White, J-P. Lu, J. Ho and R. A. Street, "Jet-Printed Fabrication of a-Si:H Thin-Film Transistors and Arrays", J. Non-Cryst. Solids, Vols. 299-302, p. 1335, 2002.
- [6] A. Nathan, B-K. Park, Q. Ma, A. Sazonov and J. A. Rowlands, "Amorphous Silicon Technology for Large Area digital X-Ray and Optical Imaging", Microelectronics Reliability, Vol. 42, p. 735, 2002.
- [7] D. Caputo and G. de Cesare, "Amorphous Silicon Switching Device for High-Resolution Two-Color Photodetector Matrix", Sensors and Actuators A: Physical, Vol. 78, p. 108, 1999.
- [8] H. Steemers, M. Hack, R. Weisfield, H. Tuan and M. Thompson, "The Physics of Amorphous Silicon Thin-Film Devices and their Application to Document Processing", Phil. Mag. B, Vol. 63, p. 337, 1991.
- [9] S. Tomiyama, T. Ozawa, H. Ito and T. Nakamura, "Amorphous Silicon Thin Film Transistors and Application to Image Sensors", J. Non-Cryst. Solids, Vols. 198-200, p. 1087, 1996.
- [10] A. Nathan, B. Park, A. Sazonov, S. Tao, I. Chan, P. Servati, K. Karim, T. Charania, D. Strikhilev, Q. Ma and R. V. R. Murthy, "Amorphous Silicon Detector and Thin Film Transistor Technology for Large Area Imaging of X-Rays", Microelectronics J., Vol. 31, p. 883, 2000.
- [11] M. Shur and C. Hyun, "New High Field Effect Mobility Regimes of Amorphous Silicon Alloy Thin-Film Transistor Operation", J. Appl. Phys., Vol 59, p. 2488, 1986.
- [12] Y. J. Choi, B. C. Lim, I. K. Woo, J. I. Ryu and J. Jang, "Low Photo-Leakage Current Amorphous Silicon Thin Film Transistor with a Thin Active Layer", J. Non-Cryst. Solids, Vols. 266-269, p. 1299, 2000.
- [13] B. Y. Chen, J-R. Chen, F-L. Jenq and C-S. Hong, "A Theoretical Analysis of Temperature Dependence on Hydrogenated Amorphous Silicon Thin-Film Transistors with the Consideration of Resistance of the a-Si:H film Layer as a Function of Temperature", Appl. Surface Science, Vols. 100-101, p. 601, 1996.
- [14] Y. Kaneko, T. Toyabe and T. Tsukada, "Analysis of Effective Channel Length in Amorphous Silicon Thin-Film Transistors", J. J. Appl. Phys., Vol. 31, p. 3506, 1992.
- [15] J. B. Kuo and S. S. Chen, "Saturation Region Model for a-Si:H TFTs using a Quasi-Two-Dimensional Approach", Electronics Letters, Vol. 29, p. 1896, 1993.

- [16] J. Rhayem, D. Rigaud, M. Valenza, N. Szydlo and H. Lebrun, "1/f Noise in Amorphous Silicon Thin Film Transistors: Effect of Scaling Down", *Solid-State Electron.*, Vol. 43, p. 713, 1999.
- [17] K. Khakzar and E. H. Leuder, "Modeling of Amorphous-Silicon Thin-Film Transistors for Circuit Simulations with Spice", *IEEE Trans. Electron Devices*, Vol. 39, p. 1428, 1992.
- [18] J. P. Kleider and D. Mencaraglia, "Theoretical Study of the Quasistatic Capacitance of Metal-Insulator-Semiconductor Structures in Amorphous Semiconductors", *J. Appl. Phys.*, Vol. 78, p. 3857, 1995.
- [19] J. B. Kuo and S. S. Chen, "Analytical Drain Current Model for a-Si:H TFTs by Simultaneously Considering Localized Deep and Tail States", *Electronics Letters*, Vol. 29, p. 1566, 1993.
- [20] R. B. Wehrspohn, S. C. Deane and M. J. Powell, "Defect Creation Kinetics in Amorphous Silicon Thin Film Transistors", *J. Non-Cryst. Solids*, Vols. 299-302, p. 492, 2002.
- [21] J-H. Yue, S. Oda and M. Matsumura, "Numerical Analysis of the Dynamic Characteristics of Amorphous Silicon Thin-Film Transistors", *J. J. Appl. Phys.*, Vol. 27, p. L919, 1988.
- [22] M. G. Hack, A. G. Lewis and J. G. Shaw, "Influence of Traps on the Characteristics of Thin-Film Transistors", *J. Non-Cryst. Solids*, Vols. 137-138, p. 1229, 1991.
- [23] C-Y. Chen and J. Kanick, "Origin of Series Resistances in a-Si:H TFTs", *Solid-State Electron.*, Vol. 42, p. 705, 1998.
- [24] G. Merckel and A. Rolland, "A Compact CAD Model for Amorphous Silicon Thin Film Transistors Simulation-II. Transient Non-Quasi-Static Analysis", *Solid-State Electron.*, Vol. 39, p. 1241, 1996.
- [25] J. S. Choi, G. W. Neudeck and S. Luan, "A Computer Model for Inter-Electrode Capacitance-Voltage Characteristics of an a-Si:H TFT", *Solid-State Electron.*, Vol. 36, p. 223, 1993.
- [26] S. Martin, A. Rolland, S. Mottet, N. Szydlo and H. Lebrun, "2D Numerical Simulation of a-Si:H TFTs: Application to Parasitic Contact Resistances Evaluation", *Thin Solid Films*, Vol. 226, p. 129, 1997.
- [27] Y-T. Tsai and L-C. Huang, "Simulation of Amorphous Silicon Thin-Film Transistor Including Adapted Gummel Method", *International J. Numerical Modeling: Electron. Networks, Devices and Fields*, Vol. 10, p. 3, 1997.
- [28] J-R. F. McMacken and S. G. Chamberlain, "A Numerical Model for Two-Dimensional Transient Simulation of Amorphous Silicon Thin-Film Transistors", *IEEE Trans. Computer Aided Design*, Vol. 11, p. 629, 1992.
- [29] J. N. Bullock and C. H. Wu, "Occupation Dynamics of Trap States in a-Si:H Thin-film Transistor", *J. Appl. Phys.*, Vol. 69, p. 1041, 1990.
- [30] M. Hack and J. Shaw, "Numerical Simulations of Amorphous Silicon Thin-Film Transistors", *J. Appl. Phys.*, Vol. 68, p. 5327, 1990.
- [31] M. Hack, J. G. Shaw and M. Shur, "Simulations and Physics of Amorphous Silicon Thin-Film Transistors", *J. Non-Cryst. Solids*, Vols. 115, p. 150, 1989.
- [32] J. G. Shaw and M. Hack, "Simulations of Short-Channel and Overlap Effects in Amorphous Silicon Thin-Film Transistors", *J. Appl. Phys.*, Vol. 65, p. 2124, 1989.

- [33] J. B. Choi, D. C. Yun, Y. I. Park and J. H. Kim, "Properties of Hydrogenated Amorphous Silicon Thin-Film Transistors Fabricated at 150°C", *J. Non-Cryst. Solids*, Vols. 266-269, p. 1315, 2000.
- [34] G. N. Parsons, "Surface Reactions in Very Low Temperature (<150°C) Hydrogenated Amorphous Silicon Deposition, and Applications to Thin Film Transistors", *J. Non-Cryst. Solids*, Vols. 266-269, p. 23, 2000.
- [35] R. A. Street, "Hydrogenated Amorphous Silicon", Cambridge University Press, Cambridge, p. 372, 1991.
- [36] M. Katayama, "TFT-LCD Technology", *Thin Solid Films*, Vol. 341, p. 140, 1999.
- [37] S. K. Kim, S. I. Cho, Y. J. Choi, K. S. Cho, S. M. Pietruszko and J. J. Jang, "Coplanar Amorphous Silicon Thin-Film Transistor Fabricated by Inductively-Coupled Plasma CVD", *Thin Solid Films*, Vol. 337, p. 200, 1999.
- [38] M. S. Chen, J. S. Chou and S-C. Lee, "Planarization of Amorphous Silicon Thin-Film Transistors by Liquid Phase Deposition of Silicon Dioxide", *IEEE Trans. Electron Devices*, Vol. 42, p. 1918, 1995.
- [39] J. G. Shaw and M. Hack, "Vertical Amorphous Silicon Thin-Film Transistors", *J. Appl. Phys.*, Vol. 67, p. 1576, 1990.
- [40] J-L. Lin, W-J. Sah and S-C. Lee, "Amorphous Silicon Thin-Film Transistors with Very High Field Effect Mobility", *IEEE Electron Device Letters*, Vol. 12, p.120, 1991.
- [41] A. Rolland, J. Richard, J. P. Kleider and D. Mencaraglia, "Electrical Properties of Amorphous Silicon Transistors and MIS Devices: Comparative Study of Top Nitride and Bottom Nitride Configurations", *J. Electrochem. Soc.*, Vol. 140, p. 3679, 1993.
- [42] A. Sanjoh, N. Ikeda and K. Komaki, "Influence of Passivation-Silicon Nitride/Amorphous Silicon Interface on the Off-Current Characteristics in Amorphous Silicon Thin-Film Transistors", *J. Electrochem. Soc.*, Vol. 138, p. 1474, 1991.
- [43] K. Fukuda, N. Imai, S-I. Kawamura, K. Matsumura and N. Ibaraki, "Switching Performance of High Rate Deposition Processing a-Si:H TFTs", *J. Non-Cryst. Solids*, Vols. 198-200, p. 1137, 1996.
- [44] J. I. Ryu, Y. J. Choi, I. K. Woo, B. C. Lim and J. Jang, "High Performance a-Si TFT with ITO/n⁺ Ohmic Layer Using a Ni-Silicide", *J. Non-Cryst. Solids*, Vols. 266-269, p. 1310, 2000.
- [45] H. Meiling, A. M. Brockhoff, J. K. Rath and R. E. I. Schropp, "Hydrogenated Amorphous and Polycrystalline Silicon TFTs by Hot-Wire CVD", *J. Non-Cryst. Solids*, Vols. 227-230, p. 1202, 1998.
- [46] A. Sazonov, D. Stryahilev, A. Nathan and L. D. Bogomolova, "Dielectric Performance of Low Temperature Silicon Nitride films in a-Si:H TFTs", *J. Non-Cryst. Solids*, Vols. 299-302, p. 1360, 2002.
- [47] M. Sakai, T. Tsutsumi, T. Yoshioka, A. Masuda and H. Matsumura, "High Performance Amorphous-Silicon Thin-Film Transistors Prepared by Catalytic Chemical Vapor Deposition with High Deposition Rate", *Thin Solid Films*, Vol. 395, p. 330, 2001.
- [48] B. Popescu, M. Hundhausen and L. Ley, "Study of Space-Charge-Limited Currents in High-Voltage TFTS Based on a-Si:H", *J. Non-Cryst. Solids*, Vol. 283, p. 155, 2001.

- [49] R. Dassov, J. R. Kohler, k. Mourgues, O. Bonnaud, T. M. Brahim and J. H. Werner, "Laser Crystallization of Silicon for High-Performance Thin-Film Transistors", *Semicond. Sci. Technol.*, Vol. 15, p. L31, 2000.
- [50] J. B. Boyce, J. P. Lu, J. Ho, R. A. Street, K. Van Schuylenbergh and Y. Wang, "pulsed Laser Crystallization of Amorphous Silicon for Polysilicon Flat Panel Imagers", *J. Non-Cryst. Solids*, Vols. 299-302, p. 731, 2002.
- [51] C. Voz, J. Puigdollers, A. Orpella, R. Alcubilla, A. F. I. Morral, V. Tripathi and P. R. I. Cabarocas, "Thin-Film Transistors with Polymorphous Silicon Active Layer", *J. Non-Cryst. Solids*, Vols. 299-302, p. 1345, 2002.
- [52] P. I. Hsu, H. Gleskova, M. Huang, Z. Suo, S. Wagner and J. C. Sturm, "Amorphous Silicon TFTs on Plastically Deformed Spherical domes", *J. Non-Cryst. Solids*, Vols. 299-302, p. 1355, 2002.
- [53] B. Stannovski, R. E. I. Schropp, R. B. Wehrspohn and M. J. Powell, " Amorphous-Silicon-Thin-Film Transistors Deposited by VHF-PECVD and Hot-Wire CVD", *J. Non-Cryst. Solids*, Vols. 299-302, p. 1340, 2002.
- [54] A. Nathan, R. V. R. Murthy, b. Park and S. G. Chamberlain, "High Performance a-Si:H Thin Film Transistors Based on Aluminium Gate Metallization", *Microelectronics Reliability*, Vol. 40, p. 947, 2000.
- [55] J-K. Yoon and J-H. Kim, Device analysis for a-Si:H Thin Film Transistors with Organic Passivation Layer", *IEEE Electron Device Letters*, Vol. 19, p. 335, 1998.
- [56] C-D. Kim and M. Matsumura, "Amorphous-Silicon Distributed-threshold Voltage Transistors with Self-Aligned Polysilicon Sources and Drains", *IEEE Trans. Electron Devices*, Vol. 41, p. 1614, 1994.
- [57] Y. Chida, M. Kondo and A. Matsuda, "Interpretation of Mechanism Field Effect Mobility in a-Si:H TFT Based on Surface Reaction Model", *J. Non-Cryst. Solids*, Vols. 198-200, p. 1121, 1996.
- [58] K-C. Lin and Si-C. Lee, "A Novel Process for Growing Gate Aluminium Oxide in Amorphous-Silicon Thin-Film Transistor", *J. Electrochem. Soc.*, Vol. 142, p. L228, 1995.
- [59] S. W. Lee, I. K. Woo, K. S. Cho and J. Jang, "Hydrogenated Amorphous-Silicon Thin-Film Transistor using APC Alloy for Both Gate and Data Bus Lines", *J. Non-Cryst. Solids*, Vols. 299-302, p. 1351, 2002.
- [60] Y. Kuo, "Plasma Enhanced Chemical Vapor Deposited Silicon Nitride as a Gate dielectric film for Amorphous-Silicon Thin-Film Transistors-Acritical Review", *Vacuum*, Vol. 51, p. 741, 1998.
- [61] M. J. Powell and J. Pritchard, "The Effect of Surface States and Fixed Charge on the Field effect Conductance of amorphous Silicon", *J. Appl. Phys.*, Vol. 54, p. 3244, 1983.
- [62] H. Kanoh, O. Sugiura, P. A. Breddels and M. Matsumura, "Amorphous-Silicon/Silicon Nitride Thin-Film Transistors Fabricated by Plasma-Free (Chemical Vapor Deposition) Method", *IEEE Electron Device Letters*, Vol. 11, p. 258, 1990.
- [63] S. K. Kim, K. S. Lee and J. Jang, "Creation of Interface States Between SiO₂ and a-Si:H in a-Si:H Thin-Film Transistors by Bias-Stress", *J. Non-Cryst. Solids*, Vols. 198-200, p. 428, 1996.
- [64] M. J. Thompson, N. M. Johnson, M. D. Moyer and R. Lujan, "Thin-Film Transistors on a-Si:H", *IEEE Trans. Electron Devices*, Vol. ED-29, p. 1643, 1982.

- [65] R. E. I. Schropp, B. Stannowski and J. K. Rath, "New Challenges in Thin Film Transistor (TFT) Research", *J. Non-Cryst. Solids*, Vols. 299-302, p. 1304, 2002.
- [66] M. Shur, M. Hack and G. Shaw, "A new Analytic Model for Amorphous Silicon Thin-Film Transistors", *J. Appl. Phys.*, Vol. 66, p. 3371, 1989.
- [67] K. Lee, M. Shur, T. A. Fjeldly and Trond ytterdal, "Semiconductor Device Modeling for VLSI", ed. C. S. Sodini, Prentice Hall, New Jersey, 1993.
- [68] M. Shur and M. Hack, "Physics of Amorphous Silicon Based Alloy Field Effect Transistors", *J. Appl. Phys.*, Vol. 55, p. 3831, 1984.
- [69] N. Ibaraki, "a-Si TFT Technologies for Large-Size and High-Pixel-Density AM-LCDs", *Materials Chem. and Phys.*, Vol. 43, p. 220, 1996.
- [70] M. J. Thompson, "A Comparison of Amorphous and Polycrystalline TFTs for LC Displays", *J. Non-Cryst. Solids*, Vols. 137-138, p. 1209, 1991.
- [71] J. M. S. Pena, I. Pérez, C. Vasquez and J. M. Oton, "Electro-Optical Simulation of a-Si Thin-Film Transistor Liquid-Crystal Display Pixels", *Microwave and Optical Technology Letters*, Vol. 29, p. 198, 2001.
- [72] M. J. Lee, C. P. Judge and S. W. Wright, "Thin Film Transistors for Displays on Plastic Substrates", *Solid-State Electron.*, Vol. 44, p. 1431, 2000.
- [73] J. P. Lu, P. M. Rahn, J. Ho, Y. Wang, J. B. Boyce and R. A. Street, "The Impact of Self-Aligned Amorphous Si Thin Film Transistors on Imager Array Applications", *J. Non-Cryst. Solids*, Vols. 266-269, p. 1294, 2000.
- [74] R. A. Street, J. Graham, Z. D. Popovic, A. Hor, S. Ready and J. Ho, "Image Sensors Combining an Organic Photoconductor with a-Si:H Matrix Addressing", *J. Non-Cryst. Solids*, Vols. 299-302, p. 1240, 2002.
- [75] A. O. Kodolba and O. Oktu, "Comparison of the Methods Used to Calculate the Density of States from Measured Subbandgap Absorption in a-Si:H Related Alloys", *Optical Materials*, Vol. 20, p. 147, 2002.
- [76] S. S. Chen and J. B. Kuo, "An Analytical a-Si:H TFT DC/Capacitance Model Using an Effective Temperature Approach for Deriving a Switching Time Model for an Inverter Circuit Considering Deep and Tail States", *IEEE Trans. Electron Devices*, Vol. 41, p. 1169, 1994.
- [77] M. S. Aida and R. Bachiri, "The Surface Properties of Sputtered Amorphous Silicon Thin Films", *J. Non-Cryst. Solids*, Vol. 189, p. 167, 1995.
- [78] S. Kishida, Y. Naruke, Y. Uchida and M. Matsumura, "Theoretical Analysis of Amorphous Silicon Field-Effect-Transistors", *J. J. Appl. Phys.*, Vol. 22, p. 511, 1983.
- [79] L. Colalongo, "A New Analytical Model for Amorphous-Silicon Thin-Film Transistors Including Tail and Deep States", *Solid-State Electron.*, Vol. 45, p. 1525, 2001.
- [80] T. Leroux, "Static and Dynamic Analysis of Amorphous-Silicon Field-Effect Transistors", *Solid-State Electron.*, Vol. 29, p. 47, 1986.
- [81] M. J. Powell, "Analysis of Field Effect Conductance Measurements on Amorphous Semiconductors", *Phil. Mag. B*, Vol. 43, p. 93, 1981.

- [82] M. J. Powell, B. C. Easton and O. F. Hill, "Amorphous Silicon/Silicon Nitride Thin Film Transistors", *Appl. Phys. Lett.* Vol. 38, p. 794, 1981.
- [83] G. Merckel and A. Rolland, "A Compact CAD Model for Amorphous Silicon Thin Film Transistors Simulation-I. d.c. Analysis", *Solid-State Electron.*, Vol. 39, p. 1231, 1996.
- [84] A. Cerdeira, M. Estrada, R. Garcia, A. O. -Conde and F. J. G. Sanchez, "New Procedure for the Extraction of Basic a-Si:H TFT Model Parameters in the Linear and Saturation Regions", *Solid-State Electron.*, Vol. 45, p. 1077, 2001.
- [85] Z. Hafdi and M. S. Aida, "Modeling of a-Si:H TFTs. Effect of Geometrical Factors on the I-V Characteristics", 4^{ème} Congrès National de la Physique et de ses Applications (CNPA'2000), Alger, 2000.
- [86] A. Sanjoh, N. Ikeda, and K. Komaki, "Analysis of Defect-Related Source-Drain Current in Hydrogenated Amorphous Silicon Thin-Film Transistors" *J. Electrochem. Soc.*, Vol. 138, p. 3777, 1991.
- [87] A. O. Conde, F. J. G. Sanchez, J. J. Liou, A. Cerdeira, M. Estrada and Y. Yue, "A Review of Recent MOSFET Threshold Voltage Extraction Methods", *Microelectronics Reliability*, Vol. 42, p. 583, 2002.
- [88] A. O. Conde, A. Cerdeira, M. Estrada, F. J. G. Sanchez, and R. Quintero, "A Simple Procedure to Extract the Threshold Voltage of Amorphous Thin Film MOSFETs in the Saturation Region", *Solid-State Electron.*, Vol. 45, p. 663, 2001.
- [89] I. Thurzo, S. Teramura, R. Durny, V. Nadazdy, M. Kumeda and T. Shimizu, "Determination of the Flatband Voltage and the Electron Threshold Voltage of a-Si:H based MIS Structures by the Feedback Charge C-V Method", *J. Non-Cryst. Solids*, Vols. 227-230, p. 1226, 1998.
- [90] H. Miki, T. Tobita, T. Nakanishi and K. Kariya, "The Field Effect Mobility and the Current-Voltage Characteristics of Amorphous-Silicon Thin-Film Transistors", *J. J. Appl. Phys.*, Vol. 30, p. 2740, 1991.