

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTRE DE L'ENSEIGNEMENT SUPERIEUR ET
DE LA RECHERCHE SCIENTIFIQUE



UNIVERSITE DE BATNA
FACULTE DE TECHNOLOGIE
DEPARTEMENT D'ELECTRONIQUE



MEMOIRE

Pour l'obtention du diplôme de

MAGISTER en ELECTRONIQUE

Option

IC DESIGN

Présenté par

Hamza MOKHTACHE

Intitulé

**La Technologie a-Si pour la Conception de
Circuits Numériques**

Soutenu le : / /2012, devant le Jury

Dr. A. OUNISSI

Prof. Université de Batna

Président

Dr. Z. HAFDI

MCA Université de Batna

Rapporteur

Dr. A. TELIA

Prof Université de Constantine

Examineur

Dr. N. BOUGUECHAL

Prof. Université de Batna

Examineur

Dr. Z. DIBI

Prof. Université de Batna

Examineur

Promotion 2009/2010

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

A mes parents

A ma famille

A mes amis

Remerciements

Je tiens à exprimer mes plus vifs remerciements envers:

Mon encadreur. Je tiens à remercier vivement Mme. Zoubeida HAFDI, Docteur et Maître de conférence A au département d'électronique de l'université de Batna pour ses judicieux conseils, son aide, sa patience, ces encouragements durant mon travail, ainsi que la confiance qu'elle a bien voulu mettre en moi,

Je tiens aussi à remercier les membres du jury qui ont bien voulu m'honorer de leur présence et de jugé mon travail,

Je tiens aussi à remercier tous ceux qui ont participé de près ou de loin dans l'élaboration de ce mémoire, et tous ceux qui ont contribué à ma formation. Qu'ils trouvent ici l'expression de ma profonde reconnaissance ainsi que mes plus vifs remerciements.

H. MOKHTACHE

Dédicaces

Je dédie ce modeste travail :

- À mon cher père et à ma chère mère

C'est surtout à vous que je dédie ce travail en témoignage de mon affection pour l'aide et le soutien moral que vous m'avez apportés tout au long de mes années d'études.

- À mes chers frères et chères sœurs

- À toute ma famille

- À tous mes amis ainsi qu'à tous ceux qui me sont chers

- À tous ceux que j'aime et qui m'aiment.

- À tout la promotionne 2007.

H. MOKHTACHE

TABLES DES MATIERES

INTRODUCTION GENERA..... 1

CHAPITRE I : CONCEPTION DES CIRCUITS LOGIQUES

I. 1. Introduction.....4

I. 2. Circuits intégrés standard.....4

I. 3. Circuits à la demande.....5

 I. 3. 1. Circuits semi-spécifiques.....5

 I. 3. 2. Circuits spécifiques.....5

I. 4. Caractéristiques des circuits logiques.....6

 I.4.1 Niveaux logiques.....6

 I.4.2Sortance.....6

 I.4.3 Rôle Du Temps.....7

 I.4.3.1 retard de propagation.....7

 I.4.3.2 temps de transition.....7

 I.4.4 Courbe de transfert.....8

 I.4.5 Marges de bruit.....9

I.5. Comparaison des différentes familles de circuits logiques.....10

I.6. Caractéristiques de quelques portes logiques NMOS.....12

 I.6.1 Inverseur logique NMOS.....12

 I.6.2 La porte logique NAND NMOS.....13

 I.6.3 La porte logique NOR NMOS.....13

I.7. La conception des circuits logiques.....14

 I.7.1 Flot de conception.....16

 I.7.2 Etapes détaillées de conception.....17

**CHAPITRE II : LE TRANSISTOR EN COUCHES MINCES A BASE DE
SILICIUM AMORPHE HYDROGENE**

II.1 Introduction.....20

II.2 Physique du transistor en couches minces à base de silicium amorphe hydrogéné.....20

 II. 2. 1. Densité d'états (DOS)21

 II. 2. 2. Rôle de l'hydrogène.....22

II.3 Variation (dégradation) de la tension de seuil.....20

Table des matières

II.3.1 Réduction de la variation de la tension de seuil.....	26
II.4. Fabrication des TFT en silicium amorphe.....	27
II.5 Fonctionnement des TFT en silicium amorphe.....	28
II.6. Matériaux des transistors en couches minces.....	29
II.7. Applications des a-Si:H TFT.....	30
II. 7. 1. Afficheurs plats à cristaux liquides à matrice active (AMLCDs).....	30
II. 7. 2. Applications à l'imagerie médicale.....	32

CHAPITRE III : LA MARGE DE BRUIT

III.1 Introduction	35
III.2 Définition De La Marge De Bruit.....	35
III.3 Marge De Bruit Statique.....	36
III.4 Marge De Bruit et Vieillessement Des Circuits.....	38
III.4.1 L'inverseur Statique.....	39
III.4.2 L'inverseur Dynamique	44

CHAPITRE IV : RESULTATS ET INTERPRETATIONS

IV.1. Introduction.....	49
IV.2. Implantation d'un inverseur en technologie amorphe.....	53
IV.3. Inverseur statique.....	53
IV.3.1 Fonctionnement.....	53
IV.3.2 Dégradation de la tension de seuil.....	56
IV.3.3 Dégradation de la marge de bruit.....	57
IV.3.4 Dégradation de la marge de bruit en fonction de la tension de seuil.....	58
IV.3.5 Dégradation du courant du transistor de commande	60
IV.4. Inverseur dynamique a-Si.....	61

Table des matières

IV.4.1 Dégradation de la tension de seuil.....	63
IV.4.2 Dégradation de la marge de bruit.....	64
IV.4.3 Dégradation de la marge de bruit en fonction de la tension de seuil.....	66
IV.4.4 Dégradation du courant de drain.....	67
IV.5 Impact de la marge de bruit sur les circuits numériques.....	69
IV.6. Réduction de la variation de la tension de seuil : circuits boot-strap.....	75
IV.7.Conclusion.....	81
CONCLUSION GENERALE.....	82

BIBLIOGRAPHIE

ANNEXE A : Analyse de la marge de bruit

ANNEXE B : Calcul des points d'intersection

INTRODUCTION GENERALE

INTRODUCTION

L'électronique de grande surface est un domaine en évolution rapide à cause de ses applications dans les écrans d'ordinateurs portables, scanners numériques, cellules solaires, vidéo et appareils photo numériques, papier électronique, afficheurs flexibles et imagerie médicale. La plupart de ces applications demandent haute résolution, luminosité élevée, faible coût et faible consommation d'énergie, poids réduit, longue durée de vie et des performances acceptables dans des conditions défavorables. La technologie silicium amorphe hydrogéné (a-Si: H) est la plus adaptée pour ces applications à grande surface en raison de son faible coût, faible **température** de traitement et de sa meilleure uniformité sur des substrats en verre, organiques ou flexibles [1,2].

Historiquement, le silicium amorphe était utilisé dans les composants photovoltaïques. En 1976, Carlon et Wronski [3] fabriquèrent une cellule solaire p-i-n à base de silicium amorphe hydrogéné (a-Si:H) sur un substrat en verre. La surface active de la cellule fût de 5.10^{-3} cm^2 et son coefficient de conversion était de 2.4%. Beaucoup de progrès ont été établis depuis, et des valeurs comprises entre 5.3 et 6.3% et même 12.7 ont été reportées. En 1979, Lecomber, Spear et Gaith fabriquèrent le premier transistor à effet de champ en couches minces à base de silicium amorphe hydrogéné (a-Si:H TFT). Ces auteurs suggérèrent le composant comme un commutateur électronique pour l'adressage de matrices actives dans les panneaux afficheurs à cristaux liquides. En 1981, Snell démontra l'application du a-Si: H de transistors dans l'électronique grande surface [3]. Quelques années plus tard, plusieurs compagnies dont la plupart étaient Japonaises développèrent ces transistors amorphes pour écrans plats en couleurs qui avaient plus de 450x640x3 pixels avec 10 in. de diagonale et de 640x480x3 pixels à une température maximum de 250°C [25]. Beaucoup d'autres applications ont été déployées depuis, notamment dans le domaine de l'électronique [3].

Le silicium cristallin (c-Si) est le matériau de base de la microélectronique, et est aussi très utilisé dans le domaine de la conversion photovoltaïque, de par ses propriétés semiconductrices, et parce qu'il est aisé de le doper. La structure du silicium cristallin est telle que chaque atome de silicium est lié à quatre autres atomes, formant les sommets d'un tétraèdre régulier. L'inconvénient majeur lié à ce matériau est son coût de fabrication. En effet, son obtention nécessite un processus complexe de purification et d'épitaxie. Ces procédés nécessitent généralement une température très importante pour fondre le silicium.

INTRODUCTION

Une fois le monocristal obtenu, la découpe en wafers constitue une perte importante de matériau. A l'opposé, le silicium amorphe (a-Si) ne présente pas d'ordre à longue portée comme le silicium cristallin, bien que sa structure soit localement semblable. Les atomes de silicium sont toujours liés à quatre de leurs voisins, mais les liaisons n'ont pas une longueur homogène, et les angles entre les liaisons ne sont pas identiques. Il est très facile de produire le silicium amorphe par évaporation thermique ou par pulvérisation [23]. Les propriétés électroniques des dispositifs à base de silicium amorphes ne sont pas souhaitables pour des applications exigeant une grande vitesse, les transistors amorphes sont en train d'acquérir plus d'importance dans les domaines où des spécificités fréquentielles strictes ne sont pas primordiales [3].

La métastabilité inhérente au silicium amorphe limite les performances des circuits dans plusieurs applications, Notre travail rentre dans ce contexte. Il consiste en une analyse détaillée de la métastabilité avec le temps. En effet, cette dernière induit des variations dans les paramètres et les différentes caractéristiques électriques de l'a-Si: H. La performance d'un transistor en couches minces à base de a-Si: H se dégrade à cause d'application des tensions de stress prolongées. Le principal problème est la dégradation de la tension de seuil [15]. Cette dégradation est le sujet de nombreuses études depuis sa découverte par Staëbler et Wronski en 1977 [23]. L'augmentation progressive de la tension de seuil limite la durée de vie des matrices actives dans les panneaux afficheurs et pose un sérieux étranglement dans le fonctionnement des circuits en technologie silicium amorphe [4].

Pour assurer le fonctionnement correct des circuits numériques, nous allons montrer qu'il faut tenir compte de certaines considérations de stabilité. En particulier, la marge de bruit, qui est une image importante pour la stabilité des circuits numériques. Le concept de la marge de bruit a été développé par Hill dans les années 1960 [7]. Cette grandeur est très importante dans la conception et l'application des circuits numériques. Ceux-ci vont fonctionner aussi longtemps qu'il y a suffisamment de marge de bruit. Les premières publications détaillées traitant de la marge de bruit et sa relation avec les caractéristiques de transfert des portes logiques datent de 1967 et 1968 [19, 20].

L'organisation de notre travail est ainsi répartie en quatre chapitres comme suit:

INTRODUCTION

Dans le premier chapitre, nous allons essayer de donner un aperçu bibliographique général sur les circuits logiques, leur conception, leurs types et leurs caractéristiques qui, en les maîtrisant, permettront une bonne optimisation de leur fonctionnement.

Le deuxième chapitre traitera de la physique des a-Si:H TFTs et des problèmes de la métastabilité inhérente au silicium amorphe. Il donnera un aperçu des caractéristiques physiques et électriques des TFTs en silicium amorphe tels que la densité d'états, changement de tension de seuil, rôle de l'hydrogène, réduction de la variation de la tension de seuil et phénomène de recouvrement de la tension de seuil.

Le troisième chapitre s'intéressera à l'étude de l'inverseur logique en tant qu'élément de base pour la construction de circuits numériques quelle que soit leur complexité. L'inverseur sera construit à partir de transistors TFT à base de silicium amorphe hydrogéné. Cette étude concerne un facteur très important au jugement de l'efficacité et de la fonctionnalité à long terme des circuits aussi bien qu'à la faisabilité de construire des circuits logiques à base de a-Si:H TFTs. Il sera question d'étudier deux inverseurs; l'un statique et l'autre dynamique et d'analyser leurs marges de bruit ainsi que leur effet sur la stabilité à long terme de ces circuits.

Enfin, dans le quatrième chapitre, seront présentés les résultats obtenus dans le présent travail. Nous présenterons d'abord l'effet des différents paramètres relatifs au silicium amorphe sur les caractéristiques du transistor en couches minces. Nous allons présenter et discuter plus particulièrement l'allure de la tension de seuil des transistors sous tension de stress en fonction du temps ainsi que le courant de drain. Nous essayons d'analyser et présenter la marge de bruit pour déterminer la viabilité pour construire les circuits à base a-Si:H, on va essayer de déterminer les limites de la marge de bruit en fonction de la tension de seuil Régissant le fonctionnement des circuits intégrés, pour chaque phases .nous discutons plus tard l'influence des paramètre relatifs au silicium amorphe sur la marge de bruit.

L'objectif de notre travail est de montrer et expliquer la relation entre la dégradation des paramètres des transistors à base de silicium amorphe et la durée de vie des circuits numériques.

CHAPITRE I

CONCEPTION DES CIRCUITS LOGIQUES

I. 1. INTRODUCTION

La conception de circuits intégrés concerne aussi bien les aspects analogiques que numériques. Il s'agit de proposer des architectes, ou plus exactement des microarchitectures spécifiques à une application ou à une problématique donnée. Nous entendons par microarchitectures, des blocs de tailles réduites mais avec une forte valeur ajoutée et incontournable au sein des circuits actuels avec des fonctionnements parfois aux limites de la technologie. On atteint des performances très intéressantes qui s'améliorent avec le degré d'intégration.

Ainsi, dans ce chapitre, nous allons essayer de donner un aperçu général bibliographique sur les circuits logiques, leur conception, leurs types et leurs caractéristiques qui, en les maîtrisant, permettront une bonne optimisation de leur fonctionnement.

I. 2. CIRCUITS INTEGRES STANDARD

Les premiers circuits intégrés sont nés au début des années 60, leur originalité consistait à mettre plusieurs transistors sur un même substrat et à les relier entre eux pour réaliser des fonctions élémentaires utilisables dans un grand nombre d'applications [32].

L'amélioration continue des procédés de fabrication, tant MOS que bipolaire, a contribué à l'émergence de générations successives de circuits dont la complexité est allée croissante [32].

- **SSI** (Small ScaleIntegration) : circuits réalisant des fonctions combinatoires ou séquentielles simples, telles que portes **NAND**, **NOR**, bascules **D** ou **JK**. Leur complexité ne dépasse pas 20 portes.

- **MSI** (Medium Scale Integration) : dispositifs correspondant à des blocs fonctionnels complets. Tels que compteurs, registres, additionneurs, codeurs et décodeurs, la complexité de ces circuits varie de 20 à 100 portes, l'augmentation du degré d'intégration a pour conséquence une diminution de la puissance dissipée. Une augmentation de la fiabilité et une conception plus facile.

- **LSI** (Large Scale Integration) : circuits intégrant des fonctions électroniques complètes, telle que mémoires, microprocesseurs à 4 ou 8 bits, et fonctions spéciales (modem, convertisseur). La complexité des LSI s'échelonne entre 100 et 10000 portes.
- **VLSI** (Very Large Scale Integration) : circuits regroupant une ou plusieurs fonctions électroniques complexes aller jusqu'au système complet tel que microprocesseurs à 16 ou 32 bits, filtres numériques, circuits de traitement d'images, de la parole. Les plus complexes d'entre eux atteignent de million de portes.

I. 3. CIRCUITS A LA DEMANDE

Les impératifs économiques d'une part, réduction du coût des composants, des stocks, de la main-d'œuvre, et techniques d'autre part, miniaturisation, réduction de puissance dissipée et augmentation des performances, conduisent naturellement vers une intégration de plus en plus poussée et optimisée en fonction de l'application. Les circuits intégrés spécifiques à une application (ASICs) se répartissent en plusieurs groupes distincts en fonction des solutions technologiques et de la méthodologie de conception.

I. 3. 1 CIRCUITS SEMI-SPECIFIQUES

Un circuit intégré est dit semi-spécifique lorsqu'une partie de la fabrication est commune et identique à tous les utilisateurs. Il est généralement constitué d'un réseau de fonctions élémentaires non dédiées. La personnalisation se fait par programmation de fusibles, à titre d'exemple le réseau logiques programmables **PLD** (Programmable Logic Devices) et **FPGA** (Field Programmable GateArrays) qui sont des composants permettant de réaliser des fonctions logiques de faible et de moyenne complexité (jusqu'à 5000 portes) , et qui sont programmables par l'utilisateur.

I. 3. 2 CIRCUITS SPECIFIQUES

Un circuit intégré est dit spécifique lorsque l'ensemble des niveaux technologiques est particularisé pour une application. Il est alors possible de procéder à une meilleure optimisation de la surface et des performances. Cette solution permet de mélanger sur une même puce des fonctions numériques et analogiques.

I. 4. CARACTERISTIQUES DES CIRCUITS LOGIQUES

Un circuit logique est un dispositif électronique permettant la réalisation d'une fonction logique. Chaque variable de la fonction est matérialisée par un conducteur et sa valeur sera définie à partir de sa tension.

Une logique est dite combinatoire si à une combinaison des variables d'entrée correspondent une et une seule combinaison des variables de sortie.

Dans ce qui suit, nous allons donner les caractéristiques les plus importantes des circuits logiques.

I. 4. 1. NIVEAUX LOGIQUES

Si on considère par exemple le cas d'un système logique fonctionnant entre 0 et 5V, les niveaux logiques 0 et 1 ne correspondent pas exactement à des tensions de 0 ou 5V. En fait, chaque niveau logique correspond plutôt à une plage de tension, comme par exemple [0V, 2.5V] pour le niveau 0 et] 2.5V, 5V] pour le niveau haut. Suite à cette remarque, on va définir les paramètres suivants:

- V_{IH} La tension d'entrée MINIMALE pouvant être reconnue comme un niveau d'entrée logique HAUT
- V_{IL} : La tension d'entrée MAXIMALE pouvant être reconnue comme un niveau d'entrée logique BAS
- V_{OH} : Tension NOMINALE correspondant à un niveau logique HAUT à la sortie d'une porte logique.
- V_{OL} Tension NOMINALE correspondant à un niveau logique BAS à la sortie d'une porte logique.

I. 4. 2. SORTANCE :

En général, un circuit logique sert à commander d'autres circuits logiques. La sortante correspond au nombre maximal d'entrées (de même série et de même famille de circuit intégré) qui peuvent être connectées à la sortie d'une porte sans que les niveaux de tension de sortie ne dépassent les limites permises.

I. 4. 3 ROLE DU TEMPS :

Le plus souvent, les signaux logiques sont fonction du temps t et dépendent les uns des autres par des relations de causalité. Dans un monde idéal, on pourrait imaginer que des actions puissent avoir un effet immédiat, mais dans le monde réel, il y a toujours, pour des raisons physiques, un certain délai ou retard, fini et positif, entre une action et sa conséquence.

I. 4. 3. 1 RETARD DE PROPAGATION

Dans les éléments électriques, les grandeurs sont transmises avec un retard caractéristique de la porte: c'est le temps de propagation de l'information dans la porte. On distingue la transition haut-bas (front descendant) ou bas-haut (front montant) comme représenté sur figure I.1 :

. T_{pHL} : temps de propagation du signal logique lorsque la sortie passe de l'état haut à l'état bas (Propagation Time High to Low).

. T_{pLH} : temps de propagation du signal logique lorsque la sortie passe de l'état bas à l'état haut (Propagation Time Low to High).

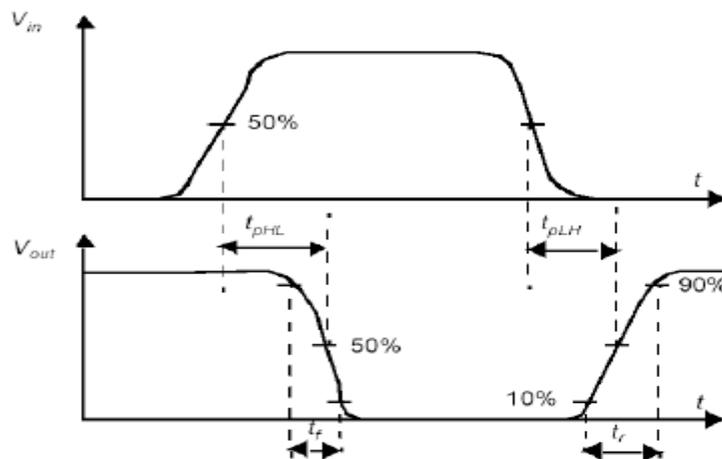


Figure I. 1. Retard de propagation pour une porte logique.

I. 4. 3. 2 TEMPS DE TRANSITION

Le temps de transition t_r au niveau d'un connecteur correspond au temps que met le signal pour passer d'un état logique à un autre. Il est en général mesuré entre 10 % et 90 % de

la tension d'alimentation. On distingue le temps de transition bas-haut (t_{tm}) (front montant) et haut-bas (t_{td}) (front descendant), comme le montre la figure I. 2.

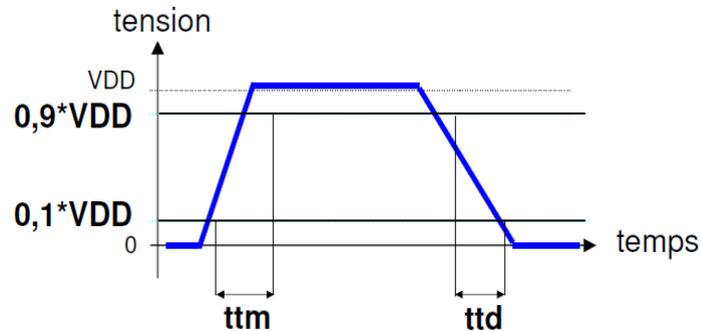


Figure I.2. Temps de transition pour une porte logique.

I. 4. 4. COURBE DE TRANSFERT

La courbe de transfert d'une porte logique est une relation entre la sortie et les entrées de la porte, comme illustré sur la figure I. 3. Pour un inverseur, il y a une seule entrée et une seule sortie. Donc, il est facile d'obtenir la caractéristique de transfert en faisant varier la tension d'entrée de VSS (en général 0V) à VDD (l'alimentation) et en mesurant la tension de sortie. Pour les portes NAND et NOR, il y a deux entrées. Dans ce cas, la caractéristique de transfert s'obtient en fixant une entrée à VDD (logique 1) pour la NAND ou à VSS (logique 0) pour la NOR et en faisant varier l'autre entrée de VSS à V_{DD} . A partir de cette courbe, nous pouvons déduire les caractéristiques statiques importantes des portes logiques telles que les niveaux logiques, la tension de seuil de commutation logique ou les marges de bruit.

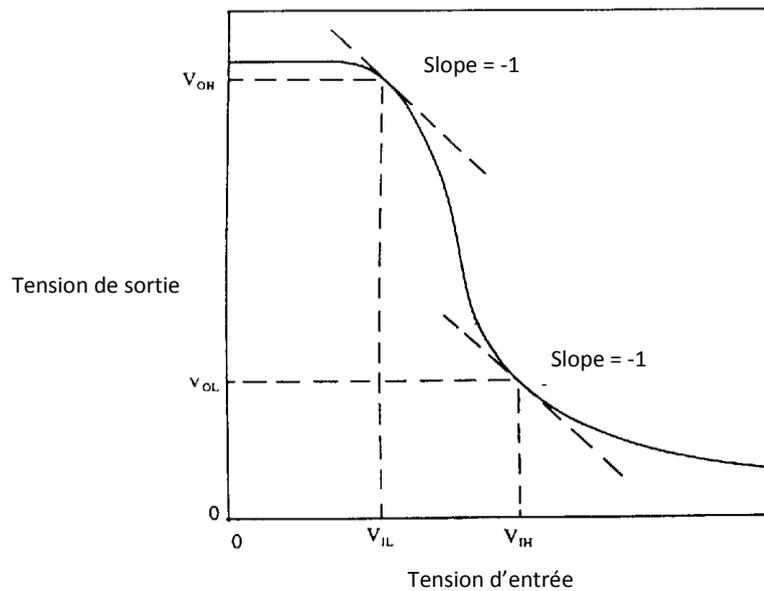


Figure I. 3. Exemple de courbe de transfert et caractéristiques statiques : niveaux logiques (V_{OH} , V_{IH} , V_{OL} , V_{IL}) pour un inverseur.

I. 4. 5. MARGES DE BRUIT

Le bruit est une variation aléatoire d'une grandeur physique autour de la valeur déterminée (permanente, attendue ou nominale) [33]. Cette variation aléatoire peut venir notamment de :

- (1) : la variation de la tension d'alimentation,
- (2) : la dérive des paramètres des transistors (par exemple, la tension de seuil) à température élevée d'opération, etc.
- (3) des impulsions électriques sur les lignes de signaux par une brusque montée du courant traversant la ligne d'alimentation voisine (par couplage résistif et couplage capacitif), etc.

La marge de bruit est la marge de sécurité dont on dispose pour que du bruit ne provoque pas un changement d'état logique non désiré. C'est donc l'amplitude minimale du signal parasite à superposer au signal d'entrée pour provoquer un changement d'état en sortie. Comme la sortie d'une porte est connectée à l'entrée d'une autre porte, la marge de bruit doit être assez grande pour assurer la transmission entre deux portes, sans subir d'erreur logique.

La marge de bruit est souvent calculée comme la plus petite des deux valeurs suivantes figure I.4 :

- Marge de bruit pour le niveau haut : $NM_H = |V_{OH} - V_{IH}|$.
- Marge de bruit pour le niveau bas : $NM_L = |V_{IL} - V_{OL}|$.

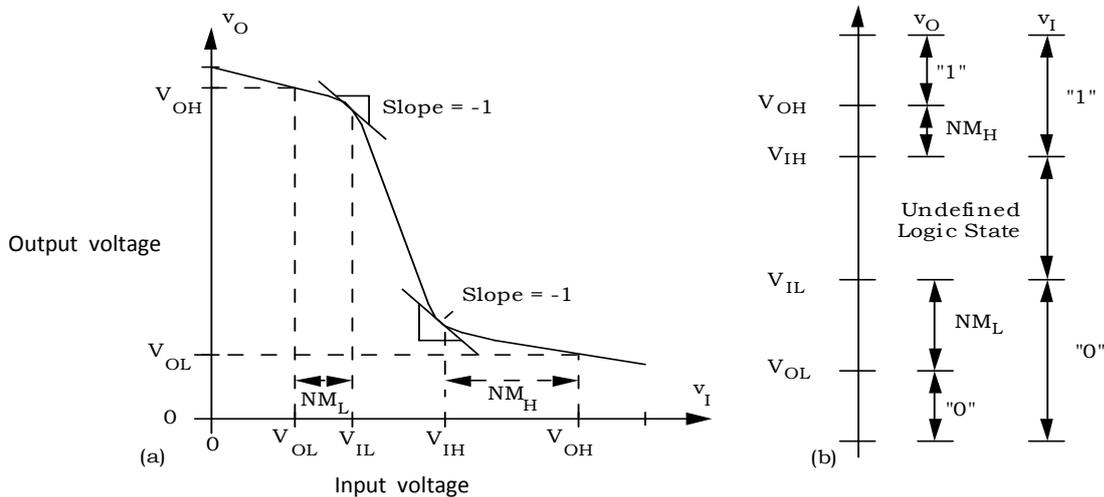


Figure I. 4. Niveaux logiques (V_{OH} , V_{IH} , V_{OL} , V_{IL}), pour un inverseur et marges de bruit (NM_H et NM_L).

I. 5. COMPARAISON DES DIFFERENTES FAMILLES DE CIRCUITS LOGIQUES [33].

Une famille logique est un ensemble homogène de composants susceptibles de matérialiser les opérations logiques de base. Nous allons essayer de résumer les principales caractéristiques de certaines familles des circuits logiques.

- **La famille TTL (début 1964 Texas Instruments) :** TTL signifie *Transistor Transistor Logic*. Cette famille technologique succède à la RTL *Resistor Transistor Logic* et à la DTL *Diode Transistor Logic*. Les circuits TTL reposent sur l'usage exclusif du transistor. On travaille avec les niveaux de tensions 0 et +5V. En prenant l'exemple de portes NAND, on a les caractéristiques suivantes: $V_{IH}=2V$; $V_{IL}=0,8V$; $V_{OH}=2,4V$; $V_{OL}=0,4V$; $T_{pLH}=11ns$; $T_{pHL}=7ns$ et la sortante standard est en général voisine de 10.
- **La famille ECL :** La famille des circuits ECL (*Emitter Coupled Logic*) a été développée essentiellement par MOTOROLA. C'est une famille rapide. La vitesse de commutation est plus rapide que pour les TTL, ce qui conduit à des temps de propagation de l'ordre de 2ns. La

famille ECL est donc essentiellement utilisée dans les étages à fréquence très élevée (500 MHz et plus).

- **La famille MOS :** MOS signifie Métal Oxyde Silicium. Cette technologie repose sur l'utilisation des transistors à effet de champ. Comme il existe, pour des transistors classiques, le type NPN et le Type PNP, les transistors MOS se déclinent en canal N et en canal P. les circuits dénommés C-MOS intègrent à la fois des canaux N et des canaux P [31].

Les NMOS et les PMOS: les commutations dans les portes MOS sont plus lentes que dans les portes bipolaires, en raison des résistances de sortie élevées et d'entrées fortement capacitives. L'ordre de grandeur d'un temps de propagation dans une porte NAND NMOS est environ 50 ns. De plus, ces familles sont très sensibles aux décharges électrostatiques. En revanche, ces circuits ont de nombreux avantages. Ils ont des impédances d'entrée très élevées ce qui fait qu'en associant des circuits MOS entre eux, on a des sortantes quasiment illimitées. De plus, ces circuits consomment moins d'énergie que les autres. Les circuits MOS sont mieux protégés que les circuits TTL contre les mauvais branchements (inversion de l'alimentation .par exemple) grâce à des diodes de protection internes.

Les CMOS: ces circuits sont composés de transistors NMOS et PMOS. On les alimente entre 0V et VDD avec VDD compris entre 3V et 15V. Ils sont plus rapides (résistance de sortie plus faible) et consomment moins d'énergie que les autres circuits MOS, mais ils sont plus complexes à fabriquer et plus difficiles à intégrer. Ce sont des concurrents directs pour la famille TTL. Leur sortante est limitée car chaque entrée connectée augmente les temps de commutation (effets capacitifs). Les entrées CMOS non utilisées ne doivent jamais rester libres (on doit les forcer à un potentiel quelconque), car des signaux parasites suffisent à polariser des transistors et à les rendre passants. De plus, comme les NMOS et les PMOS, ils sont très sensibles aux perturbations électrostatiques.

I. 6. CARACTERISTIQUES DE QUELQUES PORTES LOGIQUES

NMOS

I. 6. 1. INVERSEUR LOGIQUE NMOS

L'inverseur est une porte utilisée pour changer un état. En d'autres termes, lorsque le niveau 1 est appliqué à son entrée, la sortie sera au niveau 0, inversement, si un niveau BAS est appliqué à son entrée, le résultat sera un niveau HAUT à la sortie.

La figure I.5 représente L'inverseur NMOS qui est un circuit constitué de deux transistors MOS à canal N. Le transistor T1 est appelé transistor de charge et T2 transistor de commutation.

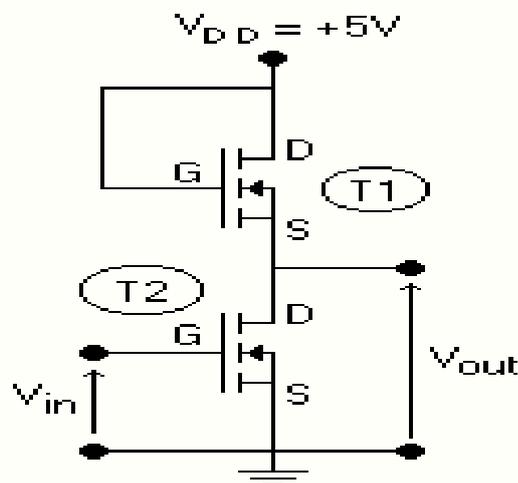


Figure I. 5. Structure de l'inverseur logique NMOS.

L'assemblage de la Figure 1.5 assure que le transistor T1 est toujours passant car sa grille est polarisée positivement.

Si $V_{entrée} = 0$, alors le transistor T2 est bloqué. Sa résistance de canal est très élevée. En conséquence, le potentiel de la sortie est proche de V_{DD} .

Si $V_{entrée} = V_{DD}$, le transistor T2 est passant. Il en résulte que le potentiel de la sortie est proche de $0V$. En fait le transistor T2 est construit pour avoir une résistance de canal environ 100 fois plus faible que celle de T1.

Le fonctionnement obtenu est celui d'un inverseur.

Si $V_{\text{entrée}} = 0$, alors le transistor T1 équivaut à un interrupteur fermé tandis que T2 est équivaut à un interrupteur ouvert. Le potentiel de la sortie est alors proche de V_{DD} .

Si $V_{\text{entrée}} = V_{DD}$, alors le comportement est inverse si bien que la tension de sortie est alors proche de 0.

I. 6. 2. LA PORTE LOGIQUE NAND NMOS

Le mot NAND est un raccourci de NOT AND (NON ET), qui désigne une porte logique à sortie nulle dans le cas où les deux entrées vaudraient 1 (figure I.6).

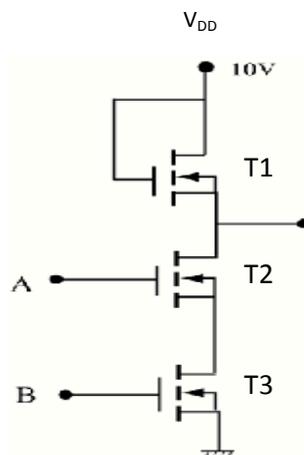


Figure I. 6. Configuration d'une porte NAND NMOS.

Comme le montre la figure ci-dessus, pour cette porte à deux entrées, la sortie est au niveau bas seulement si les deux entrées sont simultanément au niveau haut. Le niveau de sortie est au niveau HAUT dans tous les autres cas, c.à.d. si au moins une des entrées est au niveau BAS.

I. 6. 3. LA PORTE LOGIQUE NOR NMOS

Une porte NMOS à deux entrées, réalisée à partir de trois transistors NMOS est schématisée sur la figure I.7.

Le terme NOR est un raccourci de Not OR (NON OU), qui est un procédé logique de négation d'un ou, en même temps que l'appellation de la porte logique qui lance ce procédé.

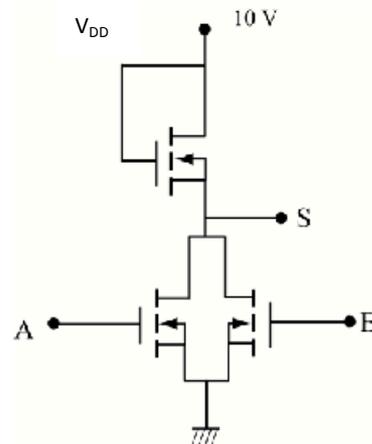


Figure I. 7. Configuration d'une porte NOR NMOS.

Pour cette porte, la sortie est au niveau BAS quand au moins une des entrées est au niveau HAUT. La sortie est au niveau HAUT seulement si les entrées sont au niveau BAS.

I. 7. LA CONCEPTION DES CIRCUITS LOGIQUES

Les concepteurs de circuits logiques utilisaient (et utilisent) des circuits intégrés préfabriqués, notamment en TTL. La plupart de ces circuits contenaient des transistors à plusieurs émetteurs, utilisés pour implémenter des fonctions logiques qui ne sont pas disponibles séparément. Aujourd'hui, ces circuits logiques fixes sont remplacés par des circuits programmables, qui permettent aux concepteurs d'intégrer un grand nombre de portes logiques diverses dans un seul circuit intégré.

Aujourd'hui, ces circuits deviennent de plus en plus complexes et répondent précisément aux applications désirées. Ces circuits sont appelés à application spécifique (ASICs, pour Application Specific Integrated Circuits). Les étapes de la conception d'un ASIC prennent en compte le cahier des charges qui décrit le principe de fonctionnement, l'architecture interne à partir d'un schéma synoptique, les caractéristiques électriques et dynamiques, le brochage et le type de boîtier ainsi que les conditions des simulations fonctionnelles.

Pour réaliser un circuit intégré, un concepteur raffine les spécifications de son circuit en descendant dans les niveaux d'abstraction. Le raffinement pour passer d'un niveau d'abstraction au suivant consiste à donner plus de détails de réalisation. On décompose ainsi le problème de conception en un ensemble de petits problèmes traités consécutivement, pour obtenir la réalisation physique du circuit [36].

Le diagramme en Y (figure I. 8) présenté par Gajski en 1983 est toujours utilisé pour représenter les différentes vues et les différents niveaux d'abstraction d'un système VLSI. L'objectif est d'obtenir une représentation au niveau d'abstraction dit physique, qui permet la fabrication du circuit. Les trois axes représentent trois domaines. Le domaine comportemental correspond au comportement du circuit, sans information sur la manière de réaliser ce circuit. Le domaine physique nous renseigne sur les caractéristiques physiques de l'architecture finale qui composent le circuit. Enfin, le domaine structurel fait le lien entre les deux domaines précédents. Dans le domaine structurel, le système, ou le circuit, est décrit comme un ensemble de composants interconnectés réalisant le comportement spécifié dans le domaine comportemental

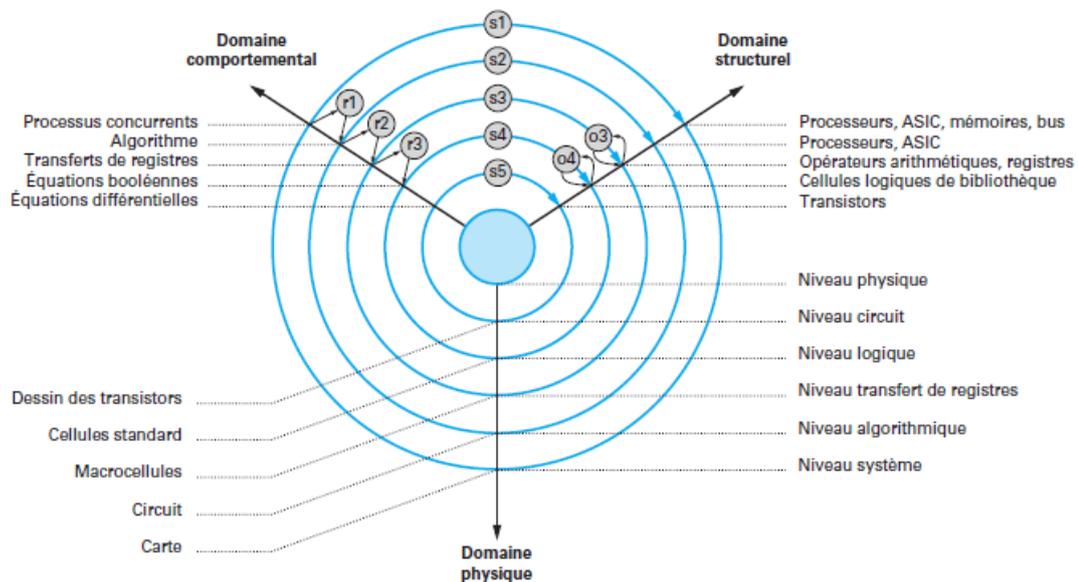


Figure I. 8. Diagramme en Y [36].

À partir du diagramme en Y, on définit trois tâches de conception. On appelle synthèse (s) la transition entre le domaine comportemental et le domaine structurel. Le raffinement (r) correspond au passage d'un niveau d'abstraction vers un niveau plus bas en restant dans le même domaine. Enfin, l'optimisation (o) consiste à améliorer la qualité du circuit en minimisant son coût ou en augmentant ses performances, tout en restant dans le même domaine.

Le passage du domaine structurel au domaine comportemental est généralement appelé l'analyse et le passage du domaine structurel au domaine physique est la synthèse physique dont les principales étapes sont le placement, le routage et l'implantation. Enfin, le passage du domaine physique au domaine comportemental est l'extraction.

I. 7. 1. FLOT DE CONCEPTION [34]

Un circuit, du plus simple au plus complexe, doit être réalisé conformément à son "cahier des charges" pour être utilisable : il s'agit de la phase la plus critique, car elle déterminera tous les modes de fonctionnement du circuit qui serviront en particulier à établir ultérieurement les protocoles de test en production du circuit. Il est indispensable de spécifier à ce niveau les contraintes techniques (performances électriques recherchées en vitesse et consommation, description du fonctionnement et identification de fonctions spécifiques éventuelles –notamment analogiques, type de boîtier,...etc.) et économiques (délais de conception et de fabrication des prototypes, volume de pièces prévus, moyens humains et logiciels,...etc.).

Le flot de conception peut être découpé en deux étapes :

- ETAPE « FRONT END »

Cette étape consiste à traduire la spécification en une description sous forme de schéma logique (« netlist »), de manière manuelle, ou automatique pour les circuits complexes. La synthèse correspond à la génération, le traitement et l'optimisation de descriptions intermédiaires à différents niveaux d'abstraction. On distinguera 2 niveaux de synthèse :

- La description comportementale définit la fonction du circuit, sans définir les structures, ni les connexions entre les éléments. La synthèse architecturale va consister à définir l'allocation des ressources matérielles (multiplieurs, ALUs, registres,...etc.) nécessaire à l'implantation des opérations, et l'ordonnancement des opérations). L'objectif est de minimiser une fonction de coût en surface (nombre d'unités fonctionnelles, nombre de registres, nombre de connexions, ...etc.) et en temps
- La description de l'architecture du circuit sous forme de blocs logiques. La synthèse logique permet d'optimiser les équations logiques, puis de faire une assignation technologique (technology mapping) vers une cible (la bibliothèque de cellules sélectionnées). L'objectif à ce niveau est de minimiser une fonction de coût (surface, vitesse, puissance) calculée à partir de la pré-caractérisation des cellules.

- ETAPE « BACK END »

Cette étape consiste à transformer le schéma logique en un plan de masse (floorplanning) où chaque cellule est placée et interconnectée conformément au schéma logique. On parle à ce niveau de synthèse physique. Un mauvais placement de cellules conduira à des interconnexions non optimisées, quel que soit l'algorithme de routage utilisé). Plusieurs techniques de placement de cellules existent. L'objectif est de hiérarchiser ce problème en rassemblant les cellules fortement interconnectées dans des partitions (les cellules de base d'une bibliothèque ont par construction une hauteur identique et peuvent être déplacées)

À chacun de ces niveaux, le circuit doit être vérifié en termes de fonctionnalité et de performances électriques. Parmi les nombreuses techniques de vérification, la simulation est la plus utilisée.

Le test électrique du circuit s'effectue lors de sa fabrication (test sous pointes des plaquettes de silicium), et après son encapsulation. Les tests pratiqués sont des tests fonctionnels, paramétriques (tensions, courants,..) et dynamiques (vitesse). Ils ont pour objectif d'éliminer les circuits défectueux en détectant et en localisant les éventuels défauts de fabrication à partir des séquences de test prédéfinies. Le problème du test doit être considéré lors de la conception afin de détecter le plus grand nombre de défauts potentiel dans un temps de test minimum (pour optimiser le coût du circuit).

I. 7. 2. ETAPES DETAILLEES DE CONCEPTION [36]

À tous les niveaux d'abstraction, on peut définir les étapes de synthèse. La synthèse de niveau système (s1 sur la figure **I. 8**) consiste à transformer une spécification de niveau système (processus concurrents) en une architecture à base de composants complexes (processeurs, ASIC, mémoires, bus...). La synthèse algorithmique (s2) transforme un algorithme en une représentation structurelle utilisant des registres, des multiplexeurs et des unités arithmétiques et logiques pour réaliser les opérations. Les opérations sont séquencées par un contrôleur. La synthèse de niveau transfert de registres (s3) est principalement la synthèse de ce contrôleur (codage des états...). La synthèse logique (s4) permet de générer la vue structurelle du circuit. On s'appuie alors sur une bibliothèque de portes logiques existante (bibliothèque d'un fondeur ou cellules de FPGA) pour trouver la correspondance avec les

équations booléennes (conversion technologique). La synthèse de niveau circuit (s5) consiste à transformer un ensemble d'équations en un schéma en transistors.

- Dans le domaine comportemental, le raffinement qui permet de passer du niveau système au niveau algorithmique (r1) consiste à décomposer le problème de conception d'un système en un ensemble de spécifications des différents composants. Le passage du niveau algorithmique au niveau transfert de registres (r2) transforme la spécification algorithmique en une partie opérative pour le transfert et le calcul des données et une partie contrôle. Le passage du niveau transfert de registres au niveau équations booléennes (r3) revient à décomposer le contrôleur et les opérateurs en un ensemble de machines à états finis décrites au niveau logique.

- Les optimisations les plus classiques sont l'optimisation du contrôleur (o3), en réduisant le nombre d'états et en codant les états pour réduire la logique associée. Les minimisations au niveau logique (o4) sont les simplifications des équations booléennes pour réduire la surface finale du circuit.

Avec les outils automatiques d'aide à la conception actuellement disponibles, on peut définir un ensemble d'étapes pour la conception de systèmes numériques synchrones (type de circuits le plus courant) qui correspond au flot de conception le plus classique (figure I. 9). Le point de départ est une description de niveau système dans le domaine comportemental. Une étape de raffinement appelé partitionnement logiciel/matériel (décrit dans la suite de cet article) permet d'obtenir une description algorithmique (r1 sur la figure 1) correspondant aux parties matérielles qui seront réalisées par un ASIC. Ensuite une étape complexe, appelée synthèse comportementale, correspond d'abord à une étape de raffinement (r2), puis à une étape de synthèse (s3) et à une étape d'optimisation (o3). La synthèse logique correspond à un raffinement (r3), à une synthèse (s4) et à une optimisation (o4) qui s'applique soit au résultat de la synthèse comportementale, soit à la description algorithmique. La conception physique est le passage vers le domaine physique pour obtenir les masques du circuit.

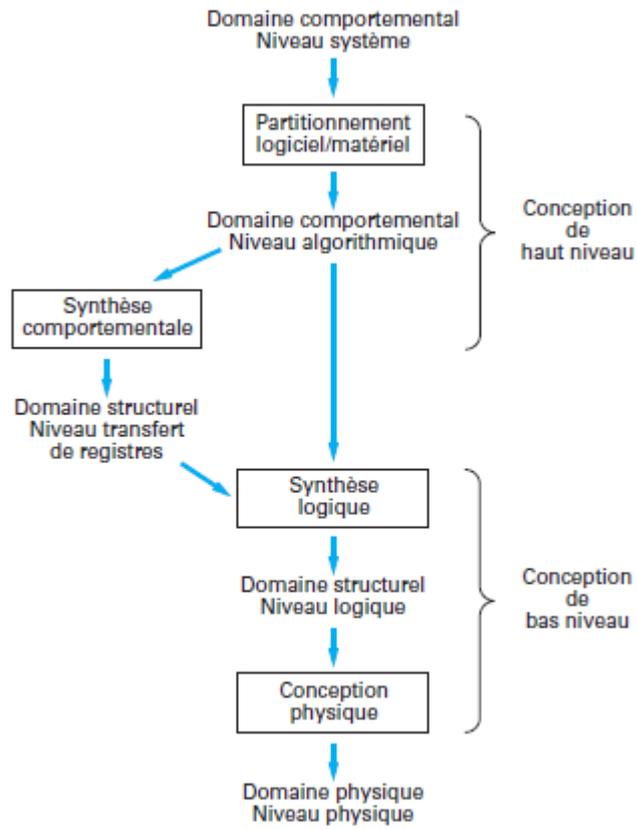


Figure I. 9. Principales étapes de conception.

CHAPITRE II

LE TRANSISTOR EN COUCHES MINCES À
BASE DE SILICIUM AMORPHE
HYDROGÉNÉ

II. 1. INTRODUCTION

Depuis ses débuts dans les années 60, la technologie du silicium amorphe a parcouru un long chemin. Les effets de désordre structural sur les propriétés électroniques des matériaux amorphes ont été étudiés en détail. En 1969, Chittick et ses collègues travaillèrent sur la passivation des liaisons pendantes par l'hydrogène. Trois ans plus tard, Spear présenta une étude de la distribution de la densité d'états dans les couches de silicium amorphe. Plus tard, en 1976, Madan réalisa la première jonction p-n en silicium amorphe hydrogéné (a-Si:H). Enfin, en 1979, Le Comber signala le premier transistor en couches minces (TFT) en silicium amorphe. Quelques années plus tard, en 1981, Snell démontra l'application des a-Si:H TFT dans l'électronique à grande surface [14].

La métastabilité inhérente au silicium amorphe limite les performances des circuits dans plusieurs applications. Cette métastabilité avec le temps induit des variations dans les paramètres et les différentes caractéristiques électriques du silicium amorphe. Les performances des a-Si:H TFT se dégradent à cause de l'application de tensions de stress prolongées. Ceci se traduit par un décalage de la tension de seuil (V_{th}) [15]. Ce décalage pose un sérieux dysfonctionnement des circuits électroniques en technologie silicium amorphe. Dans les circuits numériques, un petit décalage de V_{th} peut être toléré, mais il peut réduire la durée de vie et la fiabilité du circuit [14].

Il est ainsi nécessaire d'acquérir une meilleure compréhension des changements de la tension de seuil dans les TFT. Ceci peut aider dans le développement de circuits innovants et améliorer la durée de vie de ces circuits. Pour comprendre les mécanismes derrière ces problèmes de métastabilité, il est nécessaire de comprendre la physique de l'a-Si:H TFT en question.

II. 2. PHYSIQUE DU TRANSISTOR EN COUCHES MINCES A BASE DE SILICIUM AMORPHE HYDROGENE

Les transistors en couches minces a-Si:H TFT peuvent être fabriqués avec une grande variété de structures. La configuration la plus populaire est le TFT à structure empilée inversée (inverted-staggered) comme le montre la figure II. 1. En raison du grand nombre de défauts, il est très difficile de parvenir à une inversion de la couche a-Si:H. Le

- les défauts de structure du matériau qui sont liés à la variation de la géométrie des liaisons Si-Si (longueur, angle) et à la rupture de ces liaisons Si-Si qui donnent lieu à des liaisons pendantes [3].

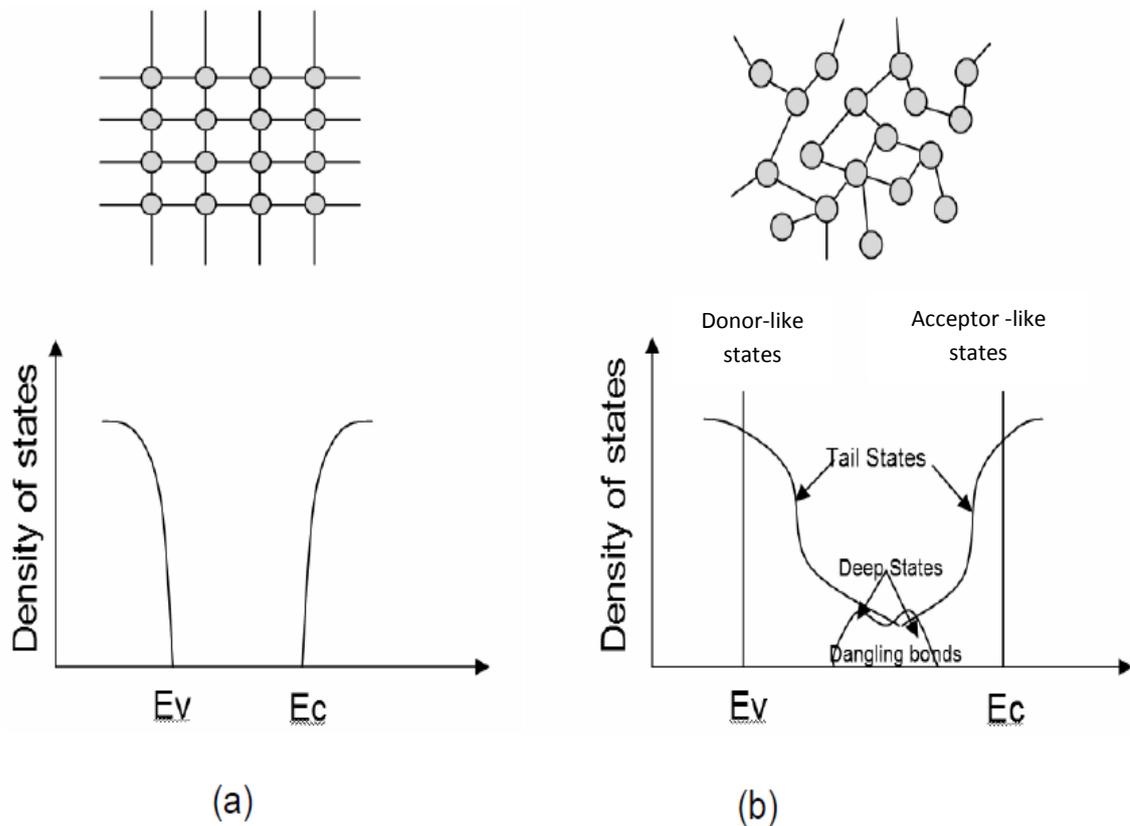


Figure II. 2. Structure atomique et modèle de bande pour (a) c-Si and (b) a-Si [25].

La différence entre la densité d'états du silicium cristallin et du silicium amorphe est montrée sur la figure II. 2. Dans le silicium cristallin, la bande de conduction et la bande de valence sont clairement définies, mais dans le silicium amorphe, les bandes s'étendent dans les états de queue. Un nombre d'états de défauts et de liaisons pendantes sont formés en raison de sa nature amorphe [25]. La distribution de la DOS dans la bande est asymétrique, avec plus d'états donneurs qu'accepteurs. Il en résulte une performance supérieure pour les transistors TFT de type n que pour les transistors TFT de type p.

II. 2. 2. ROLE DE L'HYDROGENE

Si, par un moyen quelconque, on incorpore de l'hydrogène dans la matrice de a-Si, alors cet hydrogène va saturer une partie de ces liaisons pendantes comme le montre la figure II .3

[24]. En faisant passer la densité de ces défauts de 10^{20} cm^{-3} à moins de 10^{16} cm^{-3} , l'hydrogène permet le dopage du matériau et son utilisation en tant que semi-conducteur. On parle alors de silicium amorphe hydrogéné (a-Si:H). La figure II. 4 [24] montre la densité d'états électroniques en fonction de l'énergie pour c-Si, a-Si et a-Si:H. Dans le cas de c-Si, nous retrouvons l'allure typique d'un semi-conducteur, à savoir que les états de la bande de valence et ceux de la bande de conduction sont délimités par le gap. Pour le silicium amorphe, les bandes de valence et de conduction s'étendent à l'intérieur du gap optique (on parle alors de pseudo-gap), en suivant un profil exponentiel. Ces "queues de bande" sont dues aux légères perturbations de l'ordre local, à savoir les distorsions dans les angles et les longueurs de liaisons. Au milieu du pseudo-gap, on trouve les défauts localisés et profonds liés aux liaisons pendantes. Dans le cas du a-Si:H, les distorsions d'angles et de longueurs de liaisons subsistent, mais une grande partie des défauts profonds liés aux liaisons pendantes a été saturée par l'hydrogène [23].

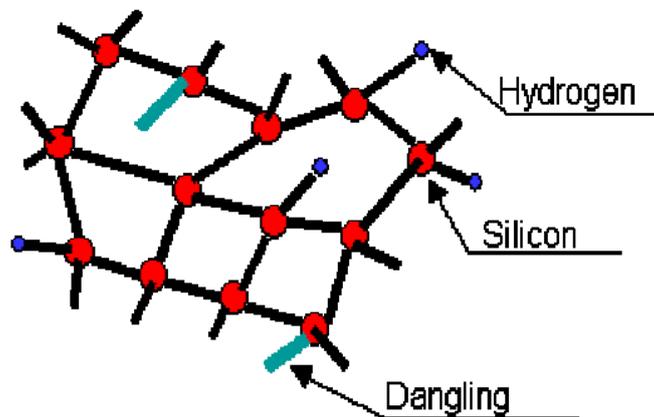


Figure II. 3. Structure atomique Pour a-Si:H [24].

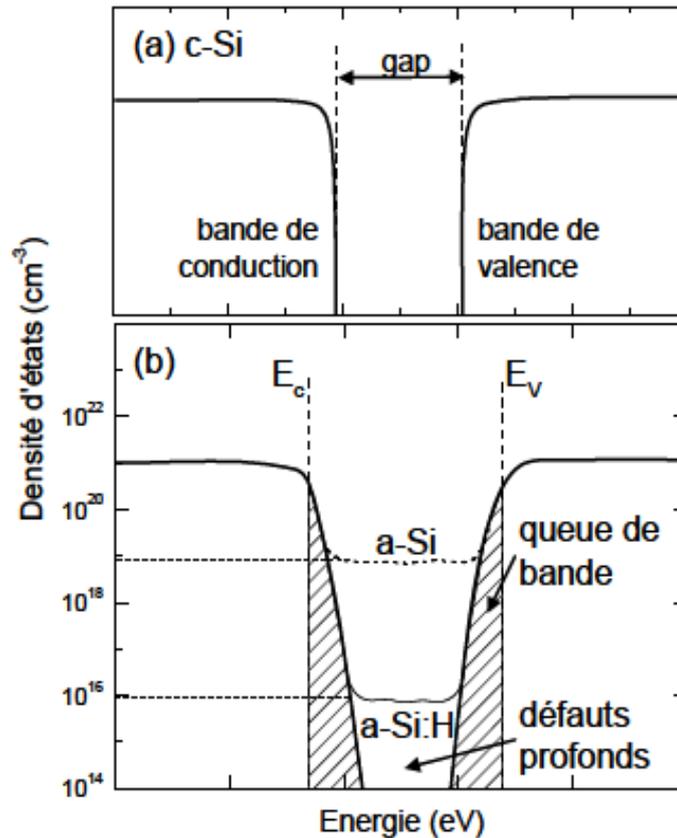


Figure II. 4. Densité d'états en fonction de l'énergie pour (a) c-Si, (b) a-Si et a-Si:H [23].

II. 3. VARIATION (DEGRADATION) DE LA TENSION DE SEUIL

La recherche a montré que les transistors en couches minces à base de silicium amorphe montrent une inhérente instabilité de leur tension de seuil due à une tension de stress continue. La tension de seuil V_{th} , d'un transistor a-Si:H TFT peut augmenter de plusieurs volts au cours de quelques heures avec une tension de stress DC. Ce comportement anormal est attribué à deux mécanismes principaux: le premier est l'injection de charges dans le diélectrique de grille, le deuxième est la création des états de défaut dans le canal du transistor [25].

A - Injection de charges

L'injection de charges dans le diélectrique de grille implique une augmentation dans la charge fixe dans la couche du nitrure de silicium (a-SiN_x), à cause de sites de piégeage dans l'interface isolant / a-Si:H (figure II. 5). Le piégeage des charges présente une dépendance du temps lente et c'est pourquoi ces charges piégées sont aussi appelées «états lents» [25]. Le

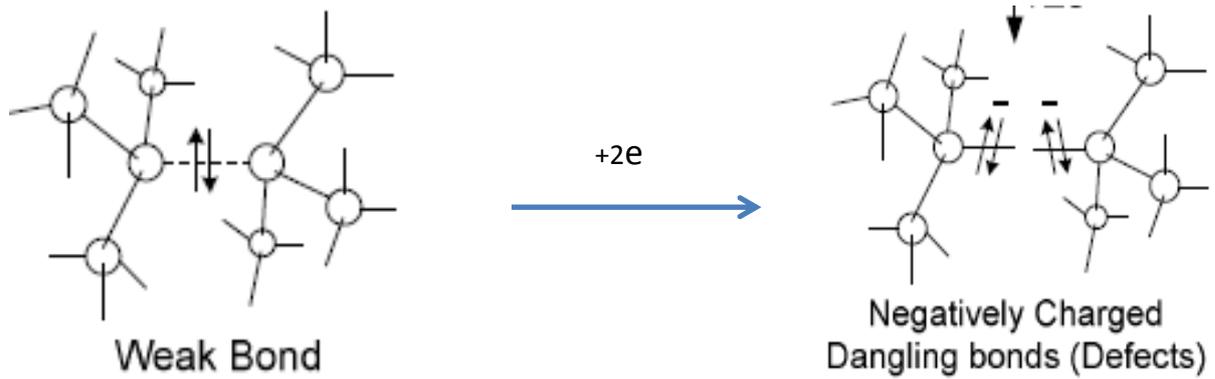


Figure II. 6. Création de liaisons pendantes.

La variation de la tension de seuil des a-Si : H TFT sous tensions de stress positives ou négatives est donné par l'expression [16] :

$$\Delta V_{th} = \alpha(V_{GS} - V_{TO})T^\beta \quad (\text{II. 1})$$

avec V_{GS} la tension d'entrée appliquée entre la grille et la source, V_{TO} la tension de seuil initiale, T le temps total écoulé grille sous stress, α et β paramètres liés à la fabrication du transistor. Si la tension entre la grille et la source varie d'une façon continue ou c'est un signal AC, la variation totale après temps T est donné par la somme des variations à des intervalles de temps Δt_i tels que :

$$\Delta V_{tho}(T) = \sum_{i=1}^n \Delta V_{th}(\Delta t_i) \quad (\text{II.2})$$

où ΔV_{tho} est la variation totale de la tension de seuil.

II. 3. 1. RÉDUCTION DE LA VARIATION DE LA TENSION DE SEUIL

On peut compenser la variation positive de la tension de seuil durant les impulsions positives (temps ON) par l'application d'impulsions négatives (temps OFF) pour les opérations à basses fréquences. Cette compensation disparaît aux hautes fréquences. Bien que l'augmentation de V_{th} due au stress positif est considérablement plus grande que sa baisse due au stress négatif, la compensation est possible si le temps OFF est beaucoup plus grand que le temps ON. Quand une impulsion bipolaire est appliquée à la grille du TFT, l'injection des

charges pendant le cycle négatif compense le changement positif de V_{th} pendant le cycle positif. Mais cela est vrai seulement quand l'injection des charges est dominante dans le cycle négatif, c.-à-d. le grand voltage négatif est appliqué à la grille pendant le cycle négatif. Aux hautes fréquences, il devient de plus en plus difficile pour les trous de s'accumuler dans le canal et cette compensation devient moins considérable [14, 22,25].

La deuxième approche pour réduire la variation de V_{th} se fait par la réduction du rapport cyclique des impulsions. Un cycle plus petit induit un changement moindre dans V_{th} . Ceci a pour effet l'amélioration de la durée de vie des transistors [14].

II. 4. FABRICATION DES TFT EN SILICIUM AMORPHE

a-Si: H TFT présente une uniformité supérieure lorsqu'il est déposé sur des substrats à grande surface. Le TFT est un transistor de type MOS avec trois terminaux, la grille, le drain et la source. La tension de grille contrôle l'accumulation d'électrons dans un film semi-conducteur intrinsèque mince sous l'isolant de grille. En d'autres termes la tension grille-source contrôle le courant de drain-source [14]. Les transistors à canal P n'ayant pas encore trouvé d'applications notables à cause de la mobilité dérisoire des trous, seuls les transistors NMOS peuvent être fabriqués en technologie a-Si.

Les transistors a-Si: H TFT ont une mobilité d'électrons typique de $0.5 \text{ cm}^2/\text{V.s}$ (contre $900 \text{ cm}^2/\text{Vs}$ pour le monocristallin !), un rapport de transition I_{on}/I_{off} supérieur à 10^6 et une tension de seuil autour de 4 V avec une hystérésis d'environ 1 V [16].

Le processus de fabrication du TFT commence avec la déposition du a-Si:H et du nitrure de silicium (SiN) sur le substrat. Le dépôt chimique en phase vapeur assisté par plasma, PECVD (pour Plasma Enhanced Chemical Vapor Deposition), est la méthode la plus utilisée. Le dépôt de ces couches minces se fait à partir de gaz sources de silane (SiH_4), d'ammoniac (NH_3) et d'hydrogène [24]. L'avantage de la technique PECVD est que le dépôt de a-Si: H et SiN est possible sur de grandes surfaces et sur de nombreux substrats. Par ailleurs, en raison de la température de dépôt relativement basse, le PECVD est un processus à faible coût par rapport à une technologie c-Si. Dans ce processus, la dissociation des molécules de gaz source est stimulée par un champ électrique à fréquence radio (RF) généralement 13,56 MHz (*figure II. 7*).

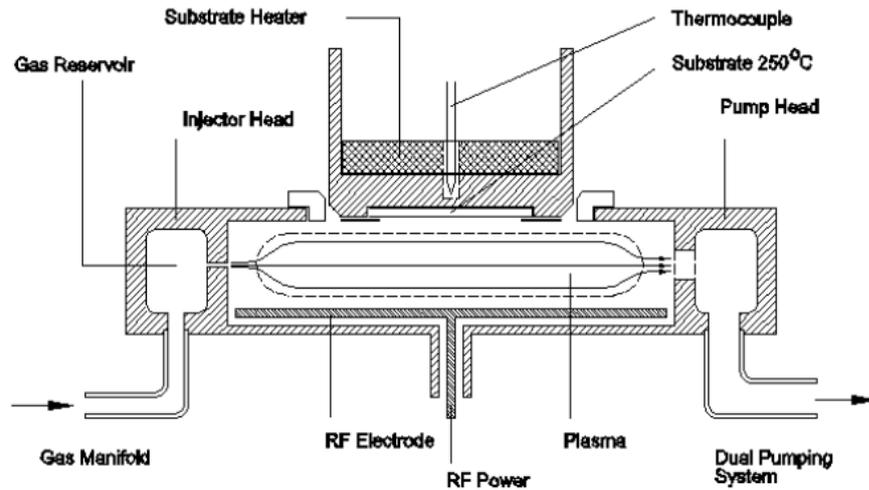


Figure II. 7. Chambre de réaction PECVD [24].

Les électrons libres et les ions sont accélérés par le champ électrique et entrent en collision avec les molécules du gaz source. De cette façon, ces dernières sont excitées à des états d'énergies plus élevés, principalement par des collisions inélastiques avec les électrons énergétiques, et se dissocier en une variété de radicaux, d'ions, d'atomes et d'électrons libres. Les radicaux et les atomes générés dans le plasma se rendent à la surface de la couche en croissance grâce à un processus de diffusion. Beaucoup de ces radicaux subissent des réactions secondaires, principalement avec les molécules mères pendant leur transport vers le substrat. À l'arrivée, ils sont adsorbés sur la surface où certains diffusent sur la surface de la couche en croissance et faire des liaisons chimiques pour former un réseau amorphe [24].

II. 5. FONCTIONNEMENT DES TFT EN SILICIUM AMORPHE

Le fonctionnement de base de ces TFT est similaire à celui du transistor MOSFET (Métal-Oxyde-Semiconducteur-Field-Effect). Une tension positive appliquée sur la grille induit des électrons dans le silicium amorphe. A des faibles tensions, ces électrons sont localisés dans les états profonds de a-Si: H, mais au-dessus d'une certaine tension appelée tension de seuil, une proportion considérable des électrons devient mobile. Par conséquent, au-dessus de cette tension de seuil, le transistor devient conducteur et un courant circule entre la source et le drain.

Si une tension négative est appliquée sur la grille, les trous s'accumulent dans a-Si: H à l'interface avec l'isolant. L'opération du canal des «trous» est négligeable parce que la mobilité des trous dans le a-Si: H est inférieure à la mobilité des électrons et les contacts n + ne peuvent pas fournir assez de trous pour maintenir un courant significatif. Cependant, L'opération du canal des « trous» est utile pour identifier un mécanisme d'instabilité dans les différents fonctionnements du dispositif [24].

II. 6. MATÉRIAUX DES TRANSISTORS EN COUCHES MINCES

Le tableau I. 1 résume la liste des matériaux communs à la fabrication des transistors en couches minces [3].

Tableau I. 1. Matériaux utilisés dans la fabrication des transistors en couches minces [3].

Semiconducteurs	a-Si:H, $\mu\text{c-Si}$, poly-Si, CdSe, SiC, Ge, GeSi, Te, In, Sb
Diélectriques	SiN_x , SiO_x , SiO_xN_y , TaO_x , AlO_x , a-SiC:H
Métaux	Ta, Mo, Ta/Mo, Cr, Cr/Ni, Ti, Al, Cu, ITO
Contacts Ohmiques S/D	N^+ , $\mu\text{c-Si n}^+$
Substrats	verre, acier.

Les diélectriques de grille les plus utilisés sont le nitrure de silicium, SiN_x , le dioxyde de silicium, SiO_2 , l'oxynitride de silicium, SiO_xN_y et leurs différentes combinaisons. Il s'est avéré que les propriétés de surface et de volume des diélectriques de grille affectent beaucoup les caractéristiques des transistors [3], telles que tension de seuil, mobilité et rapport de courants Ion/Ioff. Les diélectriques sont aussi utilisés pour la passivation et la protection du canal. Il a été montré [3] que la composition et les charges fixes aux interfaces affectent le courant de fuite.

Les métaux utilisés sont, bien sûr, ceux ayant la plus haute conductivité. En plus de l'aluminium, le cuivre, etc..., l'Indium Tin Oxyde (ITO) est le métal de pixel le plus favorable à cause de sa haute transmittance de lumière [3].

II.7. APPLICATIONS DES A-SI:H TFT

II. 7. 1. AFFICHEURS PLATS À CRISTAUX LIQUIDES À MATRICE ACTIVE (AMLCDS)

Les applications les plus attrayantes de la technologie a-Si sont liées aux afficheurs plats à cristaux liquides à matrice active comme le montre la *figure II. 8* [14].

Les cristaux liquides ont été découverts vers la fin du 19^{ème} siècle par le botaniste autrichien, Friedrich Reinitzer. Dans les années 1960, il a été découvert que quand le cristal liquide est placé dans un champ électrique, il change d'alignement moléculaire, et la quantité de lumière qui le traverse peut être ajustée (*figure II.9*) [24].

Les écrans LCD se composent de deux plaques de verre avec une couche de cristaux liquides entre les deux. Lorsqu'un champ électrique est appliqué à la cellule, les cristaux peuvent tourner le plan de la lumière polarisée, agissant effectivement comme un interrupteur on / off pour la lumière [24].

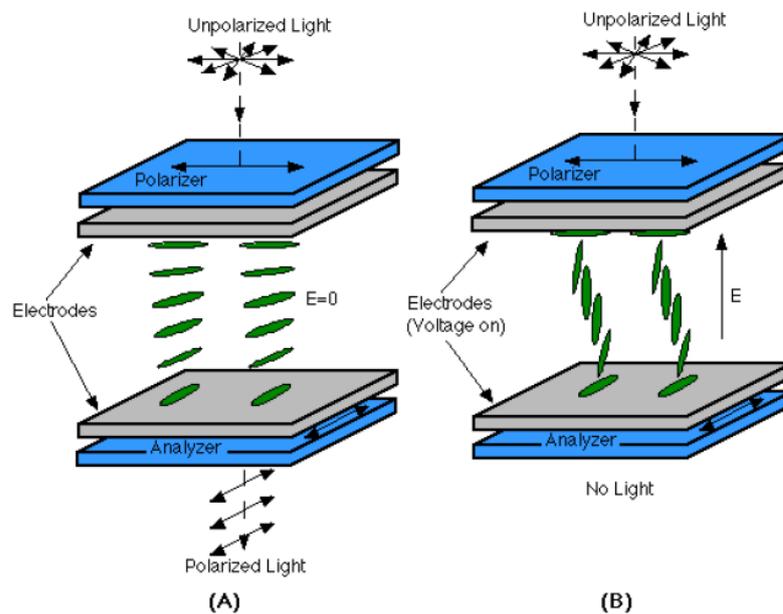


Figure II. 8. Cellule d'un afficheur LCD [24].

Les afficheurs couleurs sont mis en œuvre en divisant chaque pixel en trois sous-pixels, rouge, vert et bleu, avec des filtres couleurs déposés au-dessus de chaque sous-pixel [14].

Le tableau à matrice active contient de nombreux éléments individuels communément appelés pixels (*figure II. 9*), qui sont généralement adressés ou lus par une structure d'interconnexions de lignes et de colonnes appelées lignes de grille (gate lines) et lignes de données (data lines) comme il est montré à la *figure II 9*. Le transistor en couche mince à base a-Si: H TFT est utilisé comme un élément de commutation ou un transistor en logique PTL (pass transistor logic).

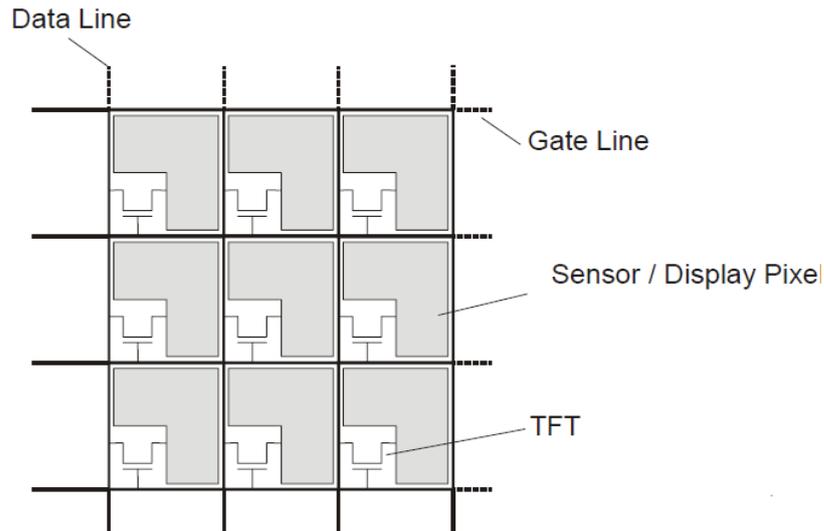


Figure II. 9. Tableau à matrice active [14].

La structure d'un écran plat à cristaux liquides est représentée sur la *figure I. 10*. L'ensemble, constitué de deux plaques de verre scellées entre lesquelles on a injecté un cristal liquide, est considéré comme un écran plat à cristaux liquides. La première plaque de verre est la plaque matrice active, alors que la seconde plaque, entièrement recouverte d'ITO et portée à un potentiel de référence, constitue la deuxième électrode des capacités des points élémentaires [3].

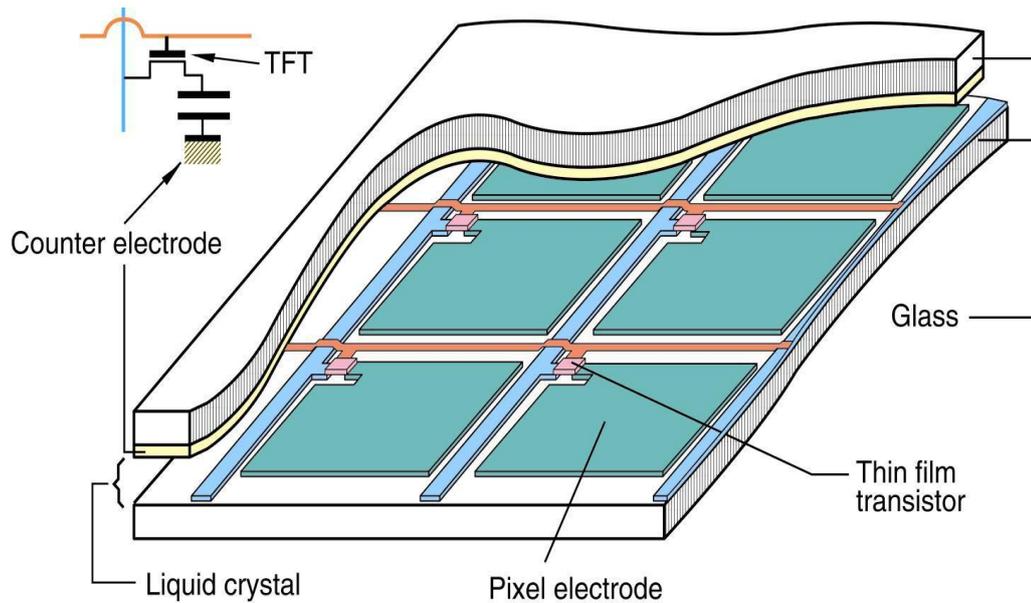


Figure II. 10. Vue en perspective d'un écran AMLCD [29].

Cette configuration améliore le contraste, augmente la luminosité globale et simplifie le système d'adressage en incluant un TFT comme un interrupteur pour chaque pixel [14]. Lorsque le pixel est adressé, le TFT correspondant s'allume (switches ON) et un transfert de charge se fait entre l'électrode de cristaux liquides et la contre-électrode de la deuxième plaque de verre, et puisque le courant de fuite d'un TFT est extrêmement faible (10^{-12} - 10^{-13} A), la charge est conservée par le pixel alors que les autres lignes de l'écran sont adressées. Ces propriétés donnent à ces une luminosité améliorée, angle de vision, qualité d'image, écrans plus grands, faible consommation électrique, faible coût... [14].

II. 7. 2. APPLICATIONS À L'IMAGERIE MÉDICALE [35]

De nouveaux systèmes de radiographie à base de silicium amorphe sont mis au point. Les premiers prototypes ont été réalisés vers les années 80, les plus performants vers les années 90. Ces systèmes, appelés imageurs à matrice active AMFPIs (pour Active matrix, flat-panel imager) fournissent des images de haute résolution. Ils sont utilisés pour la radiographie thoracique numérique, la mammographie et plus récemment en temps réel (30 images / s).

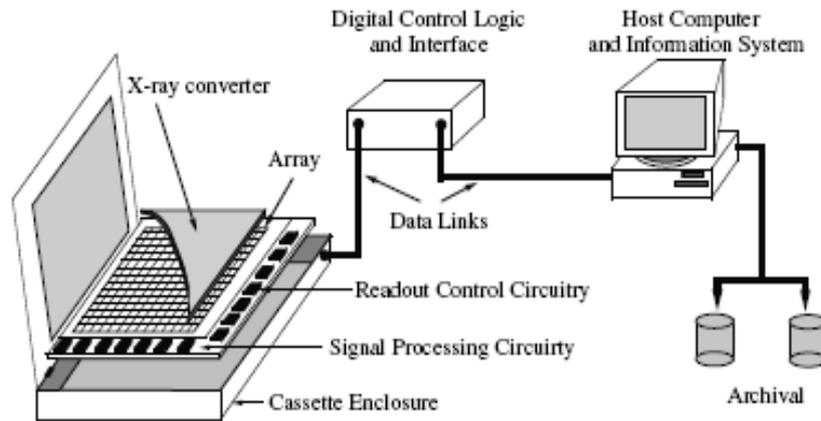


Figure II. 11. Schéma illustrant les éléments d'une AMFPI.

Un système AMFPI se compose de quatre éléments essentiels, comme le montre la **figure II. 11**, ci-dessus:

- une matrice de pixels bidimensionnelle,
- un convertisseur de rayons X positionné mécaniquement ou déposé directement sur la matrice,
- une électronique d'acquisition pour guider l'intégration, l'extraction et la numérisation de l'information issue des pixels
- et un ordinateur pour l'envoi des commandes à et la réception des signaux pixels numériques de l'électronique d'acquisition.

La combinaison de la matrice et le convertisseur de rayons X avec l'électronique périphérique et l'enceinte constitue le récepteur de rayons X.

La matrice de transistors se présente comme le montre la **figure II. 12**. Les pixels sont fabriqués sous forme de circuit monolithique sur du verre (1mm d'épaisseur environ), Chaque pixel est constitué d'un TFT couplé à une capacité de stockage. Pour chaque ligne de donnée est connecté un circuit préamplificateur externe pour l'amplification du signal avant son passage à la numérisation par un convertisseur analogique numérique.

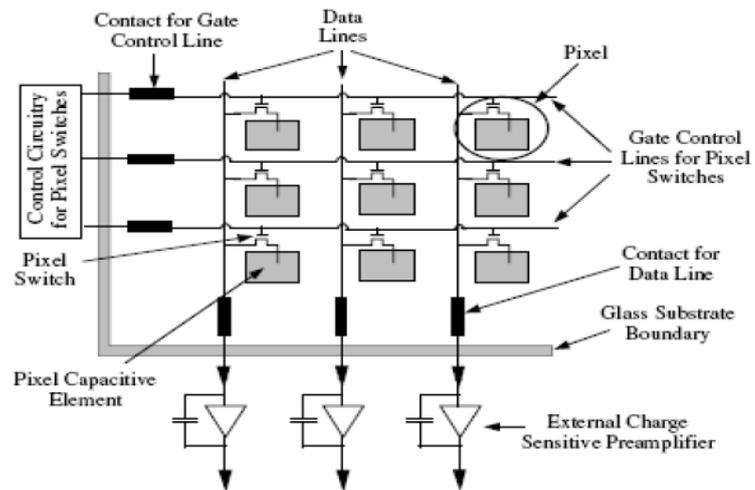


Figure II. 12. Matrice AMFPI à l'aide de TFT.

CHAPITRE III

LA MARGE DE BRUIT

III. 1. INTRODUCTION

Le concept de marge de bruit est très important dans la conception et l'application des circuits numériques. Un circuit numérique va fonctionner aussi longtemps qu'il y a suffisamment de marge de bruit (Mb). La marge de bruit (Mb) d'un inverseur est une figure importante pour la stabilité de ces circuits. Les premières publications détaillées traitant de la marge de bruit et sa relation avec les caractéristiques de transfert des portes logiques datent de 1967 et 1968 [19, 20]. Elles répondent à pas mal de questions quant au problème de l'immunité au bruit dans les circuits électroniques [8]. Cette grandeur a été initialement définie comme «le maximum de signal parasite admissible qui peut être accepté par un dispositif lorsqu'il est utilisé dans un système tout en en donnant un fonctionnement correct » [7].

Dans ce chapitre nous intéressons à l'étude de l'inverseur logique en tant qu'élément de base pour la construction de circuits numériques quelle que soit leur complexité. L'inverseur sera construit à partir de transistors TFT à base de silicium amorphe hydrogéné. Cette étude concerne un facteur très important au jugement de l'efficacité et de la fonctionnalité à long terme des circuits aussi bien qu'à la faisabilité de construire des circuits logiques à base de a-Si :H TFTs.

Il sera question d'étudier deux inverseurs; l'un statique et l'autre dynamique et d'analyser leurs marges de bruit ainsi que leur effet sur la stabilité à long terme de ces circuits.

III. 2. DEFINITION DE LA MARGE DE BRUIT

On appelle marges de bruit les plages de tensions dans lesquelles les tensions d'entrées peuvent varier sans entraîner d'erreur sur l'interprétation du 0 ou du 1 logiques à la sortie des portes logiques [8]. C'est la capacité d'un circuit à transmettre et à maintenir à sa sortie, le niveau logique (1 ou 0) qui y est présent, lorsqu'il subit à son entrée une tension parasite induite par une cause quelconque [9].

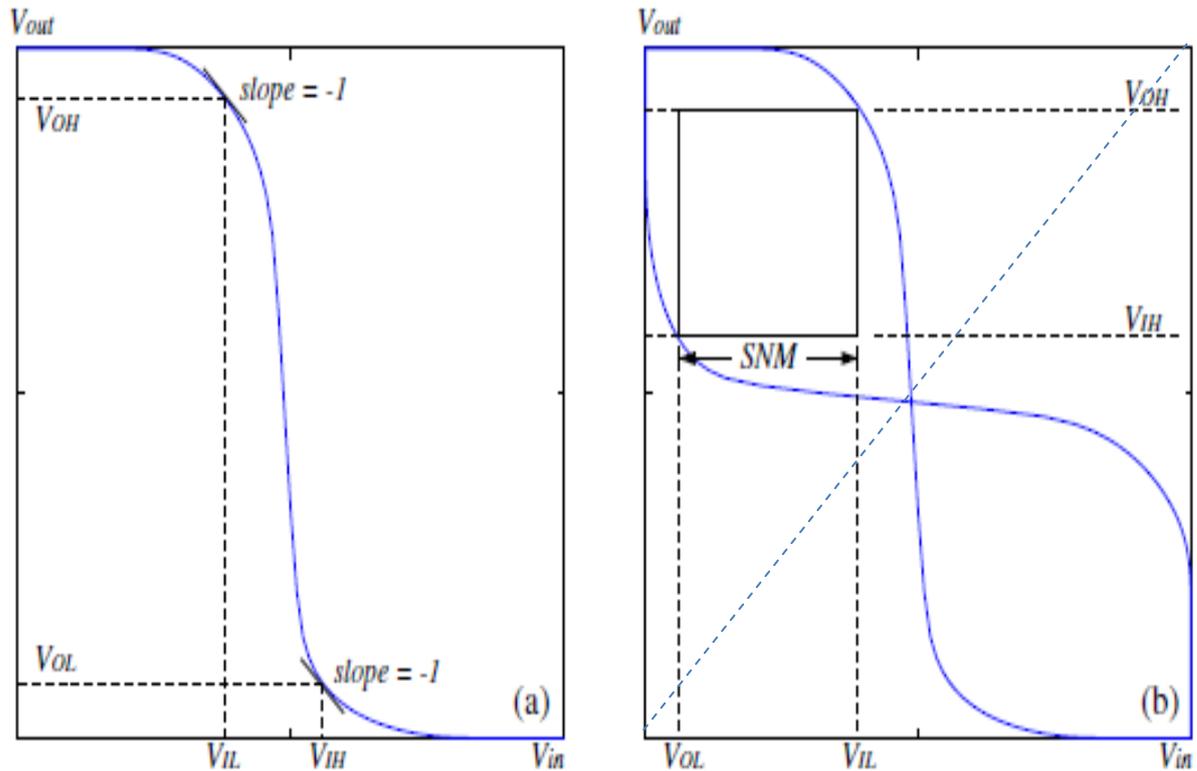


Figure III.1. Définition de la marge de bruit [9], (a): caractéristique de transfert de l'inverseur, (b) : représentation de la marge de bruit.

Diverses méthodes ont été proposées pour la définition correcte de la marge de bruit. On cite parmi ces méthodes celle du carré maximum entre la courbe de transfert normale $f(v_{in})$ et son image $f^l(v_{in})$.

Dans ce chapitre nous allons essayer de présenter cette méthode du carré maximum qui est la plus largement utilisée [10]. Dans cette approche, la définition de la marge de bruit est basée sur la recherche géométrique du carré maximum illustré sur la **figure III. 1-(b)** où la courbe de transfert de l'inverseur de la **figure III. 1-(a)** (voir plus bas) a été reflétée par rapport à une ligne passant par l'origine à 45° . Le carré le plus grand possible est construit entre la courbe de transfert normale et son image. La grandeur d'un côté du carré est définie comme étant la marge de bruit.

III. 3. MARGE DE BRUIT STATIQUE

La définition de la marge de bruit statique dans les différents manuels est en quelque sorte liée à la caractéristique de transfert du circuit de l'inverseur [10-12] où les entrées et les sorties logiques sont définies comme suit :

- V_{IH} La tension d'entrée MINIMALE pouvant être reconnue comme un niveau d'entrée logique HAUT,
- V_{IL} : La tension d'entrée MAXIMALE pouvant être reconnue comme un niveau d'entrée logique BAS,
- V_{OH} : Tension NOMINALE correspondant à un niveau logique HAUT à la sortie d'une porte logique,
- V_{OL} : Tension NOMINALE correspondant à un niveau logique BAS à la sortie d'une porte logique.

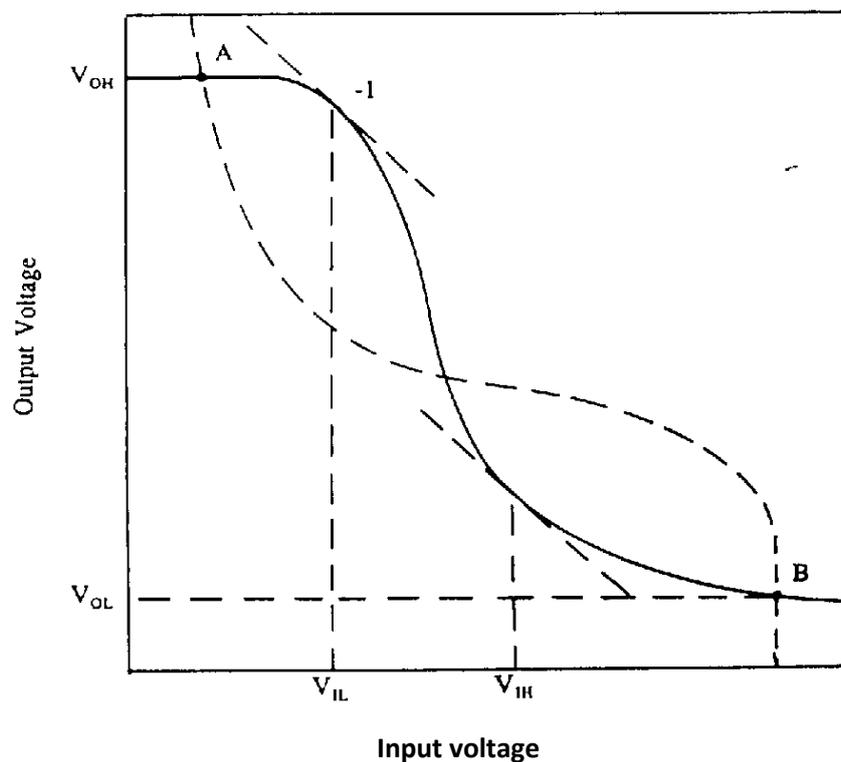


Figure III. 2. Définition de V_{OH} et V_{OL} comme états logiques stables V_{DD} et 0 [10].

Les tensions d'entrée basse V_{IL} et haute V_{IH} sont définies comme les valeurs de tensions d'entrée où la pente des courbes de transfert est -1, comme illustré sur la **fig III. 1-(a)**. Les tensions de sortie haute V_{OH} et basse V_{OL} sont également basées sur les points de la pente -1, comme le montre **fig. III. 1-(a)**. C'est la méthode la plus utilisée. Elles sont parfois définies comme étant les logiques stables respectivement V_{DD} et 0 comme le montre la **figure.III. 2** [11].

Pour un inverseur qui satisfait les relations suivantes :

$$V_{IN} \leq V_{IL} \Rightarrow V_{OUT} \geq V_{OH} \quad (III.1)$$

$$V_{IN} \geq V_{IH} \Rightarrow V_{OUT} \leq V_{OL} \quad (III.2)$$

$$V_{IH} > V_{IL} \quad (III.3)$$

avec V_{IN} la tension d'entrée et V_{OUT} la tension de sortie, les marges de bruit haute et basse (Mb_H et Mb_L , respectivement) peuvent être définies mathématiquement comme suit [13] :

$$Mb_H = V_{OH} - V_{IH} \quad (III.4)$$

$$Mb_L = V_{IL} - V_{OL} \quad (III.5)$$

et la marge du bruit statique de la porte est la plus petite valeur maximale de Mb_H et Mb_L . Les deux plages Mb_L et Mb_H représentent des zones sécuritaires dans lesquelles le signal d'entrée peut varier sans que la sortie logique soit affectée à cause d'une faible variation due au bruit électronique [10, 13].

Pour s'assurer d'une opération stable de l'inverseur, ses marges de bruit Mb_H et Mb_L ont besoin d'être suffisamment positives [7].

III. 4. MARGE DE BRUIT ET VIEILLISSEMENT DES CIRCUITS

Sans perdre de généralité, les inverseurs statiques et dynamiques sont les éléments de base de conception des circuits numériques. En effet, chaque circuit peut être modélisé pour former un inverseur. En se basant sur cette approche, nous allons essayer de présenter dans ce qui suit un récapitulatif du modèle analytique décrivant la marge de bruit pour un inverseur à base de transistors en silicium amorphe en fonction de certains paramètres principalement la tension de seuil V_t , y compris les effets du vieillissement du circuit [16].

III. 4. 1. INVERSEUR STATIQUE

La configuration de l'inverseur statique à base de a-Si :H TFTs adoptée pour notre étude est représentée sur la *figure III. 3*. Pour cet inverseur, le transistor supérieur (ML) est le transistor de charge, et le transistor du bas (MD) représente le transistor driver (de commande), auquel on applique la fonction logique d'entrée [25].

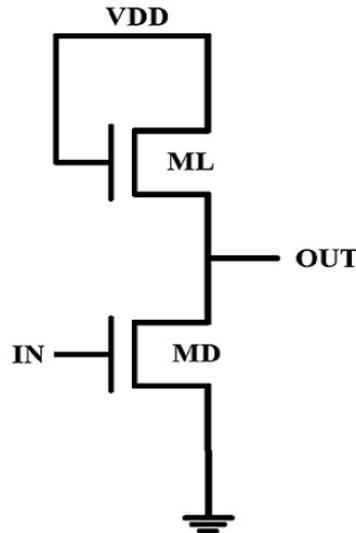


Figure III. 3. Inverseur statique étudié [16].

Le transistor de charge (ML) avec la grille connectée à la source est toujours en saturation. Son courant de drain est donc donné par l'équation:

$$I_L = \frac{1}{2} C_{OX} \frac{W_{LD}}{L} \mu_0 (V_{DD} - V_{OUT} - V_{TL})^2 \quad (\text{III.6})$$

où C_{ox} est la capacité du diélectrique, W_{LD} est la largeur du canal pour le transistor de charge, et L sa longueur, V_{OUT} est la sortie de l'inverseur, et V_{IN} est son entrée. V_{TL} est la tension de seuil du transistor de charge et μ_0 est la mobilité effective du transistor.

Le courant à travers le transistor de commande décrira trois régions en fonction de la tension d'entrée : région de blocage, région linéaire et région de saturation.

Si $V_{IN} \leq V_{TD}$, le transistor est à l'état bloqué, nous avons donc :

$$V_{OUT} = V_{DD} - V_{TL}. \quad (III.7)$$

Où V_{DD} est la tension d'alimentation

Avec l'augmentation de tension d'entrée $V_{IN} > V_{TD}$, où V_{TD} est la tension de seuil de MD, le transistor driver entre dans la région linéaire. Le courant décrivant cette zone est :

$$I_{D(LIN)} = C_{OX} \frac{W_{DR}}{L} \mu_0 [(V_{IN} - V_{TD}) V_{OUT} - \frac{1}{2} V_{OUT}^2] \quad (III-8)$$

En saturation, le courant qui traverse ce transistor est donné par :

$$I_{D(SAT)} = \frac{1}{2} C_{OX} \frac{W_{DR}}{L} \mu_0 (V_{IN} - V_{TD})^2 \quad (III. 9)$$

Avec

$$V_{IN} = V_{DD} - V_{OUT} \quad (III. 9.A)$$

W_{DR} est Largeur du canal pour le transistor de commande et L sa longueur et V_{TD} sa tension de seuil.

En combinant les deux équations. (III. 6) et (III. 9), la tension de sortie en dans la région de saturation est donnée par :

$$V_{OUT} = V_{DD} - V_{TD} - \sqrt{R}(V_{IN} - V_{TL}) \quad (III. 10)$$

Avec R égal au rapport de la largeur du canal pour le transistor driver W_D , à la largeur du canal pour le transistor de charge W_L ($R = W_D/W_L$).

Avec la diminution de V_{OUT} , le transistor driver entre dans la région linéaire. En combinant les deux équations (III. 6) et (III. 8), la tension de sortie est maintenant donnée par :

$$V_{OUT} = \left\{ V_{DD} - V_{TD} + R V_{IN} - R V_{TL} + [R(2V_{DD}V_{IN} - 2V_{DD}V_{TL} - 2V_{TD}V_{IN} + 2V_{TD}V_{TL} + R V_{IN}^2 - 2R V_{IN}V_{TL} + R V_{TL}^2 - V_{DD}^2 + 2V_{DD}V_{TD} - V_{TD}^2)]^{\frac{1}{2}} \right\} \frac{1}{R+1} \quad (III.11)$$

Des simulations de l'évolution de la caractéristique de transfert de l'inverseur en faisant augmenter la tension de seuil, ont montré un passage par quatre étapes de 1 à 4 sur les figures à suivre. La marge de bruit correspond au carré à la plus longue diagonale. Ce maximum est l'un des segments D1, D2 et D3 comme sera explicité.

Comme nous l'avons mentionné précédemment, le pire cas obtenu pour la marge de bruit Mb peut être trouvé géométriquement en considérant le carré maximum possible entre la caractéristique de transfert normale $f(v_{in})$ et son inverse $f^{-1}(v_{in})$, et puisque les deux yeux haut et bas sont identiques, seul l'œil du haut va être étudié. «L'œil» peut être considéré comme étant la contribution de trois parties importantes, comme indiqué sur la **figure III. 4**. Ces parties sont la ligne sur la droite (RL), la ligne en courbure (LL) sur la gauche et l'angle qui se situe à la droite. Selon le circuit et l'âge du circuit, ce dernier peut ne pas contribuer à la forme de l'œil [16].

La ligne (RL) a une pente de $(-\sqrt{R})$ (voir équation III. 10). La ligne (LL) comporte deux parties, qui sont les équations (III. 10) et (III. 11). L'angle droit est au point $(V_{TD}, V_{DD} - V_{TL})$. La marge de bruit correspond au carré avec la plus longue diagonale. Cette diagonale maximale est l'une des lignes (D1, D2 et D3), la Mb sera égale au côté du carré le plus grand ou $1/\sqrt{2}$ de la diagonale la plus grande de D1, D2 et D3 [16] (voir annexe A).

Avec l'augmentation de la tension de seuil pour le transistor de charge et le transistor driver, la caractéristique de transfert de l'inverseur passe par plusieurs étapes. Avec une analyse minutieuse de la longueur maximale de la diagonale qui s'inscrit dans "l'œil", on distingue quatre phases séquentielles de la courbe de transfert de l'inverseur :

Phase I: C'est la phase initiale avant l'application des tensions à l'entrée de l'inverseur ou il n'y a pas des changements sur la marge de bruit correspondante, comme le montre la **Figure III. 4**. Mb est donné par l'équation suivante pour $t=0$ s.

$$Mb = \frac{1}{\sqrt{2}} [D2] = \left[\left(\frac{1}{h(R^{3/2}+R)} \right) (V_{DD}h - V_{TL}h + R - V_{DD} + V_{TL} - R^{3/2}V_{DD} + R^{3/2}V_{TL} - RV_{TD}h + RV_{DD}h - RV_{TL}h + R^{3/2}V_{TD}h) - \frac{V_{DD}-V_{TL}}{h} \right] \quad (III.12)$$

$$avec h = \sqrt{1 + 2R^{3/2} + R} \quad (III.12-A)$$

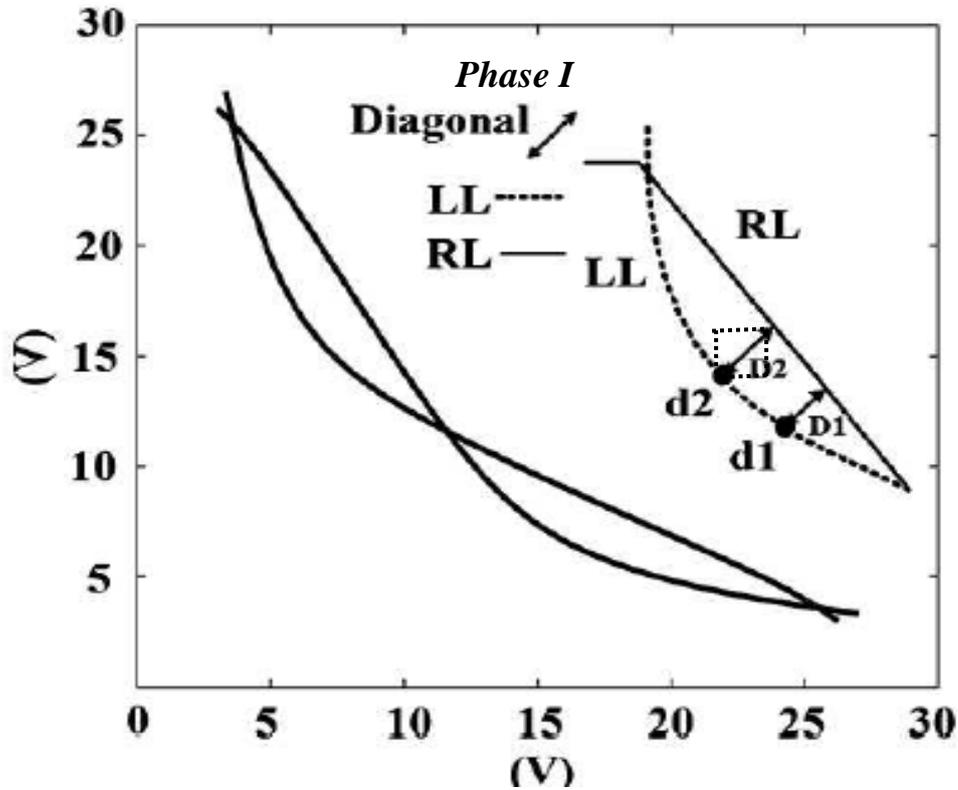


Figure III. 4. Phase I de Mb [16]

Phase II: C'est la phase où l'inverseur est mis sous des tensions positives, et la marge de bruit augmente. Mb sera égal au côté du carré avec la plus grande diagonale D2 comme le montre la *figure III. 5*. Mb est la même que pour la première phase.

Phase III: Dans cette phase, la marge de bruit Mb sera égale au côté du plus grand carré avec la diagonale D3, comme le montre *figure III. 6*.

Dans ce cas la marge de bruit est exprimée par :

$$Mb = 1/\sqrt{2} [D3] = \left\{ V_{TD} - \frac{1}{2(R-1)} \left[-2V_{DD} + 2V_{TL} - 2RV_{DD} + 2RV_{TL} + 4V_{TD}R + 2(-2R^2V_{DD}V_{TL} - 4R^2V_{DD}V_{T2} + 4R^2V_{TL}V_{TD} - 6V_{DD}RV_{TL} - 4V_{DD}RV_{TD} + 4V_{TL}RV_{TD} + 3RV_{DD}^2 + 3RV_{TL}^2 + R^2V_{DD}^2 + R^2V_{TL}^2 + 4R^2V_{TD}^2) \right]^{1/2} \right\} \quad (III.13)$$

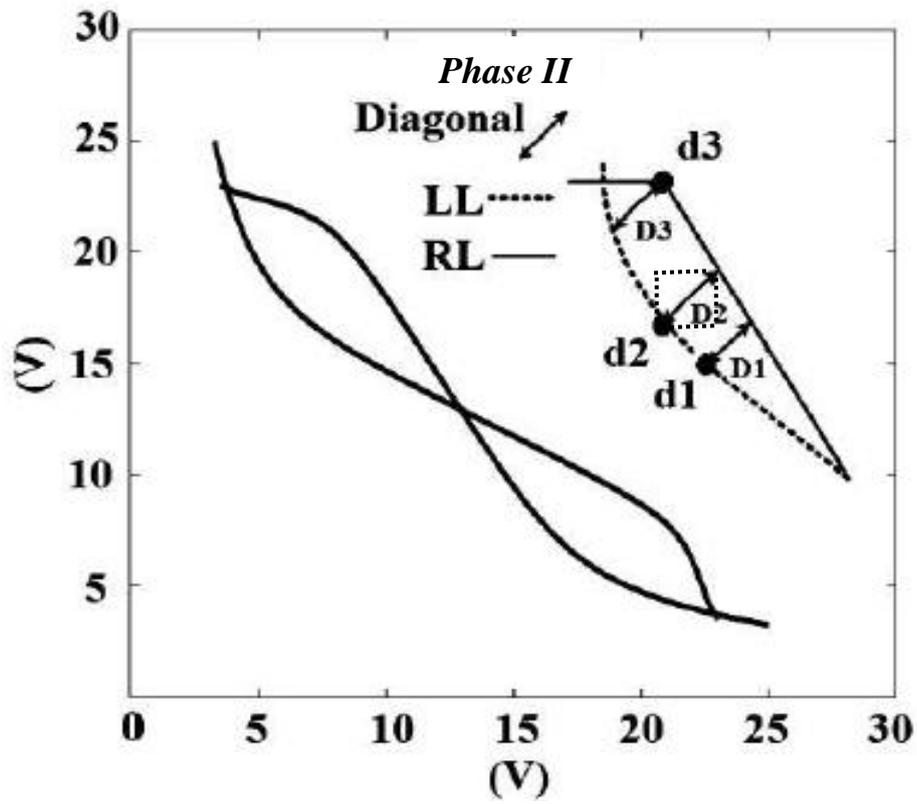


Figure III. 5. Phase II de Mb [16].

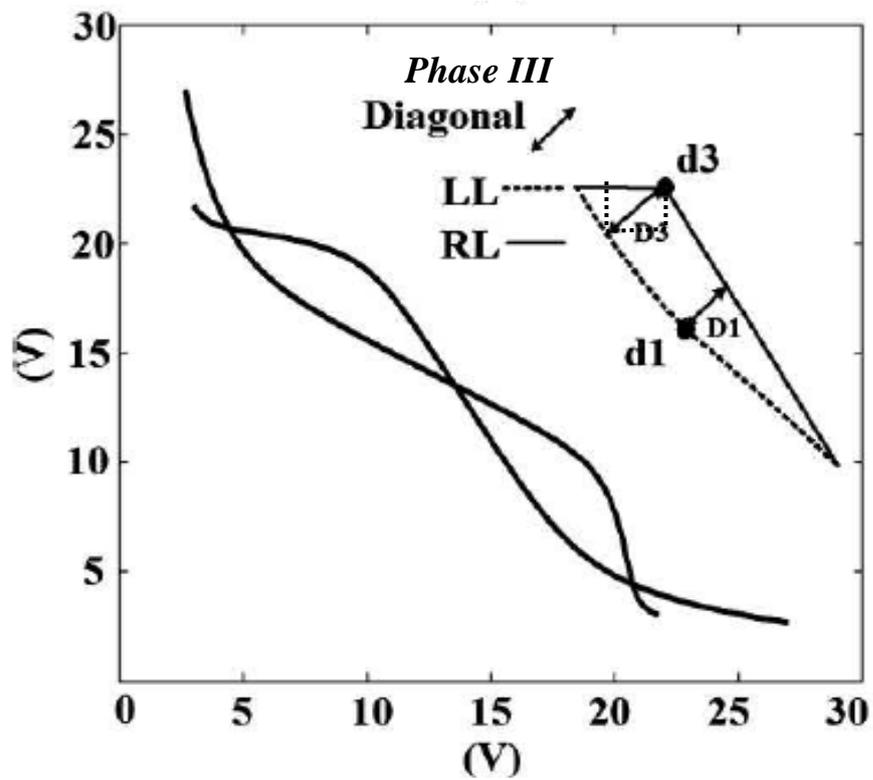


Figure III. 6. Phase III de Mb [16].

Phase IV : C'est la dernière étape, en fin de laquelle la marge de bruit atteint zéro. La marge de bruit Mb sera égale au côté du plus grand carré avec la diagonale $D3$, comme le montre la *figure III.7*.

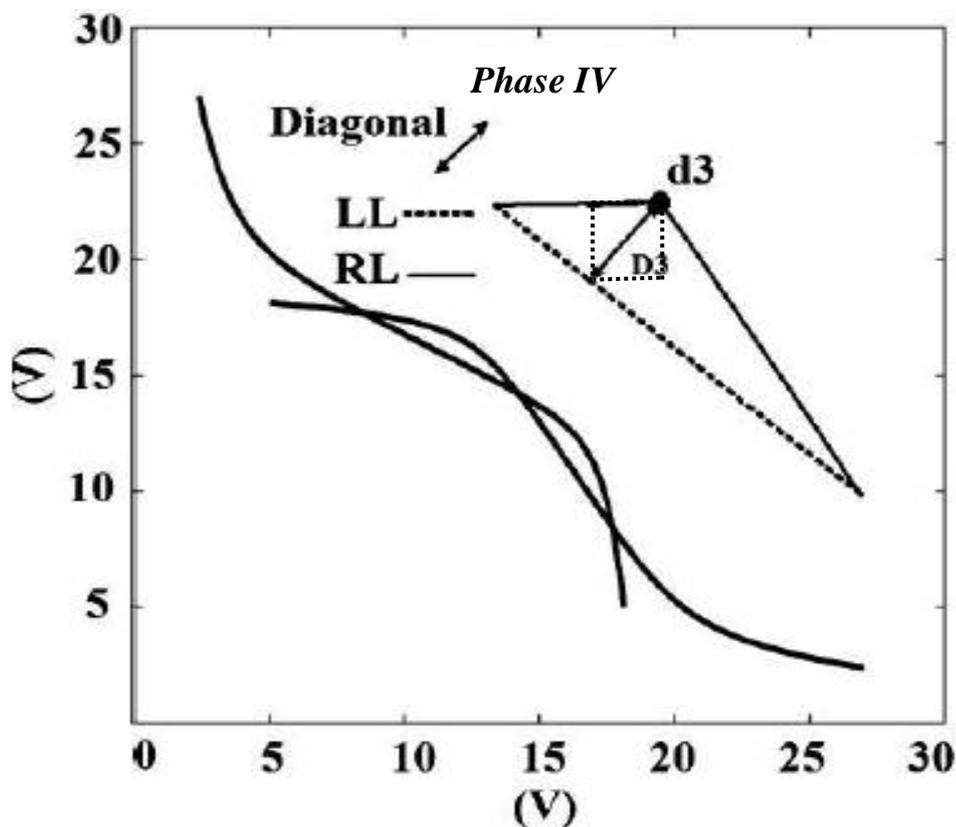


Figure III.7. Phase IV de Mb [16].

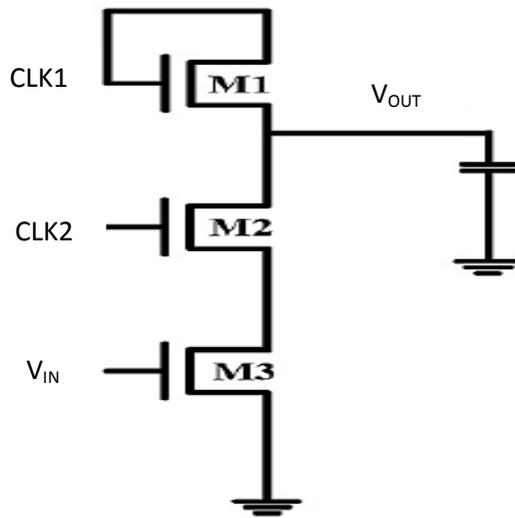
L'expression de la marge de bruit pendant cette phase est donnée par l'équation:

$$Mb = \frac{1}{\sqrt{2}} [D3] = V_{TD} - \frac{-V_{DD}\sqrt{R} + 2\sqrt{R}V_{TD} - V_{TL} + V_{DD} + V_{TL}\sqrt{R}}{\sqrt{R} + 1} \quad (\text{III. 14})$$

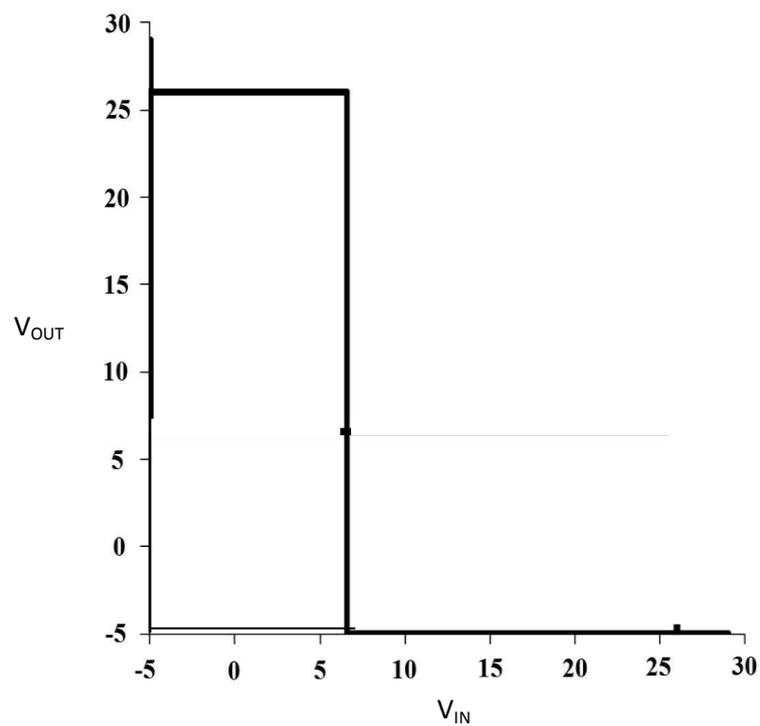
III. 4. 2. L'INVERSEUR DYNAMIQUE:

La plupart des circuits à base de TFT en a-Si :H sont dynamiques pour éviter la dissipation de puissance statique. L'inverseur dynamique utilise une séquence de précharge et des étapes d'évaluation conditionnelle avec deux entrées d'horloges. La configuration de

l'inverseur dynamique adoptée pour notre étude ainsi que sa caractéristique de transfert sont présentées les *figures III. 8-(a) et (b)*.



(a)



(b)

Figure III. 8. - (a) Inverseur dynamique à base de a-Si:H TFT étudié, - (b) sa caractéristique de transfert [16].

Les deux entrées d'horloge CLK1 et CLK2 sont des signaux carrés qui ne chevauchent pas. Lorsque CLK1 est à l'état haut et CLK2 est à l'état bas, la sortie est préchargée à $V_{DD} - V_{tho1}$. Lorsque CLK2 est à l'état haut et CLK1 à l'état bas, la sortie est évaluée en fonction de la tension d'entrée.

Puisque le courant ne traverse pas simultanément le transistor de charge et le transistor driver, la caractéristique de transfert est sous forme carrée, comme indiqué dans la **Figure. III . 8-(b)**.

Lorsque la tension d'entrée est inférieure à la tension de seuil du transistor M3, la tension de sortie de l'inverseur sera la même que la tension de précharge $V_{OUT} = V_{DD} - V_{tho1}$. Lorsque la tension d'entrée est au-dessus de tension de seuil de transistor M3, la tension de sortie égale à zéro.

Avec l'augmentation de la tension de seuil pour le transistor de charge (M1) et le transistor driver (M3), la caractéristique de transfert de l'inverseur passe par plusieurs étapes, avec l'analyse de la longueur maximale de la diagonale, on distingue quatre phases séquentielles de la courbe de transfert de l'inverseur [16].

Phase I: La marge de bruit M_b y est égale à la tension de seuil du transistor driver M3.

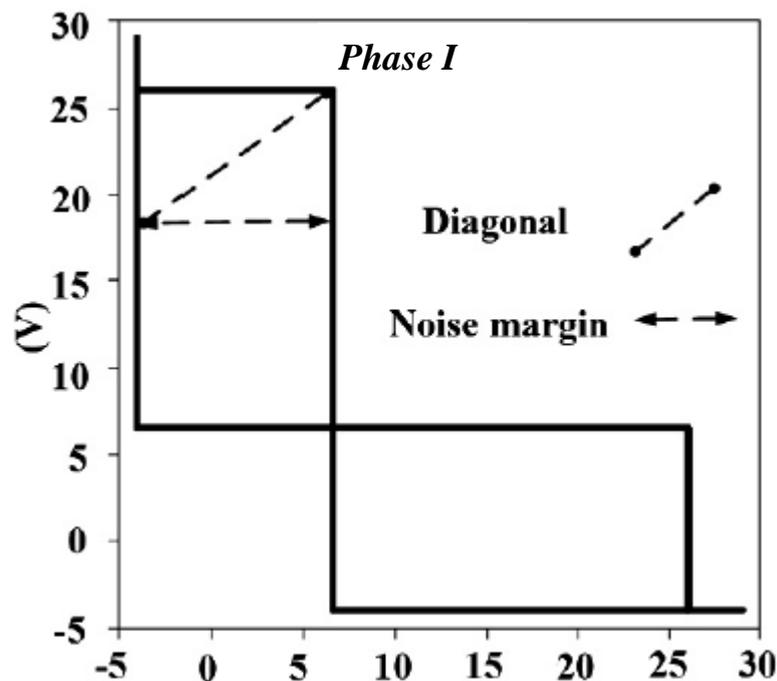


Figure III.9. Phase I de M_b [16].

$$M_b = V_{tm3} \quad (\text{III.15})$$

Avec V_{tm3} est la tension de seuil du transistor M3.

Phase II: La marge de bruit y atteint une valeur maximale.

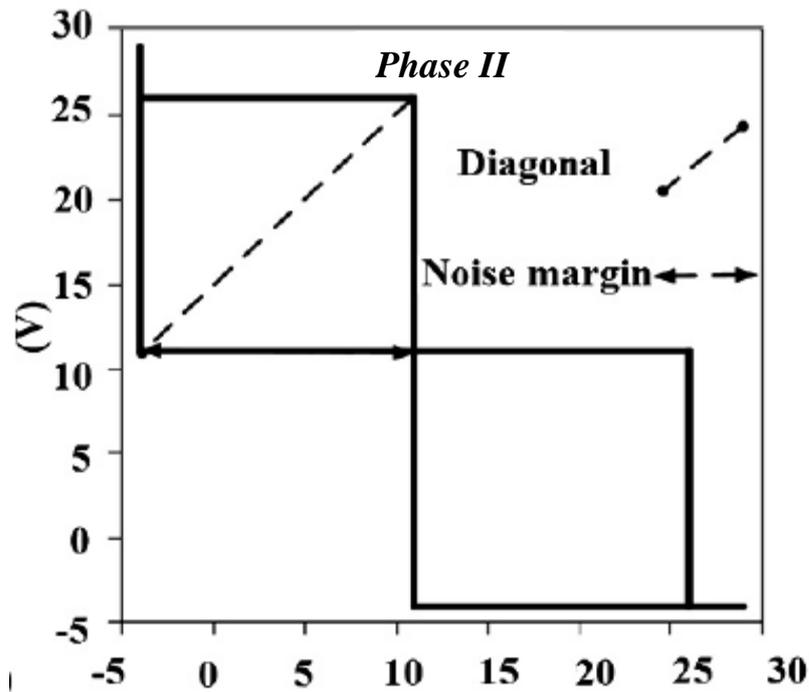


Figure III. 8. Phase II de M_b [16].

$$M_b = 1/2(V_{DD} - V_{tm01}) \quad (\text{III.16})$$

avec V_{tm01} est la tension de seuil initiale du transistor M1.

Phase III: Dans cette phase, la marge de bruit est la différence entre $V_{DD} - V_{tm01}$ et V_{tm3} telle que (figure III. 9).

$$M_b = V_{DD} - V_{tm01} - V_{tm3} \quad (\text{III.17})$$

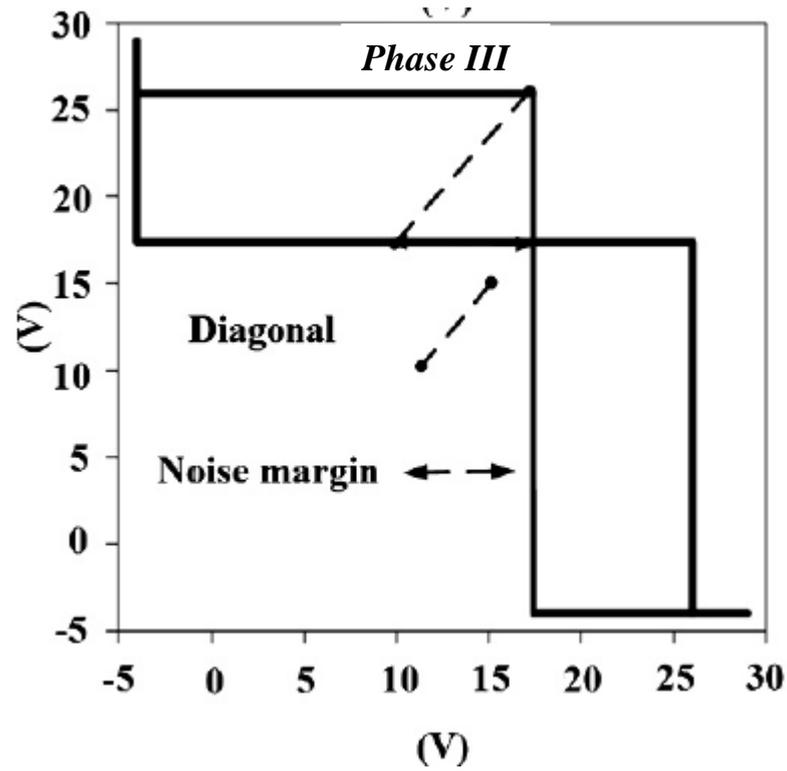


Figure III. 9. Phase III de Mb [16].

Phase IV: Lorsque la tension de seuil du transistor driver atteint $V_{DD} - V_{th01}$, Mb disparaît et donc $M_b = 0$ (figure III. 10).

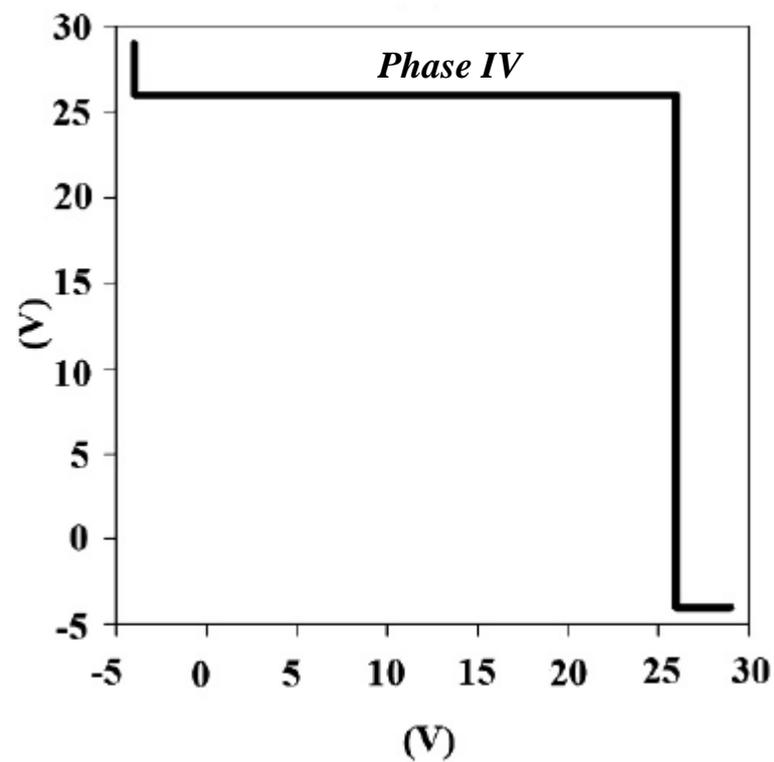


Figure III. 10. Phase IV de Mb [16].

CHAPITRE IV

RÉSULTATS ET INTERPRÉTATIONS

IV. 1. INTRODUCTION

Malgré que la technologie silicium amorphe (a-Si) soit bien adaptée pour les applications à grandes surfaces n'exigeant pas une grande vitesse telles que l'imagerie médicale et les afficheurs, les transistors en couches minces à base de ce matériau (a-Si:HTFTs pour hydrogenated amorphous silicon thin-film transistors) souffrent de la métastabilité inhérente au silicium amorphe qui limite les performances des circuits dans plusieurs applications. Le principal problème est la dégradation de la tension de seuil (V_{th}) quand ces transistors sont soumis à des tensions de stress prolongé.

Ainsi, dans ce chapitre nous allons présenter les résultats que nous avons obtenus concernant l'analyse de la dégradation de deux inverseurs à base de silicium amorphe. Ces deux inverseurs seront représentatifs des circuits numériques.

En effet, nous savons que tout circuit numérique peut être modélisé comme étant l'équivalent d'un inverseur logique. Ceci veut dire qu'il contient un circuit pull-up et un circuit pull-down vis-à-vis d'une capacité de charge.

Dans le présent travail, un inverseur statique et un inverseur dynamique à base de a-Si:HTFTs ont été analysés du point de vue dégradation de la tension de seuil des transistors les constituant, ainsi que celle de la marge de bruit. L'objectif de cette analyse est d'étudier la faisabilité d'utiliser la technologie a-Si pour la réalisation de circuits numériques qui puissent répondre aux exigences des applications qui existent déjà et qui pourraient exister.

La technologie a-Si dénote plusieurs considérations au niveau de conception. Il s'agit dans un premier temps de prendre en compte la mobilité limitée des porteurs de charge. Cela veut dire que, dans la construction de circuits électroniques, il y a lieu d'utilisation des transistors à canal N uniquement, les transistors à canal P n'ayant pas encore trouvé d'applications notables à cause de la mobilité dérisoire des trous. En conséquence, un concepteur se trouve dans l'obligation de revoir des techniques de design de circuits intégrés NMOS abandonnées depuis les années 80 quand la technologie CMOS (pour Complementary Métal-Oxide Semiconductor) supplanta les autres technologies déjà existantes. Il sera donc amené à étudier tous les compromis possibles entre vitesse du circuit et coût de fabrication. Par vitesse, il y a lieu de compenser les limitations de la faible mobilité sur le plan circuiterie en essayant de combiner l'utilisation d'autres techniques comme la logique PTL (pass transistor logic) par exemple, ou l'utilisation de signaux extérieurs aux circuits de manière à

bloquer les TFT dans les cycles où ils ne sont pas utilisés pour éviter justement le décalage de la tension de seuil et assurer une bonne stabilité du composant.

Donc, pour l'étude post-stress de nos deux inverseurs, nous avons essayé de présenter et discuter plus particulièrement l'allure de la tension de seuil des transistors sous tensions de stress en fonction du temps ainsi que le courant de drain. Et avec le modèle analytique décrivant les lois de variations de la marge de bruit sous stress [16] y compris le vieillissement des circuits, et qui a été expliqué en détail au chapitre III, nous avons essayé d'étudier la marge de bruit pour déterminer la viabilité de construire les circuits à base de a-Si. Nous avons essayé de déterminer les limites de la marge de bruit en fonction de la tension de seuil régissant le fonctionnement des circuits intégrés.

Pourquoi la tension de seuil précisément ? Nous estimons que cette tension, valeur à partir de laquelle tout transistor devient conducteur, est à la base de tout comportement du dispositif. un concepteur doit être très vigilant dans sa prise en compte en termes de stabilité des circuits à long terme et leur immunité au bruit. Cette vigilance concernera donc la susceptibilité du circuit ou de la porte d'interprétation des niveaux logiques d'une manière adéquate.

Nous avons aussi jugé nécessaire de déterminer la relation tension de seuil-marge de bruit. Cette influence est accompagnée d'une étude mathématique simple des transitions entre les phases de variation de la marge de bruit avec le temps.

Les résultats seront comparés au fur et à mesure avec d'autres travaux expérimentaux déjà publiés. L'objectif de cette procédure est de montrer et expliquer la relation entre la dégradation des paramètres des transistors à base a-Si:H et la durée de vie des circuits numériques.

Comme outils de simulations mathématiques, nous avons utilisé l'environnement d'un premier logiciel informatique, le MATLAB version R2009b, qui présente des facilités graphiques très intéressantes [21]. Avec ce logiciel on a essayé de simuler la marge de bruit en fonction du temps en suivant l'organigramme illustré sur la figure IV.1. Contrairement à la référence [16] interprétant le modèle de la marge de bruit, où la détermination de l'intervalle de chaque phase descriptive de l'évolution de la marge de bruit avec le temps a été faite expérimentalement, nous avons essayé de déterminer ces intervalles en fonction de la tension de seuil par la résolution des équations correspondantes pour déterminer les transitions (points d'intersections dans le modèle mathématique) et assurer la continuité du modèle.

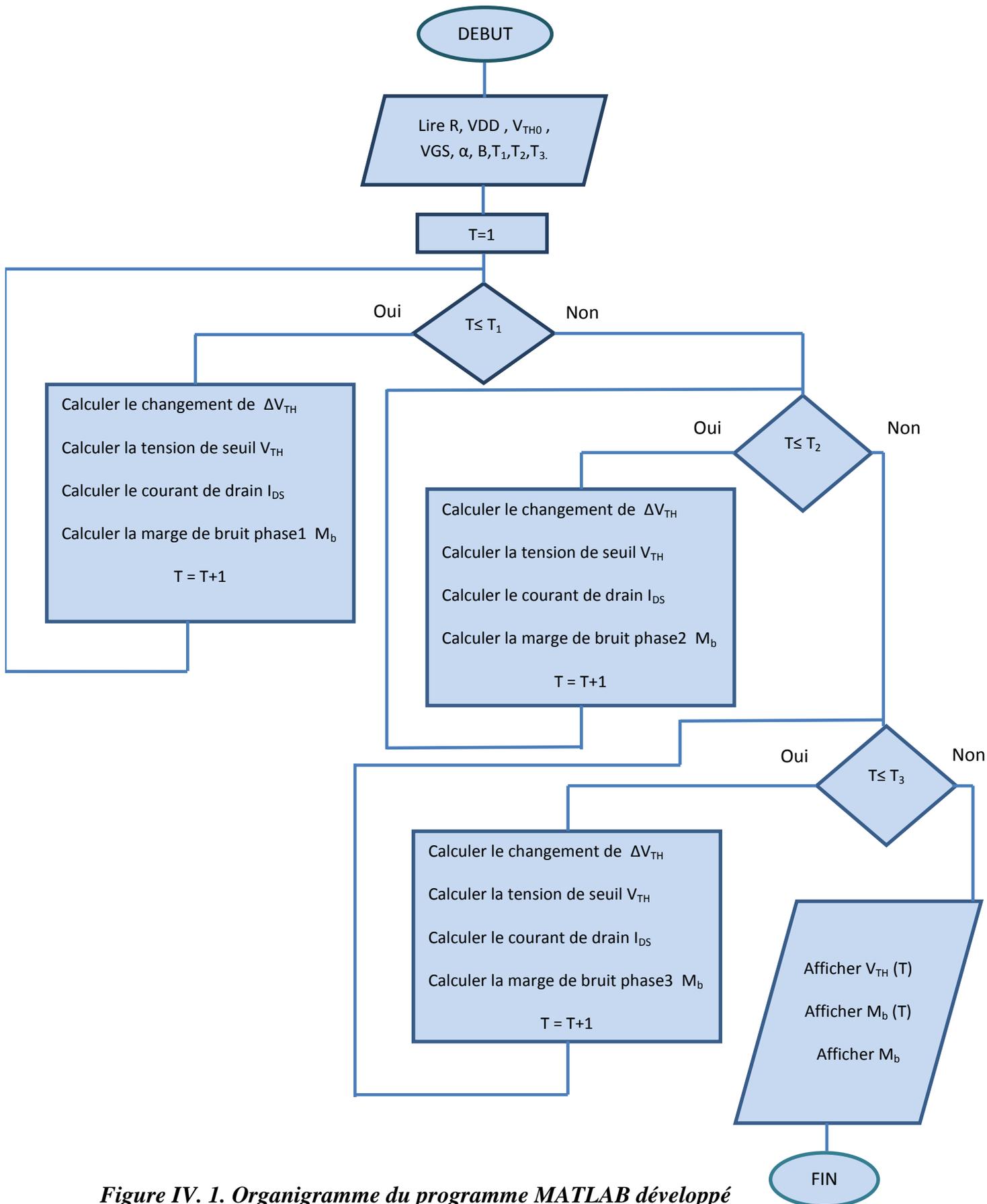


Figure IV. 1. Organigramme du programme MATLAB développé (les paramètres de la figure sont définis aux chapitre III).

Dans la dernière partie de ce chapitre on a utilisé un autre logiciel. Il s'agit du logiciel de simulation de circuits électroniques AIM-Spice (AutomaticIntegrated Circuit ModelingSpice). C'est un outil d'aide à la conception assistée par ordinateur (CAO) de circuits intégrés. Comme tout outil CAO, il permet la simulation de circuits en appelant des modèles déjà présents dans sa librairie. Cette dernière sera d'autant plus riche qu'elle contient des composants avec les modèles qui régissent leur fonctionnement. Ce logiciel cible justement le silicium amorphe, objet de notre travail.

Pour notre étude, les simulations transitoires ont été utilisées avec application de des trains d'impulsions aux transistors de commande.

Ainsi, pour montrer et expliquer la dégradation de la tension de sortie d'un inverseur avec le temps et son influence sur les circuits numériques, nous avons pris une autre étude de cas. Il s'agit de la simulation d'une chaîne de trois portes logiques identiques placées en série qu'on met sous des tensions de stress à des intervalles de temps bien déterminés.

L'étude de cette chaîne aura pour but de nous donner une idée sur la mise en cascade de ce type d'inverseurs, et d'analyser la constitution de circuits numériques, car, pour ce faire, l'on aura à combiner uniquement les circuits pull-down, les circuits pull-up, eux, sont dans la plupart des applications, fixes, c'ad, soit des transistor N à enrichissement connectés en diodes, soit des configurations pour circuits boot-strap [28].

AIM-Spice est une version de SPICE qui est simple, efficace, et supporte les analyses DC, AC, transitoire, fonction de transfert, Pole-Zero, et analyse de bruit. Ce logiciel comporte des modèles qui sont utilisés pas seulement pour la simulation des circuits mais aussi pour l'extraction exacte des paramètres, ce qui le rend très commode pour des applications pratiques [18].

Pour obtenir certains résultats, nous avons été amenés à combiner les deux outils Matlab et Aim-spice (voir ultérieurement).

IV. 2. IMPLANTATION D'UN INVERSEUR EN TECHNOLOGIE a-Si

Comme nous l'avons mentionné plus haut, l'implantation d'un transistor a-Si de type P n'est pas faisable à cause de la mobilité faible des porteurs de charge positive. Aussi, il est difficile de doper une couche amorphe d'une façon substitutionnelle, ce qui rend l'obtention de transistors à déplétion difficile. Il reste donc deux manières pratiques pour implanter un inverseur a-Si. La figure IV-2 montre deux configurations pour ce circuit.

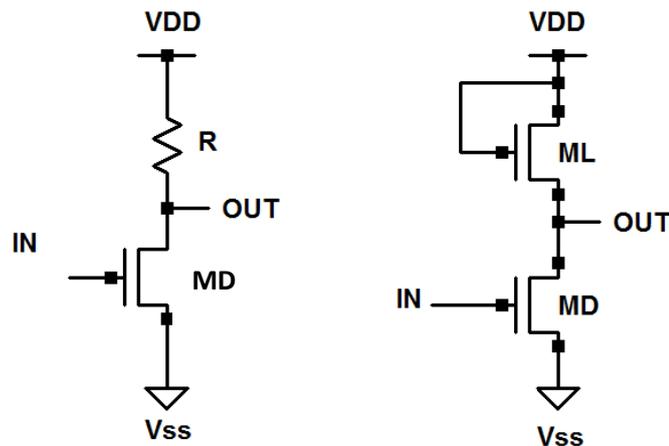


Figure IV. 2. Configurations possibles d'inverseurs a-Si, avec charges passive (à gauche) et active (à droite).

L'inverseur à charge active est le plus utilisé car un transistor prend moins de place en terme de surface de layout par rapport à une résistance. Néanmoins, ce circuit présente un inconvénient du fait que le transistor ML soit toujours en saturation. Ceci provoque un décalage de la tension de seuil [27] et altère le circuit à long terme. Nous verrons ultérieurement l'une des solutions adoptées pour palier à cet inconvénient.

IV. 3. INVERSEUR STATIQUE

IV. 3. 1. FONCTIONNEMENT

Le circuit de l'inverseur statique adopté pour notre étude est représenté sur la figure (IV. 3), lequel consiste en un transistor driver (de commande) MD a-Si:H TFT piloté par une tension d'entrée V_{IN} , et un transistor de charge ML a-Si:H TFT avec la grille connectée au

drain. Ce transistor est toujours en saturation, vu sa configuration. L'inverseur pilote une capacité de charge C_t (l'exemple de 10 pF est pris dans les simulations).

Le fonctionnement de l'inverseur, comme nous le savons, est divisé en deux périodes : transition bas-haut (pull-up) et transition haut-bas (pull-down) Ces deux cycles sont représentés sur la figure IV-4.

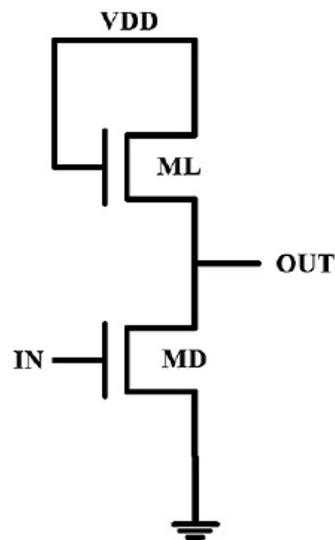


Figure IV. 3. Inverseur statique étudié.

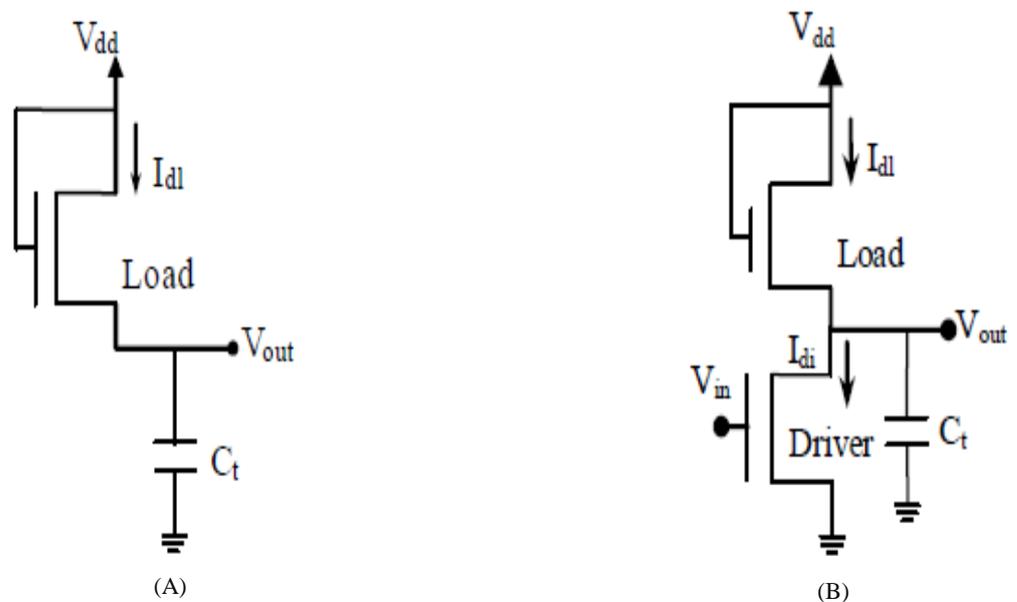


Figure IV.4. Transitions L-H (A) et H-L (B) d'un inverseur statique étudié.

Durant la transition bas-haut comme illustré sur la figure (IV. 4-A), la tension d'entrée passe de V_{DD} à 0, le transistor driver MD est bloqué et le transistor ML charge la capacité de charge et la tension de sortie de l'inverseur passe d'un niveau de sortie bas V_{OL} à un niveau de sortie haut V_{OH} .

Par contre, la transition haut-bas (pull-down ou H-L) comme illustré sur la figure (IV. 4-B), est régie par une tension d'entrée qui passe de 0 à V_{DD} . Initialement, le transistor de commande est dans l'état OFF, puis commence à conduire. Le transistor ML, toujours en saturation et le transistor MD se comporte comme une résistance, étant en régime linéaire. La tension de sortie de l'inverseur passe alors de d'un niveau logique haut V_{OH} à un niveau logique final bas V_{OL} . Le calcul détaillé de ces deux niveaux est calculé en détail dans [30]. Pour élucider le fonctionnement de notre inverseur, nous avons procédé à des simulations pour lesquelles une tension de stress continue de 30 V est appliquée à son entrée avec une tension d'alimentation V_{DD} de 30 V.

Les paramètres et les caractéristiques des transistors amorphes utilisés pour les simulations sont représentés sur le tableau IV. 1 [16, 25].

Tableau IV. 1. Paramètres du transistor a-Si:H TFT utilisé pour la simulation [16, 25].

Tension de seuil initiale	V_{th0}	3V
Paramètre lié à la fabrication d'un transistor	α	0.0165
Paramètre lié à la fabrication d'un transistor	β	0.31
Largeur du canal pour le transistor driver	W_L	55 μ m
Largeur du canal pour le transistor driver	W_D	110 μ m
Longueur du canal	L	11 μ m
Mobilité des électrons	μ_0	0.3cm ² /Vs
Capacité du diélectrique de grille	C_{ox}	0.332fF/ μ m ²
Epaisseur d'isolant de grille	d	3000Å

IV. 3. 2. DEGRADATION DE LA TENSION DE SEUIL

Sur la figure IV. 5, nous avons représenté la dégradation de la tension de seuil V_{th} en fonction du temps (expression II. 1). L'application de tensions positives à la grille du transistor a-Si:H TFT pour une longue durée provoque des changements au niveau de la tension du seuil [26].

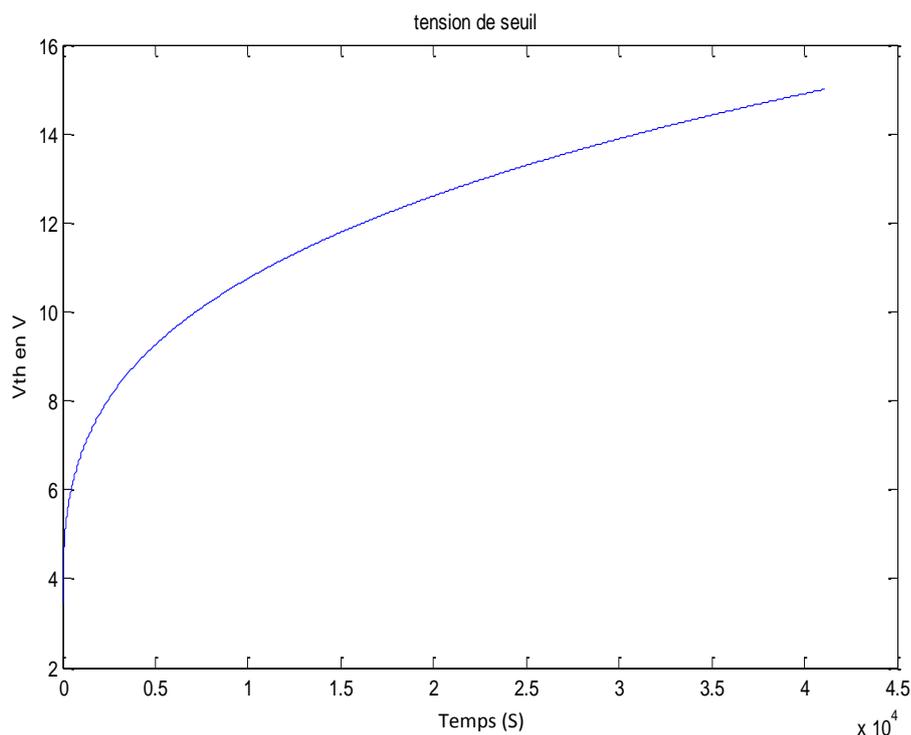


Figure IV. 5. Evolution de la tension de seuil V_{th} de l'inverseur statique sous stress.

On peut observer sur cette figure une augmentation significative de la tension de seuil, qui augmente considérablement avec le temps. Au début, l'augmentation de cette tension est rapide, puis il y a un ralentissement avec le temps. La tension de seuil varie de façon similaire pour les deux transistors de charge et de commande.

Deux mécanismes sont considérés responsables de l'instabilité du V_{th} dans un transistor a-Si:H TFT. Comme expliqué au chapitre II, le premier mécanisme est l'injection de charges dans le diélectrique de grille qui va augmenter le nombre de charges fixes dans la couche du nitrure de silicium (a-SiN_x). Le deuxième mécanisme consiste en la création d'états de défauts dans le canal du transistor amorphe expliquée par la structure amorphe qui fait que certaines liaisons Si-Si du matériau soient rompues pour induire des liaisons

pendantes (dangling bonds). Ces liaisons pendantes sont des défauts qui agissent comme des centres de recombinaison pour les porteurs de charges. Les états de défauts sont localisés dans le canal de conduction du a-Si:H[27].

IV. 3. 3. DEGRADATION DE LA MARGE DE BRUIT

Sur la figure IV. 6 est illustrée l'évolution de la marge de bruit $M_b(t)$ dans ses différentes phases (chapitre III paragraphe 4.1) en fonction du temps obtenue après simulations. Pour vérifier cette évolution, nous l'avons comparée avec des travaux expérimentaux déjà publiés. Alors que la courbe (a) représente nos résultats utilisant les mêmes paramètres de simulations que dans les références [25], la courbe (b) représente les résultats expérimentaux réalisés par [16]. Comme on le voit clairement sur la figure IV. 6, les résultats de simulation et les résultats expérimentaux montrent que la marge de bruit augmente initialement puis diminue jusqu'à s'évanouir vers zéros.

La marge de bruit de l'inverseur progresse à travers quatre phases décrites comme suit :

Phase I : C'est la phase initiale, avant l'application des tensions à l'entrée de l'inverseur où il n'y a pas de changement sur la marge de bruit. Elle correspond à $t=0s$ (expression III. 12).

Phase II : Cette phase correspond au cas où l'inverseur est mis sous des tensions positives. La marge de bruit y augmente progressivement en fonction du temps. (expression III. 12).

Phase III : C'est la phase de transition pendant laquelle la marge de bruit passe de l'augmentation à la diminution. C'est une phase à courte durée qui fait la liaison entre la phase II et la phase IV (expression III. 13).

Phase IV : C'est la phase pendant laquelle la marge de bruit diminue jusqu'à atteindre la valeur zéro (expression III. 14).

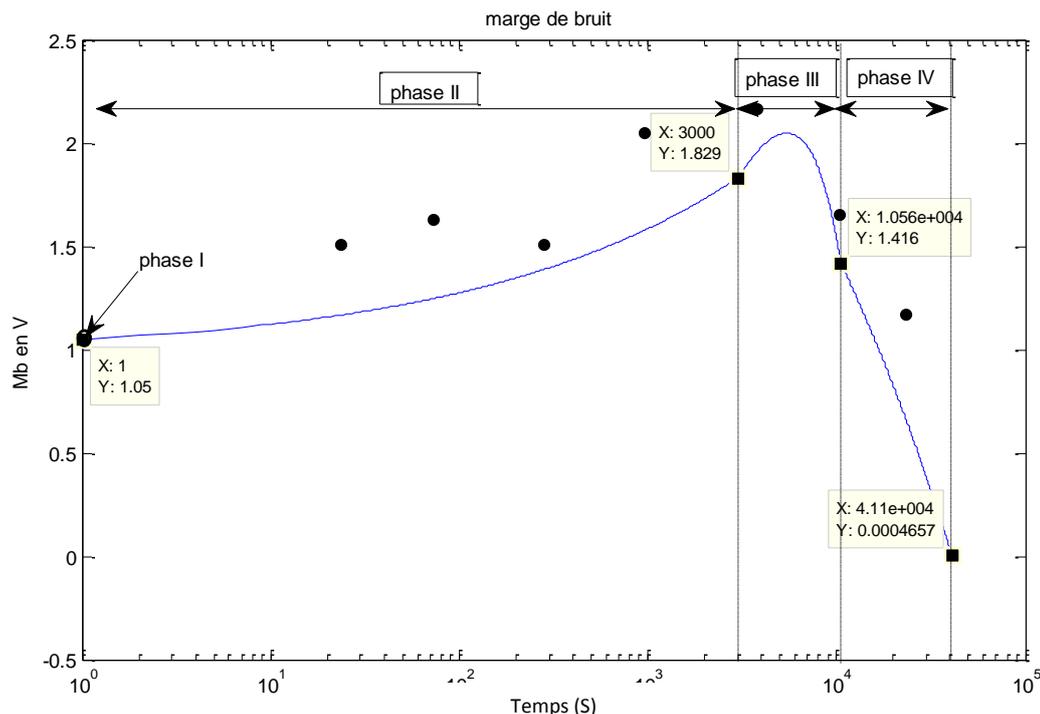


Figure IV. 6. Dégradation de la marge de bruit en fonction du temps.

(A —) Notre travail, (B ●) résultats expérimentaux [16]

Les résultats expérimentaux montrent que la durée de vie prédite du circuit est de 62220 s [16]. Cette durée de vie est définie et calculée comme étant la période de fonctionnement effectif de l'inverseur. En d'autres termes, avant que la marge de bruit ne passe à la valeur zéro où l'inverseur cesse de fonctionner. Dans notre travail la durée de vie prédite du circuit obtenue par calcul est de 41113 s.

IV. 3. 4. DEGRADATION DE LA MARGE DE BRUIT EN FONCTION DE LA TENSION DE SEUIL

La tension de seuil a une grande influence sur la marge de bruit de l'inverseur. Elle est proportionnelle à la dimension de "l'œil" de la courbe caractéristique (voir chapitre III). Comme la tension de seuil augmente à cause de la tension de stress, la dimension de "l'œil" diminue, puis commence par se fermer. La marge de bruit disparaît ce qui a pour conséquence de rendre l'opération des circuits numériques impossible [25].

La figure IV. 7 représente l'évolution de la marge de bruit en fonction de la tension de seuil $Mb(V_{th})$ (voir chapitre III). Elle montre clairement que la marge de bruit est influencée par la tension de seuil. Elle augmente puis diminue à zéro pour une valeur de $V_{th} = 15V$.

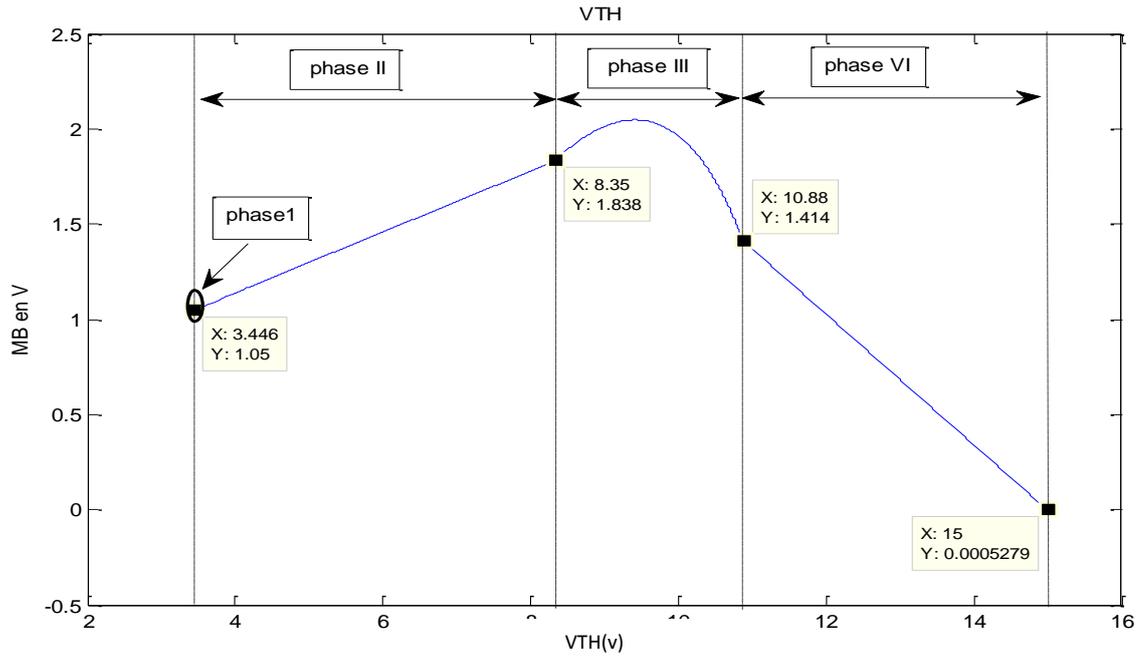


Figure IV. 7. Dégradation de la marge de bruit en fonction de la tension de seuil.

La variation de la tension de seuil des a-Si : H TFT sous tensions de stress positives ou négatives est donné par l’expression [16] :

$$\Delta V_{th} = \alpha(V_{GS} - V_{TO})T^\beta \tag{II. 1}$$

Comme les effets sont cumulatifs, la variation de la marge de bruit en fonction de la tension de seuil passe aussi par quatre phases :

Phase I : Elle correspond au cas où l’inverseur n’est pas mis sous tension de stress, donc le changement sur la tension de seuil et la marge de bruit est nulle. Dans cette phase $\Delta V_{th} = 0$ V et $\Delta Mb=0$.

Phase II : Dans ce cas, l’inverseur est mis sous tension de stress. La marge de bruit augmente proportionnellement avec l’augmentation de la tension de seuil. Cette phase s’étend à des décalages de ΔV_{th} tels que $0 \text{ V} < \Delta V_{th} < 5.35 \text{ V}$ (voir annexe B).

Phase III : Cette phase est une transition de la marge de bruit qui, en fin de son augmentation avec la tension de seuil, fini par diminuer. Elle s’étend à des décalages de ΔV_{th} tels $5.35 \text{ V} < \Delta V_{th} < 7.88 \text{ V}$ (voir annexe B).

Phase IV : Dans cette phase, la marge de bruit continue à diminuer jusqu’à s’annuler. Elle commence à partir de $\Delta V_{th} > 7.88 \text{ V}$.

La durée de vie et le vieillissement des circuits numériques sont étroitement liés à la marge de bruit, comme indiqué plus haut. Quand la marge de bruit diminue à zéro les circuits numériques ne fonctionnent plus [25].

Quand la tension d'alimentation V_{DD} devient égale à la tension de seuil du transistor de charge et le transistor driver, ce qui se traduit par $V_{DD} = V_{thL} + V_{thD}$, il n'y aura plus de marge de bruit, l'immunité au bruit du circuit s'évanouit et il cesse de fonctionner [16].

IV. 3.5. DEGRADATION DU COURANT DU TRANSISTOR DE COMMANDE

Les figures IV. 8 et IV. 9 (expression III. 8) représentent respectivement l'évolution du courant du drain en fonction du temps et en fonction de la tension de seuil pendant l'application des tensions de stress. On peut voir clairement l'influence de la tension de seuil sur le courant de drain.

Puisque le transistor est dans la région de saturation sous la tension de stress positive, le courant de drain commence par la valeur max I_{DSsat} max puis diminue en fonction du temps comme le montre la figure IV. 8.

Toute augmentation de la tension de seuil provoque une diminution sur le courant du transistor a-Si:H TFT, comme le montre la figure IV. 9.

La diminution du courant I_{DS} dans le temps provoque une baisse dans la luminosité dans les matrices actives d'afficheurs à cristaux liquides [25].

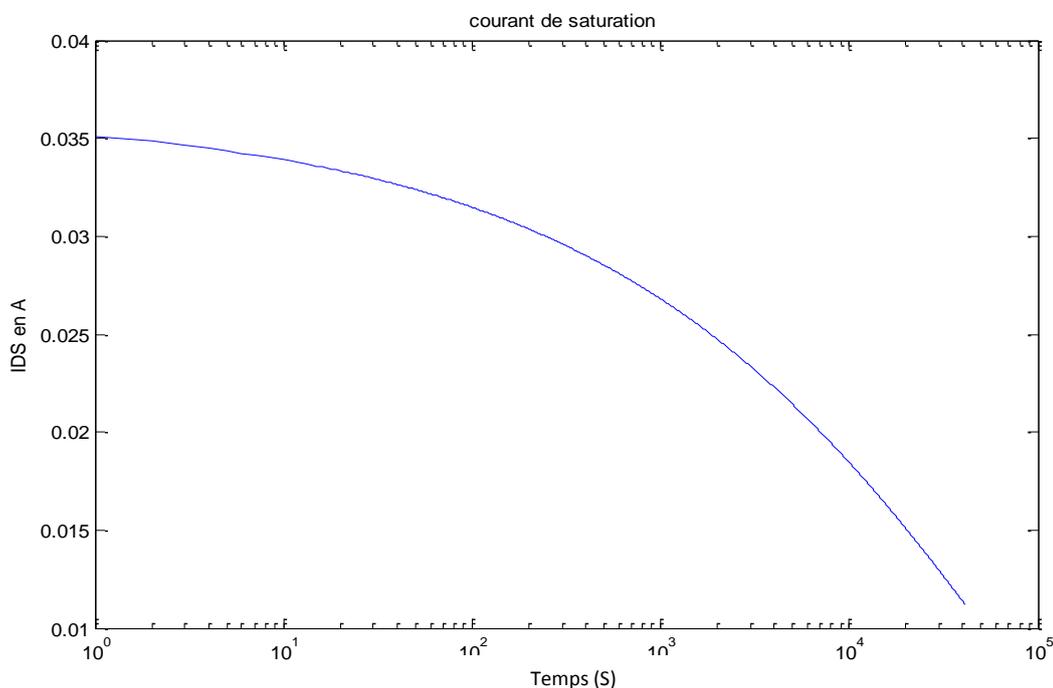


Figure IV. 8. Dégradation du courant du transistor driver en fonction du temps.

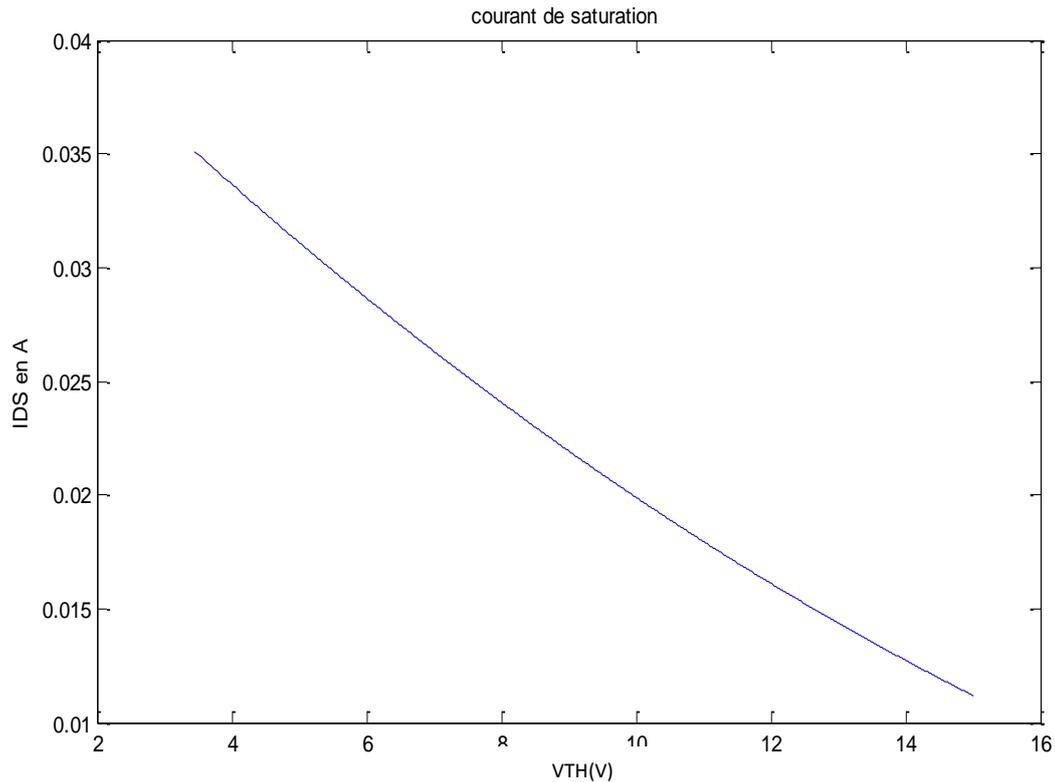


Figure IV. 9. Dégradation du courant du transistor driver en fonction de la tension de seuil.

IV. 4. INVERSEUR DYNAMIQUE a-Si

L'analyse de l'inverseur dynamique sert à compléter celle de l'inverseur statique car pratiquement tous les circuits a-Si sont dynamiques, et ainsi le problème de la dissipation de puissance statique se trouve contourné.

Le circuit de l'inverseur dynamique est représenté sur la figure (IV. 10), lequel consiste en trois transistors a-Si:HTFTs M1, M2 et M3. Dans ce circuit, M1 est appelé transistor de charge avec la grille connectée au drain, M3 est piloté par la tension d'entrée V_{IN} , alors que les deux transistors M1 et M2 sont conditionnés par les deux horloges CLK1 et CLK2.

Une condition que doivent respecter les deux signaux CLK1 et CLK2 est qu'ils ne doivent pas chevaucher l'un avec l'autre. Cette 'séparation' temporelle a pour but de séparer les deux transitions pour éviter la dissipation de puissance statique (chapitre III). L'inverseur pilote une capacité de charge C_L (un exemple de 10pF est pris pour illustration). Comme l'inverseur statique le fonctionnement de l'inverseur est divisé en deux périodes : transition bas-haut (pull-up) et transition bas-haut (pull-down).

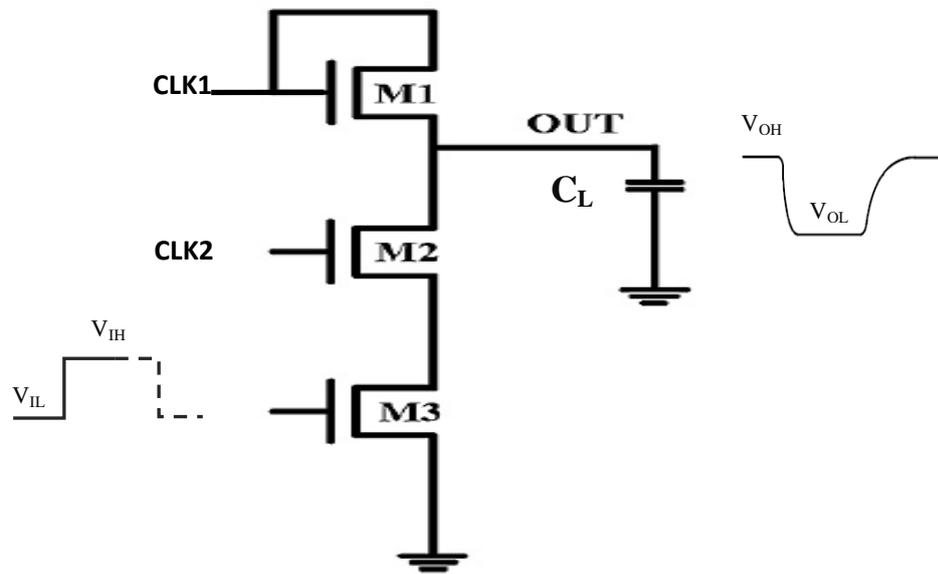


Figure IV.10. L'inverseur dynamique a-Si étudié.

La transition bas-haut (pull-up ou L-H) est caractérisée par CLK1 est à l'état haut et CLK2 est à l'état bas, le transistor M1 charge la capacité de charge et la tension de sortie de l'inverseur passe de V_{OL} à V_{OH} . Pour le circuit dynamique cette transition est appelée séquence de précharge.

La transition haut-bas (pull-down ou H-L) correspond à la période durant laquelle CLK2 est à l'état haut et CLK1 est à l'état bas. La sortie est alors évaluée en fonction de la tension d'entrée.

Quand la tension d'entrée V_{in} appliquée à M3 est inférieure à la tension de seuil de ce transistor, la tension de sortie de l'inverseur est la tension de précharge, c'est-à-dire V_{DD} diminuée de V_{th} . Dès que cette tension d'entrée dépasse le seuil de M3, la sortie de l'inverseur s'annule.

Pour l'étude de notre inverseur dynamique, une tension de stress de 30 V est appliquée sur son entrée. Les deux entrées d'horloge CLK1 et CLK2 sont des signaux carrés de 30V crête à crête et qui ne chevauchent pas [5] (voir chapitre III).

Les paramètres et les caractéristiques des transistors amorphes utilisés pour la simulation sont représentés dans le tableau (IV.2) [16] sachant que les transistors (M1, M2 et M3) sont identiques.

Tableau IV.2. Paramètres des transistors a-Si:HTFTs utilisés pour la simulation. [16]

Tension de seuil initiale	V_{T0}	3.2 V
Paramètre lié à la fabrication du transistor	α	0.0165
Paramètre lié à la fabrication du transistor	β	0.31
Longueur du canal	L	11 μm
Largeur du canal	W	110 μm
Mobilité des électrons	μ_0	0.3 cm^2/Vs
Capacité du diélectrique	C_{ox}	0.332 $\text{fF}/\mu\text{m}^2$
Epaisseur d'isolant	d	3000 Å

IV. 4. 1. DEGRADATION DE LA TENSION DE SEUIL

L'évolution de la tension de seuil avec le temps, décrite par l'expression II.1 de l'inverseur dynamique, est représentée sur la figure IV. 11. Au début, l'augmentation est rapide, puis elle ralentit avec le temps, comme pour l'inverseur statique.

Ce comportement anormal est attribué aux deux mécanismes déjà cités pour le cas de l'inverseur statique :

- (i) injection des charges dans le diélectrique de grille.
- (ii) création de défauts dans le canal du a-Si:H.

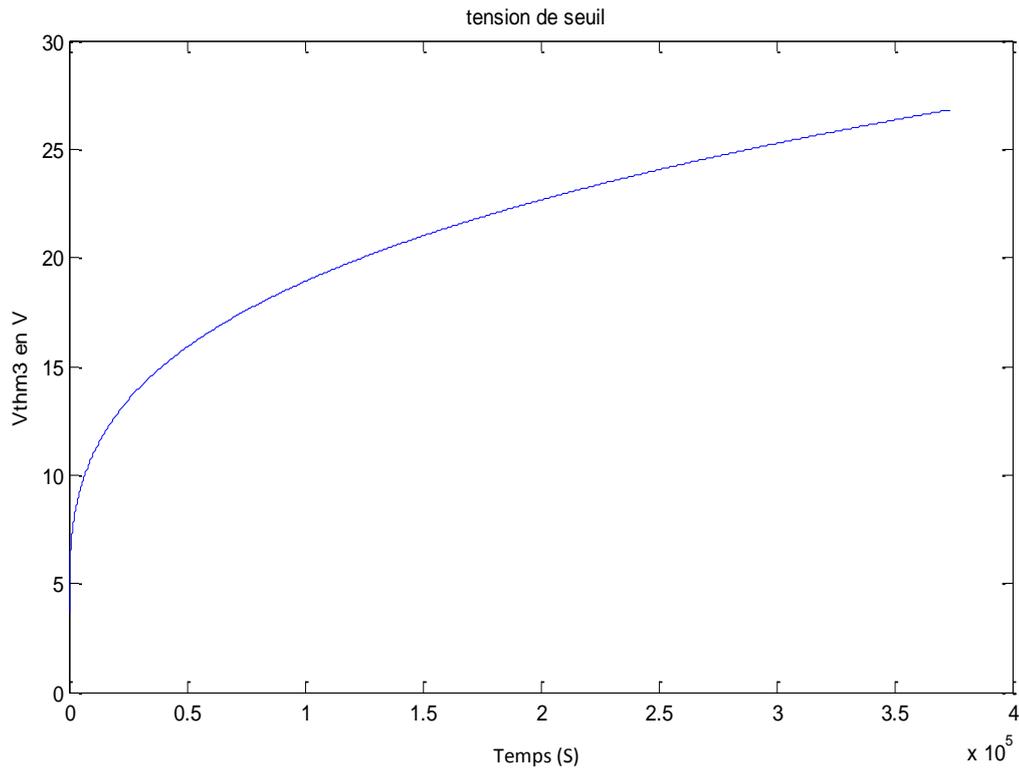


Figure IV. 11. Dégradation de la tension de seuil (V_{thM3}) de l'inverseur dynamique sous stress.

La tension de seuil du transistor M1 est presque constante, puisque elle ne change pas beaucoup avec le temps [16]. Alors que la tension de seuil du transistor M3 augmente avec le temps. Ce résultat prévisible est dû au temps d'application des tensions de stress sur M1 qui est moindre par rapport au M3.

IV. 4. 2. DEGRADATION DE LA MARGE DE BRUIT

Cette dégradation est illustrée sur la figure IV. 12. Les résultats de simulation et les résultats expérimentaux montrent que la marge de bruit augmente initialement puis diminue jusqu'à s'annuler. Cette évolution passe à travers quatre phases. :

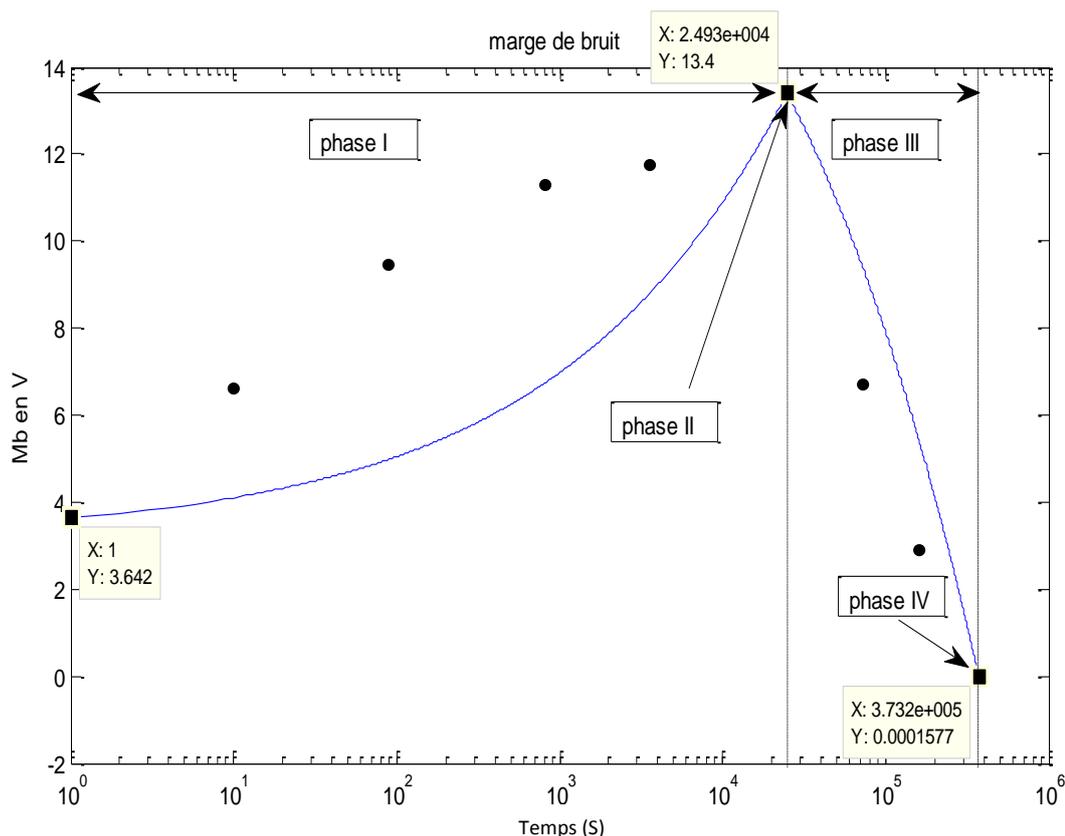


Figure IV. 12. Dégradation de la marge de bruit en fonction du temps pour l'inverseur dynamique.

(A —) Notre travail, (B •) résultats expérimentaux [16]

Phase I : C'est la phase qui correspond à une marge de bruit à l'état initial, $t=0s$. Il n'y a pas de changement de la marge de bruit. Puis, avec l'application d'une tension de stress positive, ce paramètre augmente avec le temps jusqu'à atteindre une valeur maximum (expression III.15).

Phase II : C'est une phase à courte durée. Elle correspond à une valeur maximum de la marge de bruit de 13.4V(expression III.16).

Phase III : La marge de bruit dans cette phase commence à diminuer jusqu'à atteindre la valeur zéro(expression III.17).

Phase IV : La marge dans cette phase est égale à zéro (expression III.18).

La figure IV. 11 montre que la durée de vie du circuit a une valeur de $3.732 \cdot 10^5$ s après quoi la marge de bruit s'annule.

Le Choix du carré pour l'analyse de la marge de bruit est la cause de la différence entre la simulation et les résultats expérimentaux [16].

IV. 4. 3. DEGRADATION DE LA MARGE DE BRUIT AVEC LA TENSION DE SEUIL

La figure IV.13 présente l'évolution de la marge de bruit en fonction de la tension de seuil M_b (V_{thm3}). Cette figure montre clairement que la marge de bruit de l'inverseur dynamique est influencée par l'instabilité de la tension de seuil à cause de l'application de la tension de stress pour une longue durée. Elle augmente puis diminue à zéro pour une valeur de $V_{thm3} = 26.8V$. Comme la tension de seuil augmente à cause de la tension du stress la dimension de "l'œil" diminue, et elle commence par se fermer. Cette phase se termine par une marge de bruit de l'inverseur dynamique qui disparaît complètement quand "l'œil" est fermé. A ce moment-là, l'opération des circuits numériques est impossible [25].

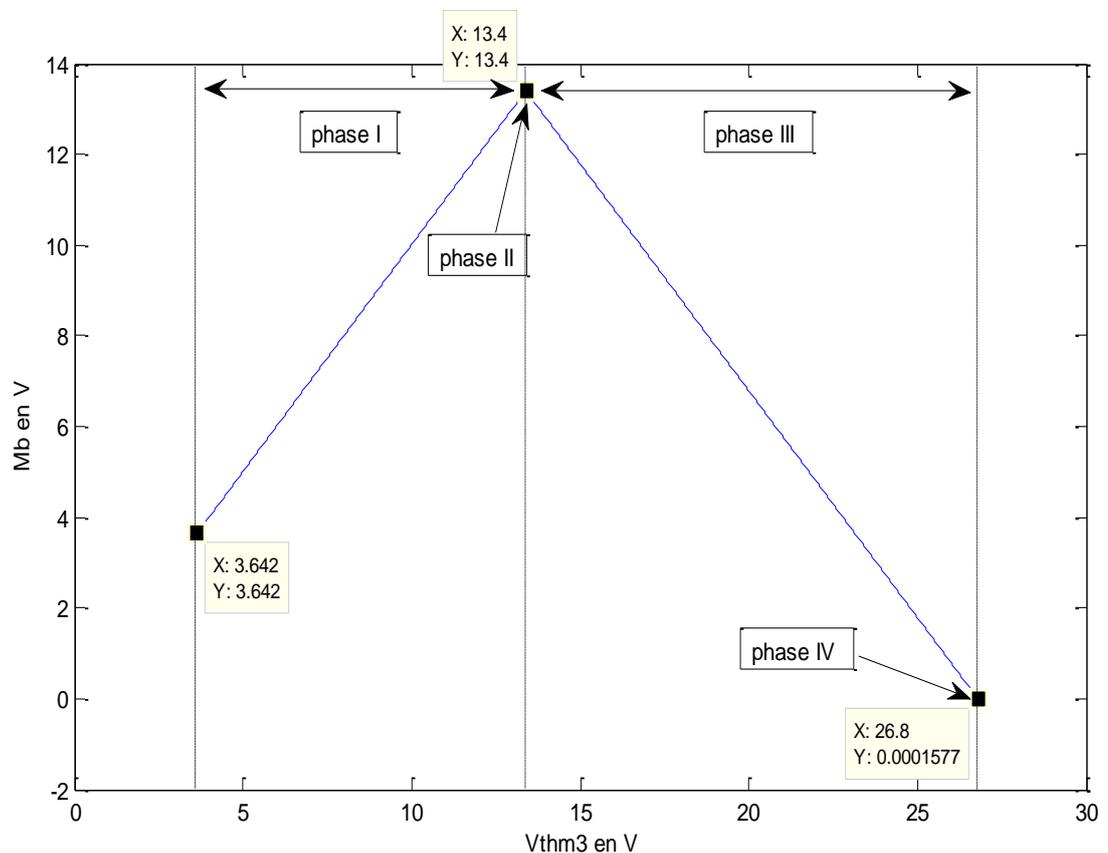


Figure IV. 13. Dégradation de la marge de bruit de l'inverseur Dynamique avec la tension de seuil.

Comme pour l'inverseur statique, la variation de la marge de bruit de l'inverseur dynamique en fonction de la tension de seuil passe par quatre phases :

Phase I : La marge de bruit augmente à partir de l'état initial avec la tension de seuil. Cette phase s'étend pour des décalages de V_{thM3} tels que $3.2 V < V_{thM3} < 13.4 V$ (voir annexe).

Phase II : Cette phase correspond à $V_{thM3} = 13.4V$, où la marge de bruit est à sa valeur maximum.

Phase III : Dans cette phase, la marge de bruit commence à diminuer quand la tension de seuil augmente. Elle s'étend pour des décalages de V_{thM3} tels que $13.4V < V_{thM3} < 26.8 V$ (voir annexe).

Phase IV : Cette phase correspond à $V_{thM3} = 26.8V$ où la marge de bruit est nulle.

Quand la tension d'alimentation V_{DD} est égale à la tension de seuil du transistor M1 et le transistor M3, c'est-à-dire, $V_{DD} = V_{thM1} + V_{thM3}$, il n'y aura pas de marge de bruit suffisante et le circuit ne fonctionne plus [16].

IV. 4. 4. DEGRADATION DU COURANT DEDRAIN

Les figures IV. 14 et IV. 15 représentent respectivement l'évolution du courant de drain en fonction du temps et en fonction de la tension de seuil pendant l'application des tensions de stress. Le courant de drain du transistor M3 qui est donné par l'expression III.8 diminue en fonction du temps en présence d'une tension de stress positive comme le montre la figure IV.14.

La figure IV. 15 montre l'évolution du courant I_{DS} qui est lié au changement de la tension de seuil telle que toute augmentation sur la tension de seuil provoque une diminution sur le courant de drain du transistor a-Si:H TFT, et à son tour la diminution du courant I_{DS} provoque une baisse dans la luminosité des matrices actives d'afficheurs à cristaux liquides [25]. En effet, on veille toujours, dans la conception de ces matrices, à augmenter la capacité des TFT à commuter les différents signaux lorsqu'ils font partie de ces matrices et/ou à piloter les lignes et les colonnes de ces matrices lorsqu'ils font partie des circuits périphériques de commande.

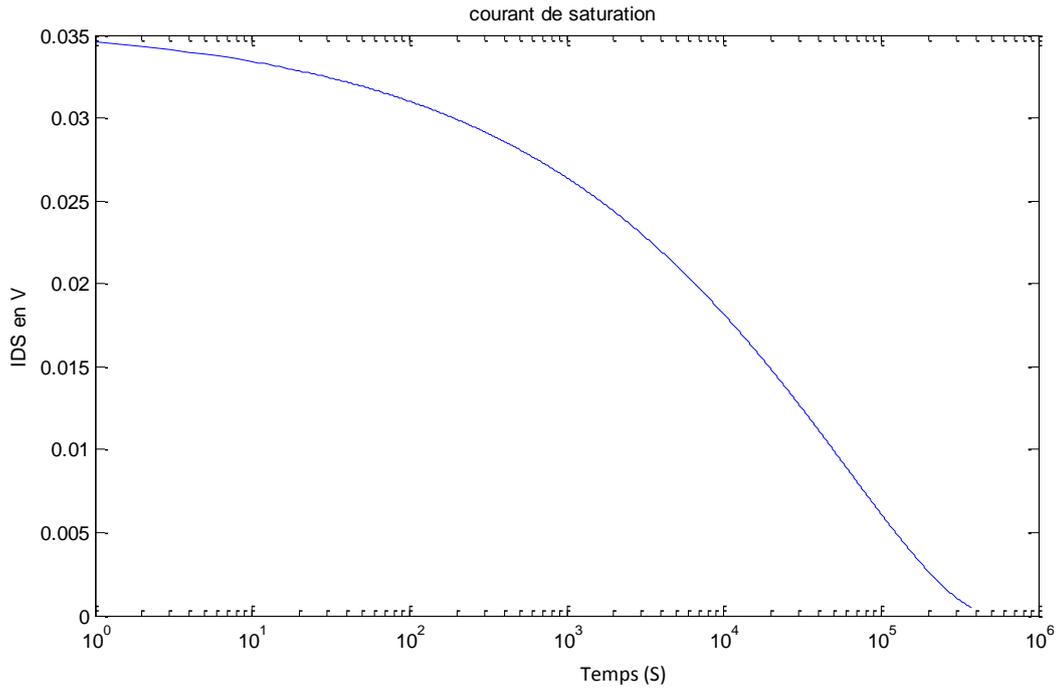


Figure IV.14. Dégradation du courant du transistor driver en fonction du temps.

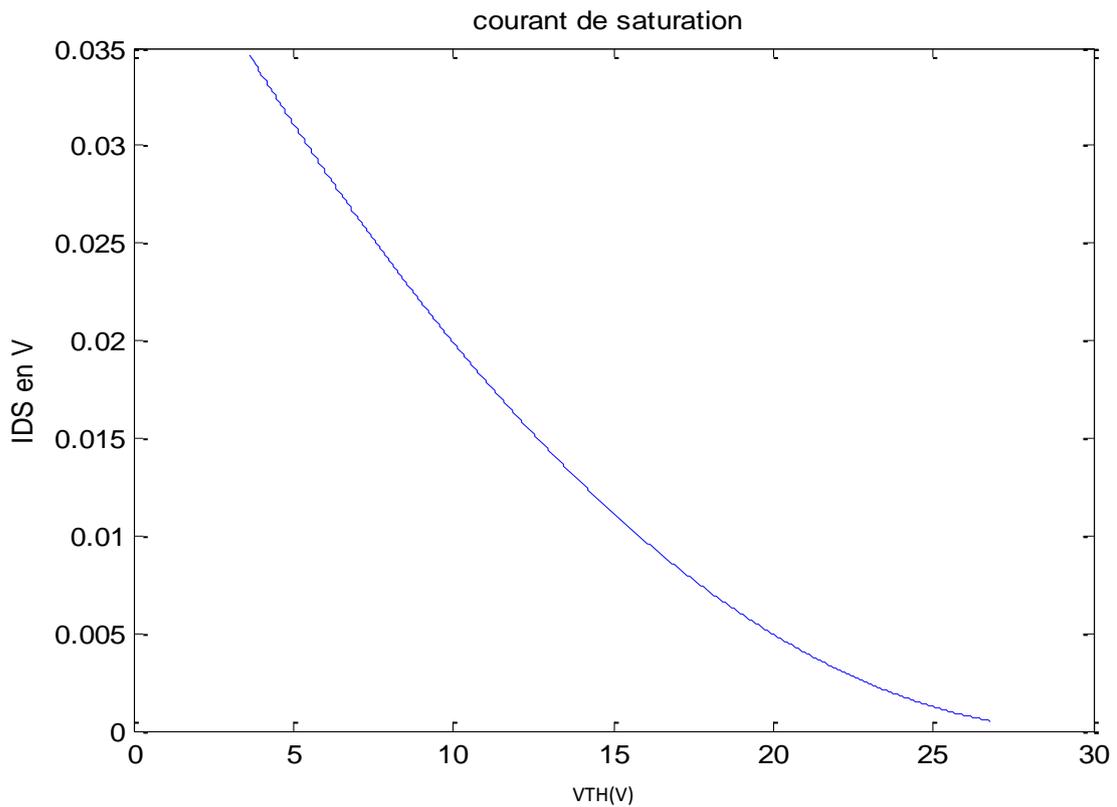


Figure IV. 15. Dégradation du courant du transistor driver en fonction de la tension de seuil.

A partir des résultats que nous avons obtenus, on peut voir que la durée de vie de l'inverseur dynamique a-Si:H TFT utilisé se trouve améliorée par rapport à la durée de vie de l'inverseur statique. La cause réside dans la façon dont les TFT relatifs à ces deux inverseurs sont sollicités. Dans le cas de l'inverseur statique, c.à.d., la variante que nous avons utilisée, la tension V_{GS} est la même pour les deux transistors, alors, les tensions de seuil du transistor de charge ML et du transistor de commande MD augmentent d'une manière similaire avec le temps. Pour l'inverseur dynamique, la tension V_{GS} n'est pas la même pour les deux transistors, alors, la tension de seuil du transistor de charge M1, va augmenter beaucoup plus lentement que celle du transistor M3.

IV. 5. IMPACT DE LA MARGE DE BRUIT SUR LES CIRCUITS NUMERIQUES

Comme déjà définie, la marge de bruit est un critère très important dans la définition de l'immunité au bruit de n'importe quel circuit électronique. C'est le signal maximum admissible qui peut être accepté par une porte logique pour réaliser des opérations correctes et fiables [6]. Une marge de bruit positive indique que les opérations logiques peuvent être accomplies avec ces circuits numériques. Les logiques de sorties 'haut' et 'bas' qui seront reconnues par les grilles de réception en sont un exemple. Avec l'augmentation de la tension de seuil à cause de la tension de stress, il y aura une dégradation avec le temps dans la tension de sortie de l'inverseur.

Pour mieux comprendre les choses et mesurer avec exactitude les défis réels représentatifs des problèmes mis en jeu lors de la conception de circuits en technologie a-Si (mobilité 1000 fois inférieure à celle dans le silicium monocristallin !!), nous avons utilisé un autre logiciel qui est le AIM-SPICE comme indiqué plus haut. Toute la littérature est d'accord que la fiabilité de la conception d'un circuit intégré et la rapidité de sa mise sur le marché reposent essentiellement sur la précision de la simulation électrique de leur fonctionnement et sur celle du logiciel utilisé. Cela permet une optimisation adéquate de la fonctionnalité voulue de ce circuit et une élimination optimum des problèmes aussi bien technologiques qu'électriques avant de passer en salle blanche pour la réalisation des prototypes adressés par la suite aux différents tests de fonctionnalité.

Pour cette raison, nous avons utilisé ce logiciel qui cible le silicium amorphe pour l'étude de l'inverseur statique. A partir de simulations transitoires, nous allons essayer de

montrer la dégradation de la tension de sortie de l'inverseur statique soumis à des tensions de stress.

Pour ce faire, des trains d'impulsions carrées sont appliqués à l'entrée de l'inverseur à des intervalles de temps déterminés. Ces impulsions, avec les paramètres correspondants sont représentées explicitement sur la figure IV. 16.

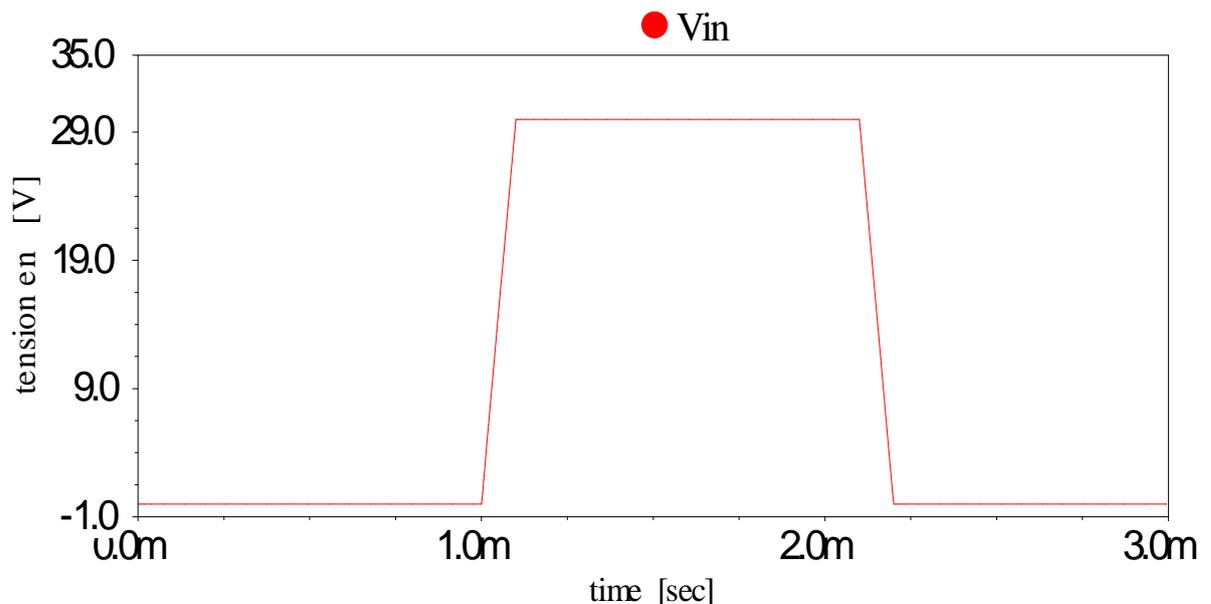


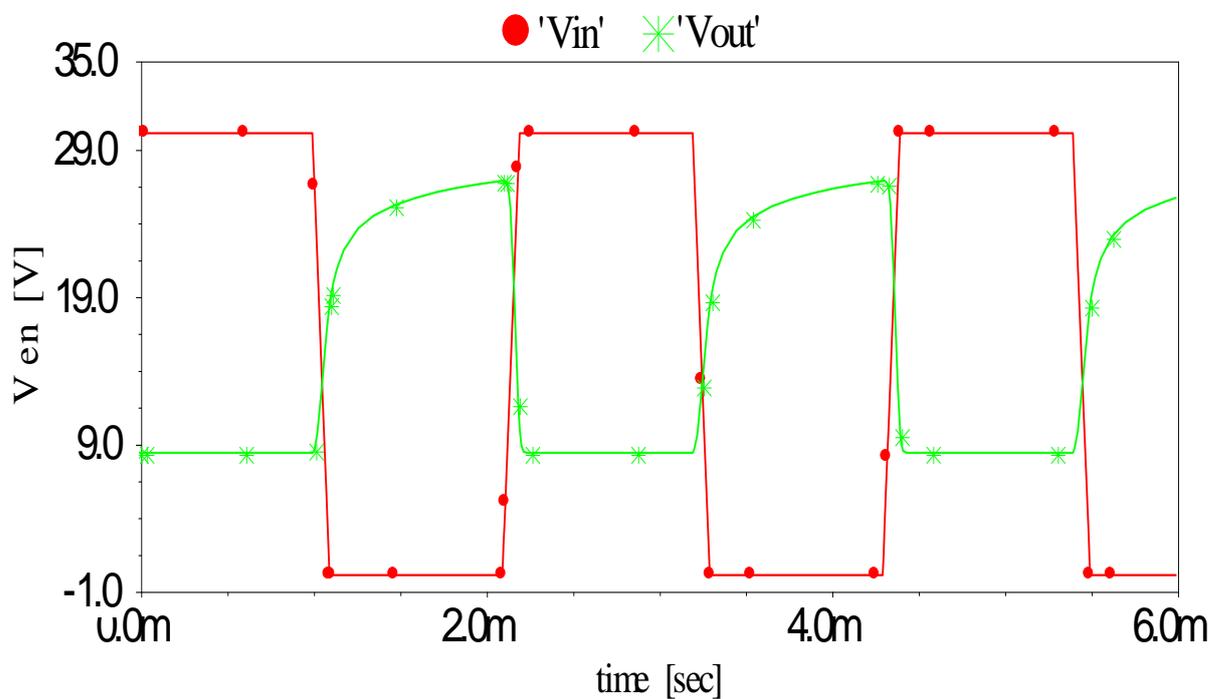
Figure IV. 16. Impulsions appliquées à l'entrée de l'inverseur statique.

- $V_{IH} = 30V$, tension d'entrée haute (input high).
- $V_{IL} = 0 V$, tension d'entrée basse (input low).
- $TD = 0.001 s$, temps de retard (delay time).
- $TR = 0.0001s$, temps de montée (Rise time)
- $TF = 0.0001s$, temps de descente (Fall time)
- $PW = 0.001 s$, largeur de l'impulsion (pulse width)
- $PER = 0.0022s$ (454HZ), période.

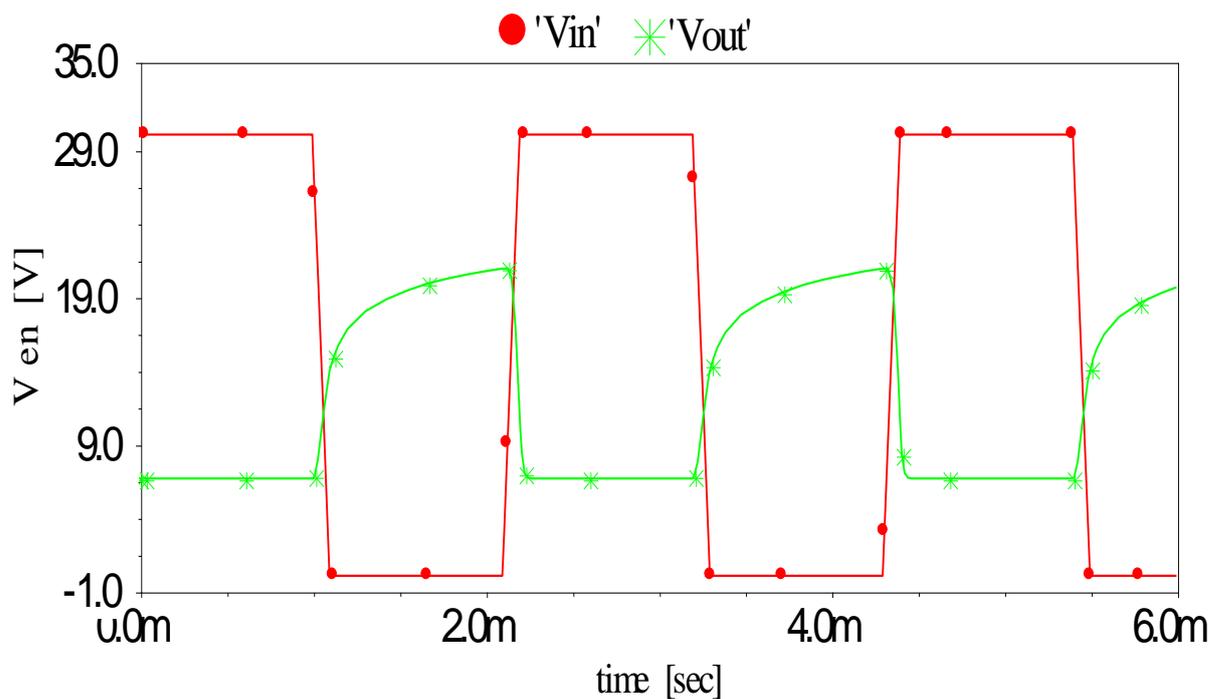
La tension de sortie est mesurée pour les intervalles de temps $T1 = 0s$, $T2 = 5676s$ et $T3 = 4.11 \cdot 10^4s$. Ceux-ci correspondent à $V_{thT1} = 3V$, $V_{thT2} = 9.498V$ et $V_{thT3} = 15V$, les résultats sont représentés par la figure IV. 17.

Ces échantillons de la tension de seuil sont extraits essentiellement à partir de la simulation faite par MATLAB, puis ces tensions sont introduire dans le logiciel de simulation de circuits électroniques AIM-Spice.

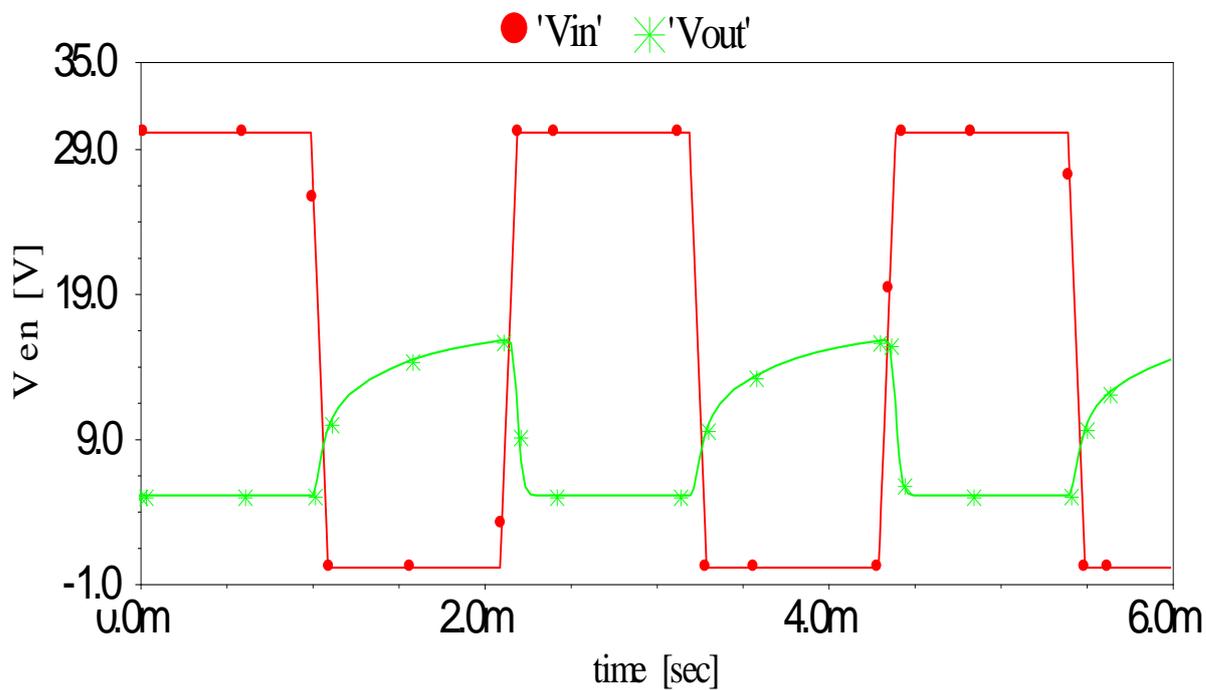
Ce sont ces paramètres, en plus de ceux représentatifs du TFT qui vont définir l'allure de la tension de sortie et par suite son interprétation. Le simulateur applique au circuit le ou les signaux définis, et avec la commande **.model**, ou le bouton **TR**, il utilise les paramètres électriques spécifiés pour le transistor en question, ceci aidera par la suite de procéder au dimensionnement des transistors selon l'application voulue.



(A)



(B)



(C)

Figure IV. 17. Réponses transitoires d'un inverseur statique a-Si:H TFT soumis à une impulsion de 494HZ à : (A) $T=0\text{s}$, (B) $T=5676\text{s}$, (C) $T=4.11 \cdot 10^4\text{s}$.

La figure IV. 17 montre clairement la dégradation de la tension de sortie de l'inverseur statique en fonction du temps et avec l'augmentation de la tension de seuil. Le niveau haut de la tension de sortie V_{OH} a diminué approximativement de 15 V durant cette période de stress. L'inverseur statique fonctionne avec un délai de propagation de 33 μs pour l'intervalle de $T=0\text{s}$, 35 μs pour l'intervalle $T=5676\text{s}$, et 59 μs pour l'intervalle $T=4.11 \cdot 10^4\text{s}$.

Etude de cas

Pour montrer et expliquer l'effet direct de la marge de bruit sur les circuits intégrés, nous avons essayé de simuler une chaîne de trois inverseurs logiques identiques (M, M+1, M+2) placés en série comme montré sur la figure IV.18.

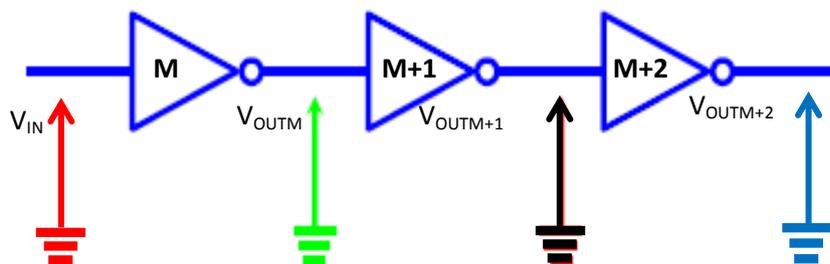


Figure IV. 18. Inverseurs statiques à base de trois a-Si:HTFTs en série.

Chaque porte logique représente un inverseur statique à base a-Si:H TFT avec les mêmes paramètres utilisés auparavant. La sortie de la porte M est reliée à l'entrée de la porte logique M+1 qui suit. De même, la sortie de la porte M+1 est l'entrée de la porte logique M+2.

Le circuit est mis sous des tensions de stress continues (30 V dc) pour les intervalles $T_1= 5676\text{s}$ et $T_2= 4.11 \cdot 10^4\text{s}$. Ces intervalles de temps correspondent à des tensions seuil respectives $V_{thT_1}=9.498\text{V}$ et $V_{thT_2}=15\text{V}$.

Pour chaque intervalle, nous avons visualisé le fonctionnement du circuit par l'application de trains d'impulsions à son entrée.

Pour l'intervalle $T=5676\text{s}$ qui correspond à une variation de $V_{thT_1}=9.498\text{V}$, nous avons appliqué une impulsion avec les mêmes paramètres décrits auparavant. La procédure aussi

reste la même. Les tensions des sorties V_{OUTM} , V_{OUTM+2} mesurées sont représentées sur la figure IV.19.

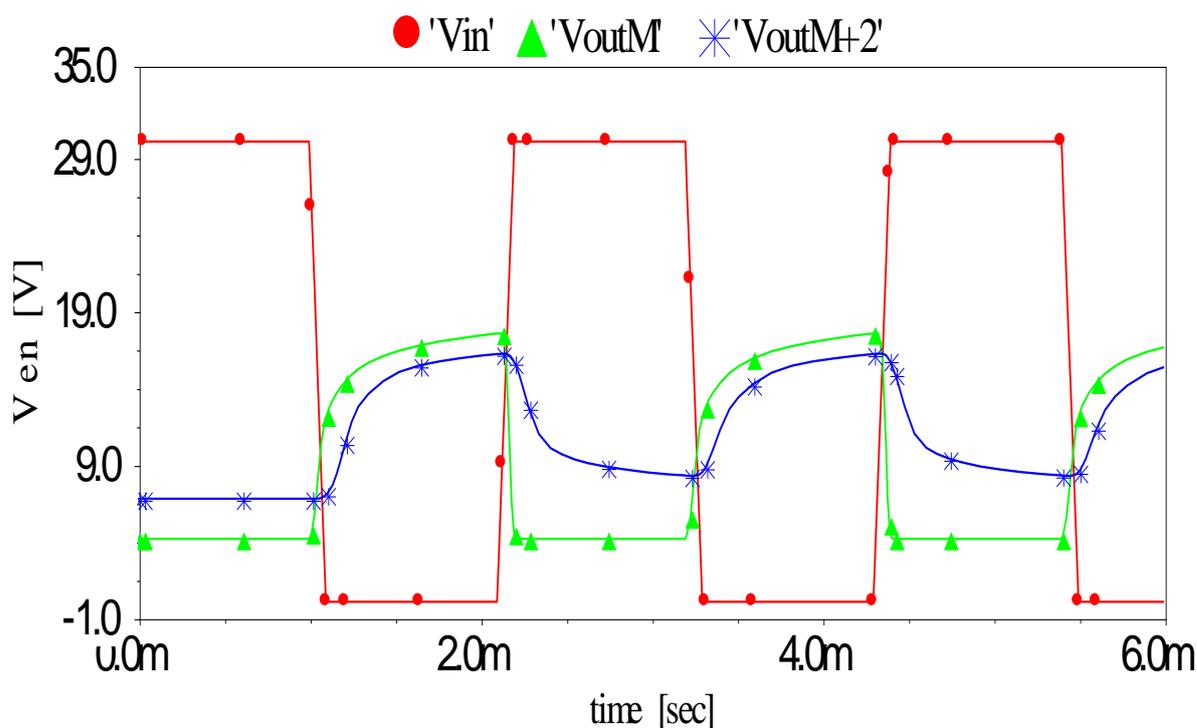


Figure IV. 19. Tension de sortie d'une chaîne d'inverseurs statiques à base a-Si:HTFTs après une durée de stress de 5676s.

La figure IV. 19 montre que malgré la dégradation de la tension de seuil, la marge de bruit est supérieure à zéro (2V) (voir figure IV.3). Le circuit fonctionne normalement, et tous les inverseurs logiques traitent les niveaux bas " V_{OL} " et haut " V_{OH} " d'une façon exacte.

Dans les circuits numériques, un petit changement V_{th} peut être toléré mais il réduit la durée de vie et la précision du système [14].

Pour l'intervalle $T_2 = 4.11 \cdot 10^4$ s qui correspond à une variation $V_{thT_2} = 15$ V pour les inverseurs logiques, on applique une tension d'impulsion avec les mêmes paramètres que pour le cas précédent. Les tensions de sortie V_{OUTM} , V_{OUTM+2} mesurées sont représentées sur la figure IV. 20.

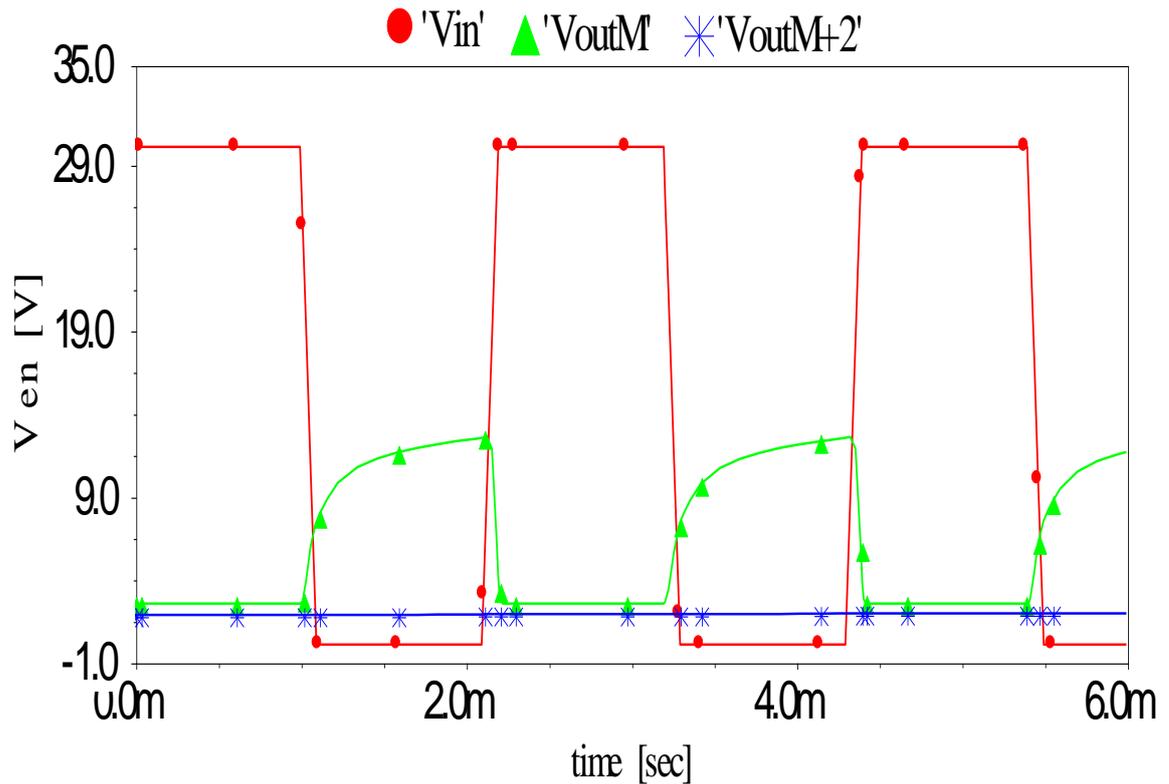


Figure IV. 20. Tension de sortie d'une chaîne d'inverseurs logiques à base de a-Si :HTFTs après une durée de stress de $4.11 \cdot 10^4$ s.

La figure IV. 20 montre que l'application des tensions de stress durant un intervalle de $4.11 \cdot 10^4$ s, provoque une augmentation de V_{th} jusqu'à 15V. A ce moment la marge de bruit disparaît (voir figure IV. 3). Les portes logiques traitent les niveaux haut " V_{OH} " d'une façon incorrecte. A ce moment, l'opération du circuit numérique est impossible.

IV. 6. REDUCTION DE LA VARIATION DE LA TENSION DE SEUIL : CIRCUITS BOOT-STAP

Pour compenser le décalage de la tension de seuil et améliorer la durée de vie des circuits à base de transistors en couches minces à base de silicium amorphe, Plusieurs circuits et techniques de compensation sont utilisés. Parmi ces techniques, on peut citer :

- L'application d'impulsions négatives à l'état OFF (temps OFF) pour compenser la variation positive de la tension de seuil durant les impulsions positives (temps ON)

pour les opérations à basse fréquence. Cette compensation disparaît à des fréquences plus élevées (Chapitre II, paragraphe II. 4. 1).

- La deuxième approche consiste en la réduction de la largeur du rapport cyclique des impulsions appliquées. Un cycle plus petit induit un changement moindre de V_{th} . La réduction du cycle des impulsions de stress améliore plus la durée de vie des a-Si:HTFTs [14].
- La troisième approche est l'utilisation de l'inverseur "Bootstrap" présenté sur la figure IV. 21, lequel consiste en un transistor driver (de commande) MD a-Si:H TFT piloté par une tension d'entrée V_{IN} , un transistor de charge ML a-Si:H TFT, un transistor MB (Bootstrap) avec la grille connectée au drain, et une capacité C_{BOOT} reliant la sortie à ce transistor.

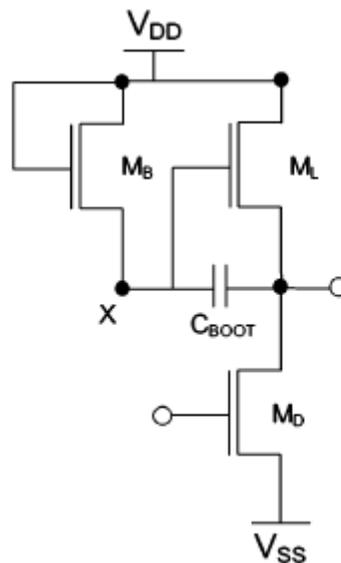


Figure IV. 21. Inverseur "Bootstrap" [28]

Dans la configuration, en fait conventionnelle, que nous avons utilisée, la tension de sortie, comme ont montré les résultats obtenus, se trouve diminuée en termes de niveaux logiques et bas ce qui se traduit par une perte en swing. Le niveau haut est la tension VDD diminuée de la tension de seuil. Et comme il est plus pratique d'avoir un VDD à la sortie comme niveau haut d'une part, et comme la technologie a-Si ne fournit que des transistors a-Si à enrichissement, l'on a pensé à utiliser un autre TFT en configuration de la figure IV. 21, pour fournir une tension de VDD augmentée de la tension de seuil, et par ce moyen, on obtient un niveau VDD sur le nœud de sortie [28] ; c'est la technique 'boot-strapping'.

Le “boot-strapping” est donc une technique par laquelle la tension de grille du transistor de charge ML est amenée à une tension plus élevée que V_{DD} par une réaction positive à partir de la tension du nœud de sortie lors de la transition bas-haut. Cela permet à la tension de source du transistor de charge ML d’atteindre V_{DD} .

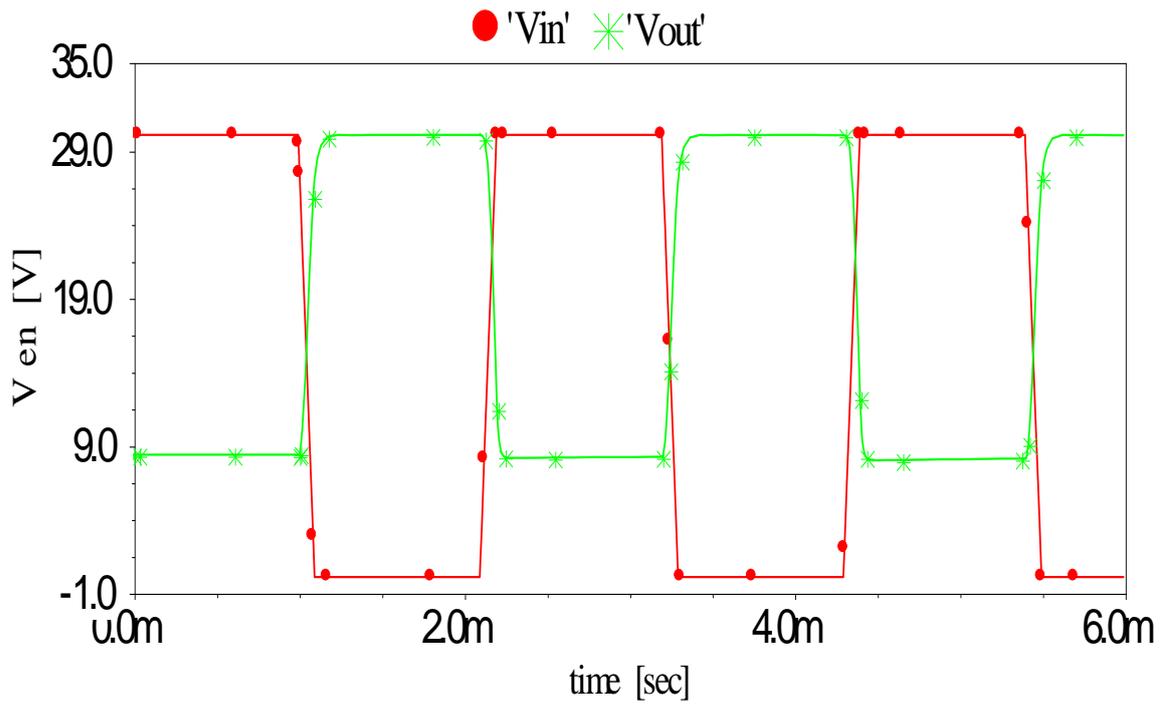
Le fonctionnement de base de l’inverseur “Bootstrap ” est comme suit :quand la tension d’entrée est à l’état haut, le transistor driver MD est à l’état ON, et la tension de sortie de l’inverseur passe alors d’un état haut vers un état bas égale à V_{OL} . Le nœud X se trouve chargé à $V_{DD}-V_{TH}$. Quand la tension d’entrée passe à l’état bas, le transistor de commande MD est bloqué, et le nœud X commute vers $2V_{DD}-V_{TH}$. La sortie est alors égale à V_{DD} par le biais de ML alors que MB devient bloqué.

Le fonctionnement de l’inverseur “Bootstrap ” est similaire à celui de l’inverseur statique à l’exception que son tension de sortie V_{OH} reste toujours égale à V_{DD} .

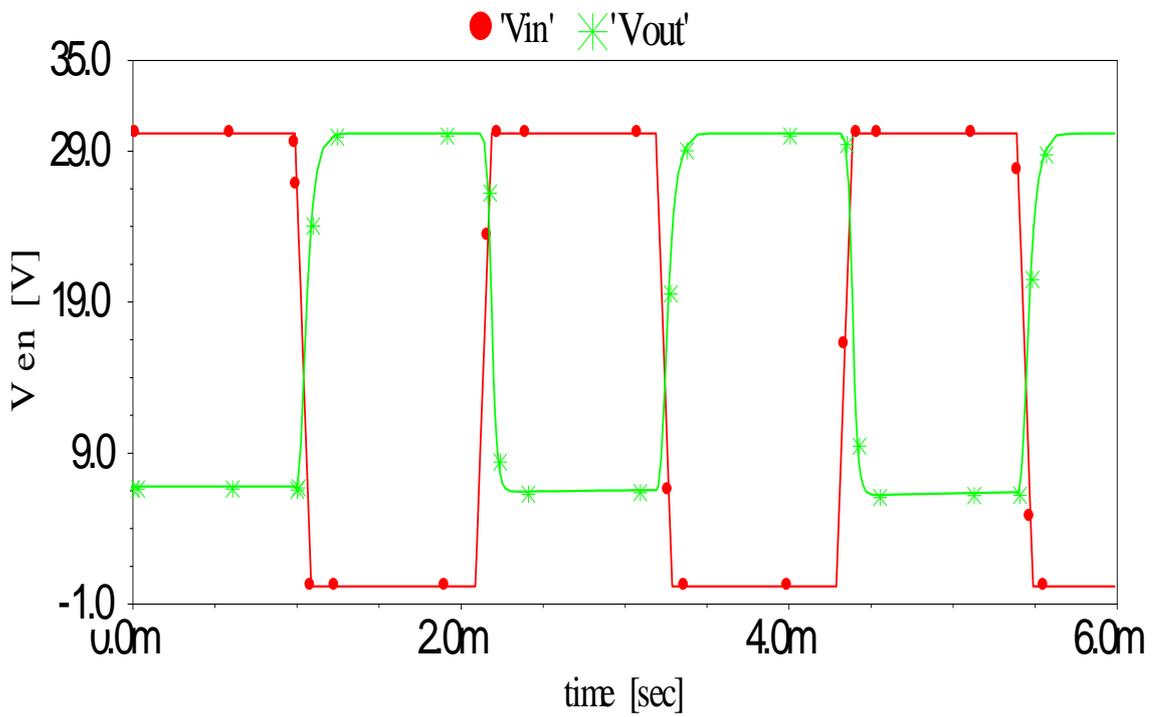
Les avantages de ce type d’inverseur sont, en plus de l’amélioration du swing de la tension de sortie, l’augmentation du temps de réponse et l’habilité à maintenir ce swing même après dégradation sévère de la tension de seuil [28].

Avec le logiciel aim-Spice, on a essayé de simuler le fonctionnement de l’inverseur “bootstrap ”. Pour ce faire, des trains d’impulsions carrées sont appliqués à l’entrée de l’inverseur à des intervalles de temps déterminés. Ces impulsions, avec les paramètres correspondants sont similaires à celle représentées sur la figure IV. 16.

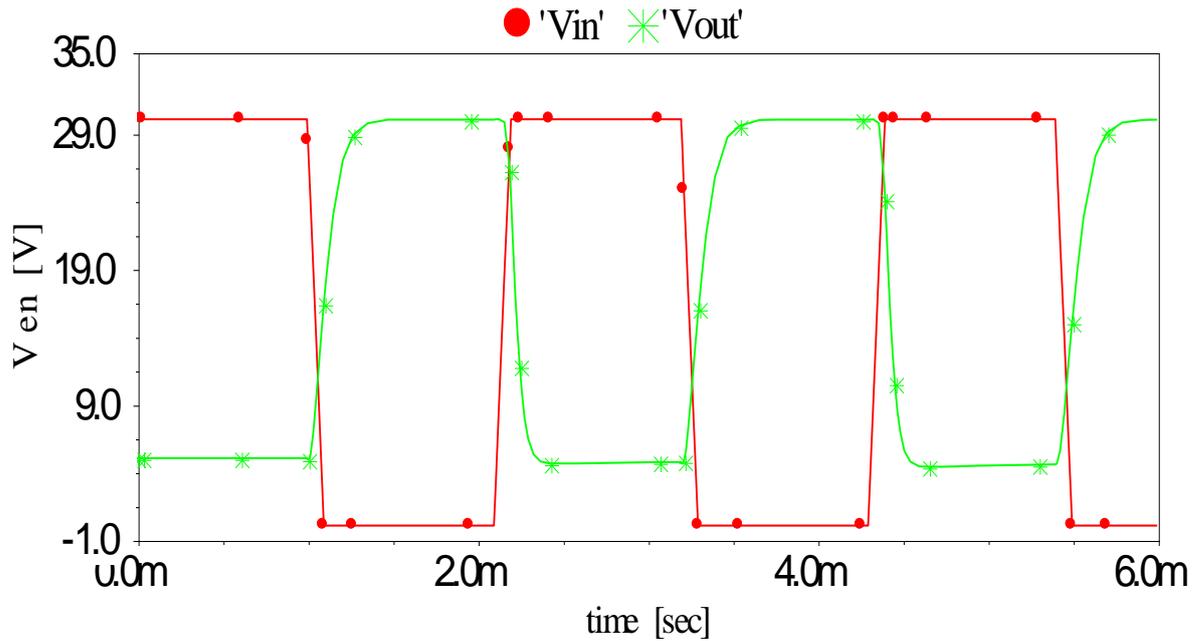
La tension de sortie est mesurée pour les intervalles de temps $T1= 0s$, $T2= 5676s$ et $T3= 4.11 \cdot 10^4s$. Ceux-ci correspondent à $V_{thT1} = 3V$, $V_{thT2} =9.498V$ et $V_{thT3} =15V$, les résultats sont représentés par la figure IV. 22.



(A)



(B)



(C)

Figure IV. 22. Réponses transitoires d'un inverseur "bootstrap" a-Si:H TFT soumis à une impulsion de 494HZ à : (A) $T=0s$, (B) $T=5676s$, (C) $T=4.11 \cdot 10^4s$.

Les caractéristiques des transistors a-Si:H TFTs utilisés pour l'inverseur "bootstrap" sont similaires à celle utilisé pour l'inverseur statique, avec les mêmes dimensions (W/L) du TFT de commande et du TFT de charge, avec le TFT MB à des dimensions de $W/L = 65/11$ [25].

La figure IV. 22 Montre la tension de sortie de l'inverseur "bootstrap" avec les mêmes conditions utilisés pour l'inverseur statique. On peut voir clairement que malgré la dégradation de la tension de seuil, la tension de sortie d'un inverseur "bootstrap" reste toujours stable et égale à la tension V_{DD} , l'inverseur "bootstrap" continue à fournir une tension $V_{OH} = V_{DD}$ complète aussi longtemps que la tension au nœud (X) reste proche de V_{DD} [28], durant l'intervalle de temps de $T=4.11 \cdot 10^4s$. La tension de sortie de l'inverseur statique diminue de 15V, par contre dans l'inverseur "bootstrap" elle reste stable pour le même intervalle du temps. Ceci permet aux portes logiques de traiter le niveau haut "V_{OH}" d'une façon correcte pour une longue durée. L'inverseur "bootstrap" fonctionne avec un retard de propagation de 22 μs pour l'intervalle de $T=0s$, 34 μs pour l'intervalle $T=5676s$, et 60 μs pour l'intervalle $T=4.11 \cdot 10^4s$.

Même si l'inverseur "bootstrap" subit un changement dans la tension de seuil, la tension V_{OH} n'est pas affectée aussi longtemps que l'effet "bootstrap" est apparent sur le nœud (X). Par exemple, si le nœud (X) présente un voltage de presque 60V, avec le temps, ce voltage peut diminuer vers le bas de 10V à 15V à cause d'un changement de V_{th} . Mais il y a assez de voltage (45V) sur le nœud (X) pour garder $V_{OH} = V_{DD}$. Cela augmente la durée de vie de l'inverseur "bootstrap" [25].

IV.7. Conclusion

Pour assurer le fonctionnement correct des circuits numériques, on doit tenir compte de certaines considérations de stabilité. En particulier la marge de bruit qui est une figure importante pour la stabilité des circuits numériques. Le principal problème des circuits à base de a-Si:HTFTs est la dégradation de la tension de seuil (V_{th}) traduite par une augmentation progressive de la tension de seuil. Cette augmentation limite la durée de vie des matrices actives dans les panneaux afficheurs et pose un sérieux étranglement dans le fonctionnement des circuits en technologie silicium amorphe.

D'après l'analyse que nous avons présentée, la marge de bruit d'un inverseur à base de a-Si:HTFTs augmente initialement et se dégrade après un certain temps. La durée de vie d'un inverseur a été étudiée pour prédire le point où la Mb s'effondre à zéro, à ce point le circuit est rendu inopérant. Une augmentation de la marge de bruit (Mb) peut également se produire au cours du vieillissement du circuit. Avec cette augmentation, la durée de vie efficace des circuits va être limitée.

Donc les circuits en technologie a-Si doivent être soigneusement conçus pour minimiser le stress électrique afin de fournir une durée de vie acceptable.

L'amélioration de la durée de vie des circuits numériques à base de transistors en silicium amorphe se fait par la réduction de la variation de la tension de seuil. Plusieurs techniques sont utilisées pour cette raison. L'utilisation de l'inverseur "Bootstrap" peut améliorer cette dégradation.

CONCLUSION GENERALE

CONCLUSION

L'objectif de ce mémoire est l'étude de la faisabilité d'implantation de circuits numériques en technologie silicium amorphe. Pour cela, l'on a essayé d'analyser les compromis éventuels participant à l'optimisation du fonctionnement de deux inverseurs comme représentatifs de ces circuits.

L'on a essayé d'expliquer la relation entre la dégradation des paramètres des transistors à base silicium amorphe constituant ces inverseurs et la durée de vie des circuits numériques par le biais d'un inverseur statique et d'un d'inverseur dynamique.

Pour cela, une étude détaillée de la caractéristique marge de bruit et son évolution avec les durées de vie des deux inverseurs a été élucidée. En même temps la relation stress-tension de seuil a été présentée et les conclusions adéquates ont été tirées.

Avec l'augmentation de la tension de seuil sous des tensions de stress prolongées, les performances des deux inverseurs se dégradent considérablement avec le temps.

Le comportement de la marge de bruit est similaire. L'étude de cette évolution a permis de prédire le point où cette marge disparaît. La prédiction du point où le circuit devient inopérant est très importante dans la mesure où elle permet de proposer les solutions adéquates pour une meilleure stabilité. La conséquence directe est la dégradation de la vitesse du circuit.

Malgré que l'étude a révélé des performances meilleures de l'inverseur dynamique par rapport à l'inverseur statique, d'autres solutions sont toujours à chercher pour une meilleure stabilité dans le temps. L'on a essayé de présenter l'une de ces solutions, qui est l'implantation de portes logiques et de circuits numériques à base d'inverseurs boot-strap. Ceci permettra d'effectuer les choix adéquats pour les rapports de dimensionnement des transistors de commande et de charge.

BIBLIOGRAPHIE

BIBLIOGRAPHIE

- [1] N. Mohan, "Stability Issues In Digital Circuits In Amorphous Silicon Technology," University of Waterloo, Ontario, Canada , Mai 2009.
- [2] Tsung-Ching Huang, Kwang-Ting Cheng, "Design for Low Power and Reliable Flexible Electronics: Self-Tunable Cell-Library Design," journal of display technology, vol. 5, no. 6, june 2009
- [3] Z. Hafdi " Modélisation d'un transistor à Effet de Champ en couche Minces à base de silicium Amorphe Hydrogéné", Université de Batna , Faculté des sciences de l'ingénieur département d'électronique , 2005.
- [4] S. Venugopal, David R. Allee, Zi Li, Lawrence T. Clark, "Threshold-voltage recovery of a-Si:H digital circuits" Journal of the SID 14/11, 2006.
- [5] B. Hekmatshoar, H. Kunigunde. Cherenack, S. Wagner and James C. Sturm, "Amorphous Silicon Thin-Film Transistors With Dc Saturation Current Half-Life Of More Than 100 Years", Princeton Institute for the Science and Technology of Materials (PRISM) and Department of Electrical Engineering, Princeton University, Princeton NJ 08544, USA.
- [6] M. Spijkman, Smits, M. Blom, Leeuw, S. Setayesh, , "Increasing The Noise Margin In Organic Circuits Using Dual Gate Field-Effect Transistors", American Institute of Physics. APPLIED PHYSICS LETTERS **92**, 143304 _2008.
- [7] Stijn De Vusserand Jan Genoe, Paul Heremans "Influence of Transistor Parameters on the Noise Margin of Organic Digital Circuits", IEEE Transactions On Electron Devices, VOL. 53, NO. 4, APRIL 2006.
- [8] Catherine Douillard, André Thépaut, "Electronique Numerique Logique Combinatoire Et Circuits Mos", ELP304/203.2008-2009.
- [9] Jean Kamdem, Pierre Tsafack, "Micro Electronique", Getel / ENSP. National Advanced School Of Engineering, 1996.
- [10] Li Ding and Pinaki Mazumder "Dynamic Noise Margin: Definitions and Model", Department of Electrical Engineering and Computer Science The University of Michigan, Ann Arbor, MI 48109, USA. 2004 IEEE.
- [11] John R. Hauser, "Noise Margin Criteria for Digital Logic Circuits", IEEE Transactions On Education , vol. 30 , no. 4 , November 1993.
- [12] E. Cantatore and E. J. Meijer, "Introduction à l'électronique" GPA-325 Introduction à l'électronique, 2005.
- [13] F. Mieleville, "Le numérique et l'analogique", Composants numériques, Département EEA 1996.
- [14] N. Mohan, K. S. Karim, S. Prakash, A. Nathan, "Stability Issues In Digital Circuits In Amorphous Silicon Technology", University of Waterloo, Ontario, Canada November 2001.
- [15] A. Benmeddour, "Etude Et Simulations Numeriques Des Contraintes Thermomecaniques Dans Le Silicium Photovoltaïque", Université Mentouri – Constantine, 2010.

Bibliographie

- [16] M. ZI li, S. Venugopal, R. Shringarpure, D. R. Allee, L T. Clark, "Noise-margin analysis of a-Si:H digital circuits", *Journal of the SID* **15/4**, 2007.
- [17] M. Shur and M. Hack, "Physics of amorphous silicon based alloy field-effect transistors," *J. Appl. Phys.*, vol. 55, May 1984.
- [18] Subbarao V. Wunnava, "Aim-Spice Tutorial" Florida International University Department of Electrical & Computer Engineering, Summer, 2005
- [19] C. F. Hill, "Definitions of noise margin in logic systems," *Mullard Tech. Commun.*, no. 89, , Sept. 1967.
- [20] K. N. Quader, "Noise margin and noise immunity in logic circuits" *Microelectronics*, vol. 1, no. 4, Sep. 1968.
- [21] M. Mokhtari, M. Marie "Application de Matlab et simulink" école pour l'informatique et techniques avancées EPITA PARIS SUD.
- [22] N. Mohan, K. S. Karim, S. Prakash, A. Nathan, "Stability Issues In Digital Circuits In Amorphous Silicon Technology" University of Waterloo, Ontario, Canada , Mai 2009.
- [23] Nans PHAMY, "Contribution à l'étude des effets liés au transport de l'hydrogène dans les couches minces et les dispositifs à base de silicium amorphe et microcristallin" Université de Reims.
- [24] A. RMerticaru, "Electrical Instability Of A-Si:H/Sin Thin Film Transistors" University of Twente , 2004.
- [25] Sameer M. Venugopal, "Flexible active matrix displays and integrated amorphous silicon Source drivers", Arizona State University , August 2007.
- [26] J Lohstroh, E Seevinck, J D Groot, "Worst-Case Static Noise Margin Criteria for Logic Circuits and Their Mathematical Equivalence," *Ieee journal Of Solid-State circuits*, Vol. Sc-18, No.6, Decemrer 1983.
- [27] R. Shringarpure , S. Venugopal "Localization of Gate Bias Induced Threshold Voltage Degradation in a-Si:H TFTs", *IEEE Electron Device Letters*, Vol. 29, NO. 1, January 2008.
- [28] S Uppili, David R. Allee, Sameer M. Venugopal , "Standard Cell Library and Automated Design Flow for Circuits on Flexible Substrates" *Journal of the SID*, 2010.
- [29] S Sambandan, and D Striakhilev, "Les Ecrans Plats De Visualisation" *IEEE J Solid-State Circuits* (2004).
- [30] Z. HAFDI, " Analysis and Performance of an Amorphous Silicon Thin-Film Transistor Inverter", *Proceedings of Second International Conference on Electrical Engineering Design and Technologies, ICEEDT08, Hammamet-Tunisia. 2008.*
- [31] M. BAUGE, J. RIVIERRE " *conception des circuits intégrés complexes*", Laboratoire de développement de composants IBM France , H 695.
- [32] M. HYVERNAUD, F. WEIST " Bibliothèque de cellules pour circuits intégrés", *Techniques d'Ingénieur* 350, 10 Fevrier 2005.
- [33] N. JULIEN " Les composant de l'électronique numérique", *Université de Bretagne Sud – Lorient Maîtrise EEA, septembre 1999.*

Bibliographie

[34] Pr. Michel ROBERT “ Circuits et systèmes intégrés micro-électroniques : technologies, conception”, Université Montpellier . 2002.

[35] BELKACEMI SIHAM “ Analyse d’un Transistor a-Si :H TFT en Régime Dynamique ”, mémoire de Magister, université de BATNA 2010.

[36] “ Conception des systèmes VLSI ”, Techniques d’Ingénieur 350, 10 Février 2005, E2455,

ANNEXE

ANNEXE A

Analyse de la marge de bruit

A. 1. Inverseur statique [16]

Le courant pour le transistor de charge (ML) de la figure III. 3, est donné par :

$$I_L = \frac{1}{2} C_{OX} \frac{W_{LD}}{L} \mu_0 (V_{DD} - V_{OUT} - V_{TL})^2 \quad (A.1)$$

où C_{ox} est la capacité du diélectrique, W_{LD} est la largeur du canal pour le transistor de charge, et L sa longueur, V_{OUT} est la sortie de l'inverseur, et V_{IN} est son entrée. V_{TL} est la tension de seuil du transistor de charge et μ_0 est la mobilité effective du transistor.

Le courant traversant le transistor driver (MD) est donné par :

$$I_{D(LIN)} = C_{OX} \frac{W_{DR}}{L} \mu_0 [(V_{IN} - V_{TD}) V_{OUT} - \frac{1}{2} V_{OUT}^2] \quad (A.2)$$

$$I_{D(SAT)} = \frac{1}{2} C_{OX} \frac{W_{DR}}{L} \mu_0 (V_{DD} - V_{OUT} - V_{TD})^2 \quad (A.3)$$

Lorsque le transistor est dans la région linéaire ou en saturation, respectivement. W_{DR} est la largeur du canal pour le transistor (MD) et V_{TD} sa tension de seuil.

La courbe de transfert de l'inverseur a trois régions. Dans la première région V_{IN} est inférieur V_{TD} , le transistor est à l'état bloqué, nous avons donc :

$$V_{OUT} = V_{DD} - V_{TL} \quad (A.4)$$

Avec l'augmentation de la tension d'entrée $V_{IN} > V_{TD}$, le transistor driver entre dans la région de saturation, En combinant les deux équations. (A.1) et (A.3), la tension de sortie est donnée par :

$$V_{OUT} = V_{DD} - V_{TD} - \sqrt{R} (V_{IN} - V_{TL}) \quad (A.5)$$

avec R égal au rapport de la largeur du canal pour le transistor driver W_D , à la largeur du canal pour le transistor de charge W_L ($R = W_D/W_L$).

Avec la diminution de V_{OUT} , le transistor driver entre dans la région linéaire. En combinant les deux équations. (A.1) et (A.2), la tension de sortie est donnée par :

$$V_{OUT} = \left\{ V_{DD} - V_{TD} + RV_{IN} - RV_{TL} + \left[R(2V_{DD}V_{IN} - 2V_{DD}V_{TL} - 2V_{TD}V_{IN} + 2V_{TD}V_{TL} + RV_{IN}^2 - 2RV_{IN}V_{TL} + RV_{TL}^2 - V_{DD}^2 + 2V_{DD}V_{TD} + V_{TD}^2) \right]^{\frac{1}{2}} \right\} \frac{1}{R+1} \quad (A.6)$$

Comme a été mentionné précédemment, le pire cas de la marge de bruit Mb peut être trouvé géométriquement en considérant le carré maximum entre la caractéristique de transfert normale $f(v_{in})$ et son inverse $f^{-1}(v_{in})$. Puisque les deux yeux haut et bas sont identiques, seul l'œil du haut qui va être étudié. «L'œil» peut être considéré comme trois parties importantes, comme indiqué dans la **Figure III. 4**. Ces parties sont la ligne droite (RL) sur la droite bord, la ligne de courbure (LL) sur la gauche, et l'angle situé à la droite. Selon l'âge du circuit, cette dernière peut ne pas contribuer à la forme de l'œil [16].

La ligne droite (RL) a une pente de $-\sqrt{R}$ (A.5), La ligne (LL) comporte deux parties, qui sont les équations. (A. 5) et (A. 6). L'angle situé à droite est au point $(V_{TD}, V_{DD} - V_{TL})$.

Avec une analyse minutieuse de la longueur maximale du diagonal qui s'inscrit dans 'l'œil', on distingue quatre phases séquentielles de la courbe de transfert de l'inverseur. Pour dériver une expression analytique de (Mb) à partir des courbes de transfert de l'inverseur statique, les lignes D1, D2 et D3 sont utilisées pour mesurer la diagonale maximum. Pour calculer D1, D2, et D3, les points critiques, d1, d2 et d3 sont définis (figure III. 5). Le Point d1 est le point de transition entre les régions 2 et 3. Point d2 est le point dans la région 3, qui a une pente tangentielle $-\sqrt{R}$. Le Point d3 est l'angle qui est situé à la droite au point $(V_{TD}, V_{DD} - V_{TL})$. D1 est la distance de d1 à la ligne RL à 45° , D2 est la distance de d2 à la ligne RL à 45° , D3 est la distance de d3 à la ligne LL à 45° , la diagonale maximale sera l'un des vecteurs D1, D2 et D3, et dépendra de la phase de la dégradation [16].

Comme d1 est le point de transition entre la région linéaire et la région de saturation, le point d1 peut être obtenu en égalisant les équations (A. 5) et (A. 6). Pour calculer la

distance D1, on peut simplement utiliser l'équation du point d1 à l'équation (A. 6). On obtient donc :

$$D1 = \sqrt{2} \left(\frac{V_{DD}\sqrt{R}-V_{TD}+V_{TD}R-V_{TL}\sqrt{R}-V_{TL}+V_{DD}}{2\sqrt{R}+R+1} - \frac{V_{DD}-V_{TL}}{1+\sqrt{R}} \right) \quad (A.7)$$

Pour obtenir l'équation de D2, le point sur la ligne (LL) avec une pente de 1 doit être calculé. Pour obtenir le point d2, nous prenons la dérivée de l'équation (A. 6). Ensuite, nous pouvons utiliser la condition $d(V_{OUT}) / d(V_{IN}) = 1$ pour obtenir point d2. Une fois d2 est connu, la distance D2 peut être obtenue en utilisant de nouveau l'équation point-ligne :

$$D2 = \sqrt{2} \left[\left(\frac{1}{h(R^{3/2}+R)} \right) (V_{DD}h - V_{TL}h + R - V_{DD} + V_{TL} - R^{3/2}V_{DD} + R^{3/2}V_{TL} - RV_{TD}h + RV_{DD}h - RV_{TL}h + R^{3/2}V_{TD}h) - \frac{V_{DD}-V_{TL}}{h} \right] \quad (A.8)$$

$$\text{Avec } h = \sqrt{1 + 2R^{3/2} + R} \quad (A.9)$$

Puisque D3 peut intercepter la ligne (LL) aux régions 2 ou 3, deux équations sont obtenues pour D3. Au cas où D3 intercepte la ligne (LL) à la région 2, nous avons le point d3 (V_{TD} , $V_{DD} - V_{TL}$) et équation (A.6).

Cas 1: D3 intercepte LL dans la région 2:

$$D3 = \sqrt{2} \left\{ V_{TD} - \frac{1}{2(R-1)} \left[-2V_{DD} + 2V_{TL} - 2RV_{DD} + 2RV_{TL} + 4V_{TD}R + 2(-2R^2V_{DD}V_{TL} - 4R^2V_{DD}V_{TD} + 4R^2V_{TL}V_{TD} - 6V_{DD}RV_{TL} - 4V_{DD}RV_{TD} + 4V_{TL}RV_{TD} + 3RV_{DD}^2 + 3RV_{TL}^2 + R^2V_{DD}^2 + R^2V_{TL}^2 + 4R^2V_{TD}^2) \right]^{1/2} \right\} \quad (A.10)$$

De même, nous pouvons utiliser le point d3 (V_{TD} , $V_{DD} - V_{TL}$) et l'équation. (A.5) pour déterminer le diagonale D3 lorsque D3 intercepte LL dans la région 3.

Cas 2: D3 intercepter LL dans la région 3:

$$D3 = \sqrt{2} \left(V_{TD} - \frac{-V_{DD}\sqrt{R} + 2\sqrt{R}V_{TD} - V_{TL} + V_{DD} + V_{TL}\sqrt{R}}{\sqrt{R} + 1} \right) \quad (A.11)$$

Puisque D1, D2 et D3 sont les diagonales d'un carré, la marge de bruit (Mb) sera égale au côté du plus grand carré ou $1 / \sqrt{2}$ des plus grands D1, D2 et D3 [16].

A. 2. Inverseur dynamique [3]

La dérivation de la marge de bruit pour l'inverseur dynamique est plutôt plus simple que celle de l'inverseur statique. Par inspection,

- dans la phase I, la marge de bruit Mb sera égale à la tension de seuil du transistor driver M3 (figure III. 9).
- Pour la phase II, la marge de bruit Mb atteindra une valeur maximale de $1/2(V_{DD} - V_{tm01})$ où la tension de seuil de transistor M3 est $1/2(V_{DD} - V_{tm01})$ (figure III.10)
- Dans la phase III, la marge de bruit Mb est la différence entre $V_{DD} - V_{tm01}$ et V_{tm3} (figure III. 11).
- Dans la phase IV, lorsque la tension de seuil du transistor driver atteint $V_{DD} - V_{tm01}$, Mb s'annule (figure III.12).

ANNEXE B

Calcul des points d'intersection

Pour calculer les points d'interconnexion entre les différentes phases descriptive de la marge de bruit on doit d'abord simplifier les équations mathématiques décrivant la marge de bruit.

Inverseur statique :

Phase I et II :

La marge de bruit est donné par l'équation (III.12) où :

$$\mathbf{Mb} = \left[\left(\frac{1}{h(R^{3/2}+R)} \right) (V_{DD} h - V_{TL} h + R - V_{DD} + V_{TL} - R^{3/2}V_{DD} + R^{3/2}V_{TL} - RV_{TD}h + RV_{DD}h - RV_{TL}h + R^{3/2}V_{TD}h) - \frac{V_{DD}-V_{TL}}{h} \right] \quad (\text{B.1})$$

$$\text{Avec } h = \sqrt{1 + 2R^{3/2} + R} \quad (\text{B.2})$$

Si on pose $C = R^{3/2}$ on trouve que :

$$\mathbf{Mb} = \left[\left(\frac{1}{h(C+R)} \right) (V_{DD} h - V_{TL} h + R - V_{DD} + V_{TL} - C V_{DD} + C V_{TL} - RV_{TD}h + RV_{DD}h - RV_{TL}h + C V_{TD} h) - \frac{V_{DD}-V_{TL}}{h} \right]$$

Avec plus de simplification Mb devient

$$\mathbf{Mb} = \left[\left(\frac{1}{h(C+R)} \right) ((C - h(R + 1) + 1)V_{TL} + h(C - R)V_{TD} + V_{DD}(h - C + Rh - 1) + R) - \frac{V_{DD}-V_{TL}}{h} \right]$$

Si on prend aussi $A = \frac{1}{h(C+R)}$, $A2 = (C - h(R + 1) + 1)$, $A3 = h(C - R)$

et $A4 = V_{DD} (h - C + Rh - 1) + R$

$$\mathbf{Mb} = \left[A(A2V_{TL} + A3V_{TD} + A4) - \frac{V_{DD} - V_{TL}}{h} \right]$$

$$\text{Avec } V_{TL}=V_{TD} \quad \mathbf{Mb} = \left[(A(A2 + A3) + \frac{1}{h})V_{TL} + A.A4 - \frac{V_{DD}}{h} \right]$$

ANNEXE B

On prend $A5 = A(A2 + A3) + \frac{1}{h}$ et $A6 = A.A4 - \frac{V_{DD}}{h}$

Donc l'équation mathématique de la marge de bruit simplifier devient :

$$\mathbf{Mb} = A5.V_{TL} + A6 \quad (\text{B.3})$$

Phase III :

La marge de bruit est donné par l'équation (III.13) où :

$$\mathbf{Mb} = \left\{ V_{TD} - \frac{1}{2(R-1)} \left[-2V_{DD} + 2V_{TL} - 2RV_{DD} + 2RV_{TL} + 4V_{TD}R + 2(-2R^2V_{DD}V_{TL} - 4R^2V_{DD}V_{TD} + 4R^2V_{TL}V_{TD} - 6V_{DD}RV_{TL} - 4V_{DD}RV_{TD} + 4V_{TL}RV_{TD} + 3RV_{DD}^2 + 3RV_{TL}^2 + R^2V_{DD}^2 + R^2V_{TL}^2 + 4R^2V_{TD}^2)^{1/2} \right] \right\} \quad (\text{B.4})$$

Avec $V_{TD} = V_{TL}$ on trouve :

$$\mathbf{Mb} = \left\{ V_{TL} - \frac{1}{2(R-1)} \left[-V_{DD}(2R + 2) + (6R + 2)V_{TL} + 2((3R + R^2)V_{DD}^2 - V_{DD}(6R^2 + 10R)V_{TL} + (7R + 9R^2)V_{TL}^2)^{1/2} \right] \right\}$$

Si on pose : $B1 = \frac{1}{2(R-1)}$, $B2 = V_{DD}(2R + 2)$, $B3 = (6R + 2)$, $B4 = (3R + R^2)V_{DD}^2$,

$B5 = V_{DD}(6R^2 + 10R)$ et $B6 = (7R + 9R^2)$ alors l'équation de Mb simplifier devient :

$$\mathbf{Mb} = \left\{ V_{TL} - B1 \left[-B2 + B3.V_{TL} + 2(B4 - B5.V_{TL} + B6.V_{TL}^2)^{1/2} \right] \right\} \quad (\text{B.5})$$

Phase IV :

La marge de bruit est donné par l'équation (III.14) où :

$$\mathbf{Mb} = V_{TD} - \frac{-V_{DD}\sqrt{R} + 2\sqrt{R}V_{TD} - V_{TL} + V_{DD} + V_{TL}\sqrt{R}}{\sqrt{R} + 1} \quad (\text{B.6})$$

Avec $V_{TD} = V_{TL}$ on trouve :

$$\mathbf{Mb} = 2 \left(\frac{1 - \sqrt{R}}{\sqrt{R} + 1} \right) V_{TL} + \frac{V_{DD}(\sqrt{R} - 1)}{\sqrt{R} + 1}$$

ANNEXE B

Si on pose : $D1 = 2 \left(\frac{1-\sqrt{R}}{\sqrt{R}+1} \right)$ et $D2 = \frac{V_{DD}(\sqrt{R}-1)}{\sqrt{R}+1}$ l'équation de Mb simplifier devient

$$Mb = D1.V_{TL} + D2 \quad (B.7)$$

- Pour calculer la tension de seuil (V_{TL}) d'intersection entre la phase I et II et la phase III il suffit de faire résoudre l'équation B.1 = B.2 comme suit :

$$A5.V_{TL} + A6 = V_{TL} - B1[-B2 + B3.V_{TL} + 2(B4 - B5.V_{TL} + B6.V_{TL}^2)^{1/2}] \quad (B.8)$$

Par la substitution de V_{TL} par le variable X et les constantes par leurs valeurs, l'équation (B.8) devient une équation de 2ème ordre :

$$X^2 + 17.96 X + 80.243 = 0 \quad (B.9)$$

La résolution de cette équation nous donne deux racines :

$$X_1 = 8.35 \text{ et } X_2 = 9.61$$

Pour assurer la continuité du modèle on a choisir la racine X1, ce qui veut dire que le point d'intersection entre la phase I.II et la phase III c'est $V_{th} = 8.35V$.

- Pour calculer la tension de seuil (V_{TL}) d'intersection entre la phase III et la phase IV il suffit de faire résoudre l'équation B.5 = B.7 comme suit :

$$V_{TL} - B1[-B2 + B3.V_{TL} + 2(B4 - B5.V_{TL} + B6.V_{TL}^2)^{1/2}] = D1.V_{TL} + D2 \quad (B.10)$$

Par la substitution de V_{TL} par le variable X et les constantes par leurs valeurs, l'équation (B.10) devient une équation de 2ème ordre :

$$X^2 - 19.969 X + 98.884 = 0 \quad (B.11)$$

La résolution de cette équation nous donne deux racines :

$$X_1 = 9.09 \text{ et } X_2 = 10.88$$

Pour assurer la continuité du modèle on a choisir la racine X2, ce qui veut dire que le point d'intersection entre la phase III et la phase IV c'est $V_{th} = 10.88V$.

Inverseur dynamique :

Les différentes phases de la marge de bruit de l'inverseur dynamique en fonction du temps sont exprimées par les équations suivantes (voir chapitre III) :

$$\text{Phase I: } Mb = V_{tm3} \quad (\text{B.12})$$

$$\text{Phase II: } Mb = 1/2(V_{DD} - V_{tm01}) \quad (\text{B.13})$$

Avec V_{tm01} est la tension de seuil initial du transistor M1

$$\text{Phase III } Mb = V_{DD} - V_{tm01} - V_{tm3} \quad (\text{B.14})$$

$$\text{Phase IV : } Mb = 0 \quad (\text{B.15})$$

- Pour calculer la tension de seuil (V_{TL}) d'intersection entre la phase I et la phase II il suffit de faire résoudre l'équation (B.12) = (B.13) comme suit :

$V_{tm3} = 1/2(V_{DD} - V_{tm01})$ ce qui va donner le point d'intersection entre la phase I et II

$$V_{th} = 13.4V$$

- Pour calculer la tension de seuil (V_{TL}) d'intersection entre la phase II et la phase III il suffit de faire résoudre l'équation (B.13) = (B.14) comme suit :

$$1/2(V_{DD} - V_{tm01}) = V_{DD} - V_{tm01} - V_{tm3} \quad \text{ce qui va donner le point d'intersection entre la Phase II et III } V_{th} = 13.4V.$$

- Pour calculer la tension de seuil (V_{TL}) d'intersection entre la phase III et la phase IV il suffit de faire résoudre l'équation (B.14) = (B.15) comme suit :

$$V_{DD} - V_{tm01} - V_{tm3} = 0 \quad \text{ce qui va donner le point d'intersection entre la Phase II et III } V_{th} = 26.8 V.$$