

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE  
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR  
ET DE LA RECHERCHE SCIENTIFIQUE**

**UNIVERSITE DE BATNA  
FACULTE DES SCIENCES DE L'INGENIEUR**

**MEMOIRE**

*Présenté au*

**DEPARTEMENT D'ELECTRONIQUE**

*Pour l'obtention du diplôme de*

**MAGISTER EN MICROELECTRONIQUE  
Option : IC Design**

*Par*

**Fateh MOULAHCENE**

*Intitulé*

**Conception et layout d'un convertisseur  
numérique analogique en technologie CMOS  
0.35 $\mu$ m**

*Le jury d'examen constitué de:*

Dr. HOBAR Farida	Prof.	Université de Constantine	Président
Dr. BOUGUECHAL Nour-Eddine	Prof.	Université de Batna	Rapporteur
Dr. DIBI Zohir	M.C.	Université de Batna	Examineur
Dr. HAFDI Zoubeida	M.C.	Université de Batna	Examineur
Dr. BENHAYA Abdelhamid	M.C.	Université de Batna	Examineur

*A mes parents*

*A ma famille*

*A mes amis*

# Remerciements

*Ce travail a été effectué en collaboration avec l'Université technique de Berlin en Allemagne. A cet effet, je tiens à exprimer toute ma gratitude à Dr. O. MANCK, Professeur à l'université technique de Berlin et directeur général de la société MAZ, pour m'avoir fait confiance, en m'accueillant à l'université de Berlin trois mois et en me facilitant la réalisation de mes travaux de projet dans d'excellentes conditions, et également pour son support et son soutien technique.*

*Je tiens à exprimer mes plus vifs remerciements envers, Dr. N-E. BOUGUECHAL, Professeur de l'université de Batna et Doyen de la faculté des sciences de l'ingénieur à l'université de Batna. Je lui adresse toute ma gratitude pour m'avoir permise de travailler dans des bonnes conditions et la confiance en mes capacités, en m'accordant la faveur d'aller réaliser mon projet à Berlin et qui a su, par son encadrement efficace, diriger mes travaux et me forcer à la rigueur et la précision scientifique nécessaires à l'accomplissement de cette thèse.*

*Mes vifs remerciements à Mme. Farida HOBAR, professeur à l'université de Constantine, pour avoir accepté de présider le jury et à bien voulu prendre le temps de s'intéresser au sujet du présent mémoire.*

*De même à Mr. Zohir DIBI, docteur et chef du département d'électronique de l'université de Batna, pour son aide, ces conseils ont été d'une grande valeur, aussi m'a-t-il honoré de faire partie du jury.*

*Je tiens à remercier vivement Mme. Zoubeida HAFDI, docteur et chargé de cours à l'institut d'électronique à l'université de Batna, pour m'avoir honoré par sa présence au jury.*

*Je remercie également Mr Benhaya ABDELHAMID, chargé de cours à l'institut d'électronique, pour son aide, pour l'honneur qu'il me fait en figurant dans la composition du jury.*

*Je remerci également R.ouchan, A.hamoda, Radouane jeghader, et Hafiane lamine, pour leurs conseils et leur aides pendant le stage*

*Enfin, je dois une dette certaine à ma famille et à mes parents, qui ont été mes plus fidèles supporteurs et qui m'ont aidé à traverser cette période.*

*Moulahcene Fateh*

## *Résumé*

Le but de ce travail est de construire un convertisseur numérique analogique (CNA) 5bits. Les spécifications données dans le cahier des charges imposent un certain nombre de choix pour le convertisseur.

Le convertisseur numérique analogique est basée sur une structure dite «pondérée binaire» (binary-weighted), les valeurs de ces sources de courant sont pondérées ( $1 : 2 : 4 : \dots : 2^N - 1$ ) selon le bit que chacune d'entre elles représente. , qui intègre les sources de courant et les interrupteurs, qui sont toutes des miroirs de courant simples et des portes de transmission.

La sortie d'un convertisseur peut être une tension ou un courant. Mais notre convertisseur à commutation de courant leur sortie est une simple résistance.

Toute la partie analogique du projet est implémentée dans cadence sous forme schématique et layout. Des simulations DC et TR été effectuées si nécessaire.

Les résultats obtenus respectent le cahier des charges, l'INL et la DNL obtenues sont plus petits qu'un demi-LSB, une charge résistive 100k, un pas 1LSB=1uA, une fréquence 50kHz.

**Mot clé :** CMOS circuits analogiques, Convertisseur numérique analogique (CNA), Différentielle non linéarité (DNL), Intégrale non linéarité (INL).

## **Abstract**

This project deals with background, theory, design and layout of an analogue CMOS VLSI current-mode digital-to-analog converter. The design and simulation is done with help of Cadence Spectre software. The layout is done in Cadence Virtuoso. The chip is to be manufactured in 350 nm AMS CMOS process.

The fact that the current steering topology is used the binary weights topology operating from the supply of 3.3v .The 5-bit binary input ranges from 0 – 3.3v and the clock can be as high as 50kHz , made it more challenging to achieve differential nonlinearity and integral nonlinearity are 0.25 least significant bit (LSB) and 0.5 LSB, respectively.

In a current steered DAC current mirrors that have binary weights assigned to each current mirror (used as a source) corresponding to the position of the bit. A 5 bit DAC would have 5 current mirrors with the current equals to its bit position times the reference current.

**Index Terms**—CMOS analog integrated circuits, digital to analog conversion (DAC), differential nonlinearity (DNL), integral nonlinearity (INL).

# Table des matières

Introduction générale .....	1
<b>Chapitre I: les circuits analogiques CMOS</b>	
I.1. Introduction .....	4
I.2. Inverseur .....	4
I.2.a. caractéristique de transfert de l'inverseur .....	4
I.2.b. Inverseur "minimal" .....	5
I.2.c. Caractérisation dynamique de l'inverseur minimal .....	6
I.2.d. Déséquilibre des transistors .....	6
I.2.e. Détermination de la sortance .....	7
I.3. Les miroirs de courant .....	7
I.3.a. Miroir de courant simple .....	7
I.3.b. Miroir de courant cascode .....	10
I.3.c. Miroir de courant cascode wide-swing .....	11
I.4. Interrupteurs .....	12
I.4.a. Interrupteur simple NMOS .....	13
I.4.b. Porte de transmission (Transmission gate TG) .....	15
I.5. Phénomène d'injection de charges et de couplage capacitif d'horloge (clock Feedthrough) .....	16
I.6. Utilisation de dummy switch .....	17
I.7. Conclusion .....	18
<b>Chapitre II: Etude d'un CNA</b>	
II.1. Introduction .....	20
II.2. Caractéristique de convertisseur numérique analogique .....	20
II.2.1. Caractéristique statique .....	23
II.2.1.a. Erreur de décalage « offset » .....	23
II.2.1.b. Erreur Non-Lienarite différentielle (DNL) .....	24
II.2.1.c. Erreur Non-linearite intégrale (INL) .....	24
II.2.1.d. Erreur de gain .....	25
II.2.2. Caractéristique dynamique .....	26
II.2.2.1. Rapport signal sur bruit (SNR) .....	26
II.2.2.2. Distorsion harmonique totale (THD) .....	26

II.2.2.3. Dynamique sans parasites (SFDR) .....	26
II.2.2.4. Signal sur bruit et distorsion(SNDR) .....	26
II.3. Architecture de convertisseur numérique analogique .....	26
II.3.a. CNAs à miroirs pondérés ( <i>binary weighted DAC</i> ) .....	27
II.3.b. CNAs à code thermomètre ( <i>thermometer coded DAC</i> ) .....	28
II.3.c. Montage hybride .....	29
II.4. Détermination des performances statiques .....	29
II.4.1. Erreur de quantification .....	30
II.4.2. Non linéarité différentielle .....	31
II.4.3. Erreur d'offset .....	32
II.4.4. Non linéarité intégrale .....	32
II.4.5. Monotonie .....	33
II.5. Conclusion .....	34

## Chapitre III: Simulation et layout

III.1. Introduction .....	36
III.2. Les miroirs de courant et leurs limitations .....	36
III.2.a. Miroir de courant simple .....	37
III.2.b. Miroir de courant cascode .....	41
III.3. Inverseur .....	42
III.4. Interrupteur .....	48
III.4.1. Interrupteur NMOS .....	48
III.4.2. Porte de transmission(Transmission Gate TG).....	51
III.5. Convertisseur numérique analogique .....	54
III.5.a. CNA avec l'interrupteur NMOS .....	54
III.5.b. CNA avec l'interrupteur TG .....	56
III.6. Détermination des performances statiques .....	59
III.7. Effet de la température .....	61
III.8. Effet de la résistance de charge .....	62
III.9. dessin de masque(layout) .....	63
III.9.1 layout de la porte de transmission .....	65
III.9.2 layout de l'inverseur .....	65
III.9.3 layout du miroir de courant .....	65

III.9.4 layout du convertisseur numérique analogique CNA .....	66
III.10. Conclusion .....	67
Conclusion générale .....	69
Bibliographie .....	72
Annexe .....	75

# Introduction générale

## *Introduction générale*

Depuis le début des années 80, la combinaison du haut niveau d'intégration de la technologie VLSI CMOS et de méthodes structurées de conception a permis de concevoir des systèmes numériques de plus en plus complexes avec des capacités de traitement toujours plus élevées conduisant à la notion de système sur une puce (SoC: System On Chip).

Cette potentialité a fait naître des applications nouvelles où le besoin de communiquer avec l'extérieur est vite apparu. Paradoxalement, cette nécessité d'échanger l'information a conduit à l'intégration simultanée de circuits de traitement mixtes (analogiques et numériques) dans une technologie essentiellement orientée vers la conception de circuits purement numériques. Il est ainsi possible de faire cohabiter sur un même substrat de silicium des parties radio traitant des signaux très faibles et sensibles aux interférences avec des parties de traitement numérique complexes.

Chaque nouvelle conception est basée sur l'expérience acquise dans les réalisations précédentes et introduit des modifications réduites afin de minimiser le risque. Les circuits mixtes sont en effet beaucoup plus sensibles aux variations du procédé de fabrication que les circuits numériques. Dans ce contexte, la réutilisation de blocs préconçus s'avère importante pour réduire le temps de conception. Il est souhaitable que ceux-ci soient paramétrables pour pouvoir migrer d'une technologie à une autre et s'adapter aux spécifications d'une application donnée. Cette tâche, quasi automatique pour les circuits numériques, est très délicate à réaliser pour les circuits mixtes dont les caractéristiques sont très dépendantes de la technologie. D'autre part, les contraintes de fiabilité liées à la miniaturisation des dispositifs ont conduit à une réduction continue de la tension d'alimentation. Les concepteurs analogiciens doivent trouver de nouvelles techniques de traitement pour faire face à cette réduction de la tension d'alimentation. Ils sont d'autre part confrontés à des effets du second ordre importants du fait de l'inadéquation de la technologie avec les contraintes fortes de précision imposées aux fonctions analogiques.

Elément frontière entre deux modes de représentation du signal, les convertisseurs analogique numérique (CAN) et numérique analogique (CNA) conditionnent les performances globales du système, le partitionnement entre ces deux types de traitement étant très dépendant de leurs caractéristiques de résolution, de vitesse et de consommation. La conversion numérique analogique est la plus critique de ces interfaces.

Dans le cadre de collaboration entre l' **Université de Batna** et l' **Université technique de Berlin (TUB)**, nous avons participé à la réalisation de chip (UltraSonic low voltage SAP for general electric medical) conçu pour traiter des informations prévenant d' un capteur ultra sonique. Où il nous a été assigné la conception de convertisseur numérique analogique 5 bits.

Cette thèse est présentée sous forme d' une description détaillée de la conception réalisée. Elle est divisée en trois chapitres :

Le premier chapitre « les circuits analogiques CMOS » discute les différents blocs essentiels dans la conception des circuits intègres analogiques comme les miroirs de courants, les interrupteurs, les inverseurs.

Le deuxième chapitre « étude sur les convertisseurs numériques analogiques »

Le troisième chapitre « la simulation et layout», nous présentons le travail pratique proprement dit, les schémas électriques, les résultats et layout.

Enfin, le travail s'achève par une conclusion générale.

# Chapitre 1

## *Les circuits analogiques CMOS*

## I.1. Introduction

Ce chapitre concerne les circuits analogiques en CMOS. Il contient les notions nécessaires qui permettent de comprendre l'architecture des blocs fonctionnels simple utilisés dans notre travail comme les miroirs de courant, les interrupteurs, l'inverseur...

Nous allons voir la théorie dans laquelle sont données les définitions, les explications concernant le comportement de ces blocs.

## I.2. Inverseur [1] [2]

Un inverseur est obtenu en montant un transistor N et un transistor P tête-bêche. Les deux grilles de ces transistors sont reliées entre elles et à l'entrée du montage.

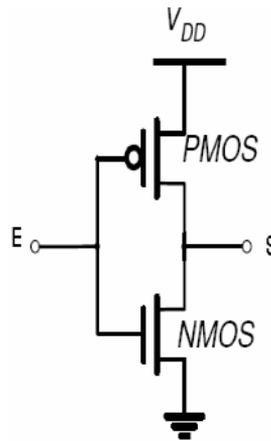


Figure I.1. Inverseur CMOS

### I.2.a. Caractéristique de transfert de l'inverseur

Lorsque l'on fait varier le potentiel d'entrée  $E$  du montage de  $0\text{V}$  à la tension d'alimentation, notée  $V_{DD}$ , sa tension de sortie  $S$  varie de  $V_{DD}$  à  $0\text{V}$ . On constate que lorsque  $E$  est proche de  $0\text{V}$  ou de  $V_{DD}$ , un seul transistor conduit et l'autre est bloqué.

Considérons les différentes zones de la caractéristique de transfert (Figure I.2).

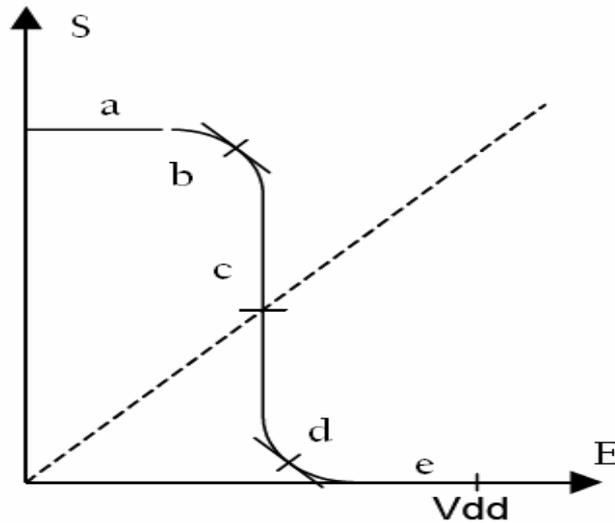


Figure I.2. Caractéristique de transfert de l'inverseur

Nous noterons  $V_{THN} = |V_{THP}| = V_{TH}$  la tension de seuil de deux transistors N et P.

- Zone a : TrN bloqué ( $V_{GS} < V_{TH}$ )  $I = 0$ , TrP quadratique ( $V_{DS} = 0$ ),  $S = Vdd$ ,
- Zone b : TrN saturé ( $V_{DS} \approx Vdd$ ), TrP quadratique ( $V_{DS} \approx 0v$ ),
- Zone c : TrN saturé ( $V_{DS} = \frac{Vdd}{2}$ ), TrP saturé ( $V_{DS} = \frac{Vdd}{2}$ ),
- Zone d : TrN quadratique ( $V_{DS} \approx 0v$ ), TrP saturé ( $V_{DS} \approx V_{DD}$ ),
- Zone e : TrN quadratique  $V_{DS} = 0v$   $I = 0v$ , TrP bloqué ( $V_{GS} < V_{TH}$ ),  $S = 0v$ .

### I.2.b. Inverseur "minimal"

Nous appellerons "inverseur minimal" celui qui est dessiné avec les valeurs minimales des règles technologiques: la longueur de ses transistors est égale à taille du motif minimal de la technologie, et la largeur du transistor N égale au côté de la zone de débordement (de la zone active). La largeur du transistor P sera calculée de manière que:

$$U_N C_{OX} \frac{W_N}{L_N} = U_P C_{OX} \frac{W_P}{L_P} \quad (\text{I.1})$$

$W_N, W_P, L_N, L_P$  : La largeur et la longueur de transistor type N et type P respectivement.

$C_{OX}$  et  $L$  identiques pour les deux transistors.

$$L_N = L_P = L \quad (\text{I.2})$$

$$\text{Donc : } \frac{W_P}{W_N} = \frac{U_N}{U_P} \quad (\text{I.3})$$

### I.2.c. Caractérisation dynamique de l'inverseur minimal

La caractérisation dynamique de cet inverseur consiste à déterminer ses temps de montée, de descente et de transit. Pour cela il doit être mis en situation, c'est-à-dire attaqué par un signal identique à celui qu'il produit et chargé de la même manière que ce qu'il présente en entrée (ou par un multiple, pour l'étude de la sortance). Cette situation est obtenue en étudiant une chaîne d'inverseurs et en étudiant celui disposé au centre. La construction d'un modèle mathématique crédible pour déterminer ces valeurs est beaucoup trop complexe.

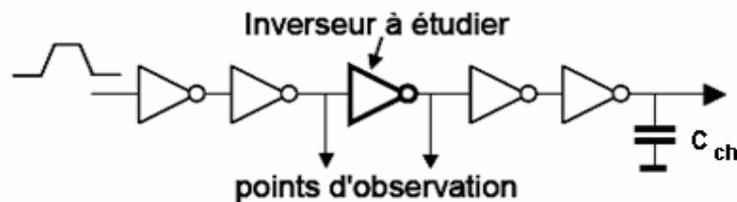


Figure I.3. Chaîne d'inverseur

#### I.2.c.1. Déséquilibre des transistors

Lorsque nous nous écartons du rapport  $U_n/U_p$  pour dimensionner la largeur des transistors P et N, l'équilibre entre les temps de montée et de descente est perturbé. Cet effet peut être utilisé pour certaines applications spéciales. L'augmentation de la largeur du transistor P finit par ralentir la descente du signal de sortie de la porte modifiée parce que cet élargissement augmente la capacité de sortie de la porte.

Nous constatons que le temps de propagation d'un inverseur est proportionnel à la somme de sa charge capacitive et de sa capacité de sortie.

$$\tau = K(C_S + C_{ch}) \quad (\text{I.4})$$

$K$  : Constante,

$\tau$  : Temps de propagation,

$C_S$  : Capacité de sortie,

$C_{ch}$  : Capacité de charge.

### I.2.c.2 Détermination de la sortance

La sortance correspond à la capacité d'un inverseur à en piloter plusieurs de même type. Ce paramètre se détermine de plusieurs manières:

- Par l'étude de la déformation du signal de sortie:

A fur et à mesure qu'il est chargé, le signal de sortie se déforme. La charge maximale correspond à la déformation maximale et au temps de propagation qui reste acceptables.

- Par l'étude de la capacité de reformatage de l'inverseur, ou de la porte, suivante :

Le reformatage est la capacité d'une porte à régénérer un signal correct à partir de la sortie déformée de la porte précédente. La limite de cette capacité fournit une mesure de la sortance de l'inverseur étudié.

### I.3. Miroirs de courant [3] [4]

Cette première étude a pour but de présenter le fonctionnement d'un miroir de courant de base et d'expliquer les différentes sources d'erreur auxquelles elle est sujette afin de pouvoir élaborer un miroir de courant répondant aux performances souhaitées.

#### I.3.a. Miroir de courant simple

Le miroir de courant est l'élément de base utilisé pour la réplique, l'addition et la soustraction de courant. Il ne fonctionne qu'avec un courant unipolaires. Considérant le miroir de courant constitué de deux transistors MOS représenté sur la Figure I.4.

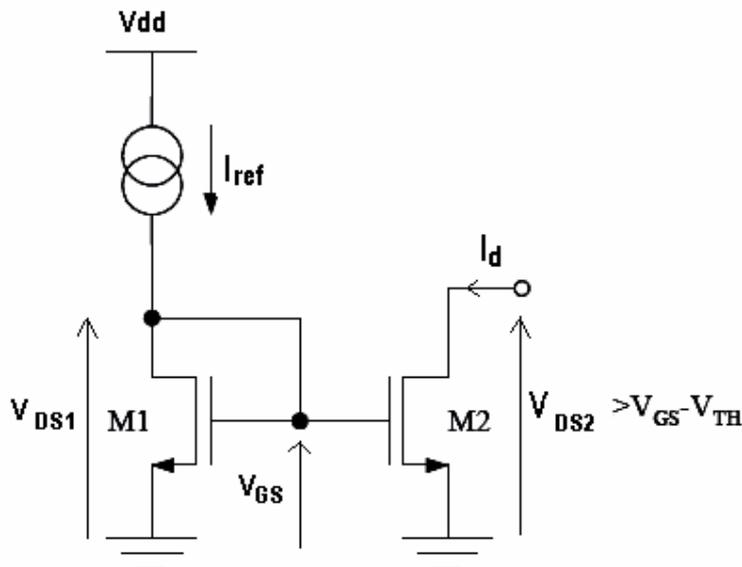


Figure I.4. Miroir de courant simple

Le miroir de courant utilise le principe suivant : si les potentiels grille-source  $V_{GS}$  de deux transistor MOS M1 et M2 sont identiques les courants circulant dans leur canal respectif doivent être égaux pour le régime de saturation ( $V_{ds}$  fort).

Soit le courant  $I_{ref}$  d'entrée et  $I_d$  le courant de sortie, appelée aussi l'image de  $I_{ref}$

Le transistor M1 est en saturation en peut écrire :

$$V_{DS1} = V_{GS} \quad (\text{I.5})$$

Supposons que :

$$V_{DS2} \geq V_{GS} - V_{th} \quad (\text{I.6})$$

Alors  $V_{DS2}$  est plus grand que ( $V_{th}$ ) avec cette affirmation permet de l'utilisation des équations de deux transistors dans le régime de saturation :

$$I_{ref} = \frac{1}{2} U_{01} C_{ox1} \frac{w_1}{L_1} (V_{GS} - V_{th1})^2 (1 + \lambda V_{DS1}) \quad (\text{I.7})$$

$$I_d = \frac{1}{2} U_{02} C_{ox2} \frac{w_2}{L_2} (V_{GS} - V_{th2})^2 (1 + \lambda V_{DS2}) \quad (\text{I.8})$$

$C_{ox1}, C_{ox2}$  : Capacité de l'oxyde mince (grille),

$I_{ref}$  : Courant de référence,

$I_d$  : Courant de drain de transistor M2,

$W1, L1, W2, L2$  : les dimensions géométriques de deux transistors M1, M2,

$\lambda$  : Coefficient de modulation de longueur du canal en  $V^{-1}$ ,

$V_{th1}, V_{th2}$  : Les tensions de seuil de deux transistors M1, M2,

$V_{GS}$  : La tension d'entrée grille-source,

$V_{DS1}, V_{DS2}$  : La tension de sortie drain-source de deux transistors M1, M2.

Le rapport  $\frac{I_d}{I_{ref}}$  est donner par :

$$\frac{Id}{Iref} = \left( \frac{L_2 W_1}{L_1 W_2} \right) \left( \frac{V_{GS} - V_{th2}}{V_{GS} - V_{th1}} \right)^2 \left( \frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \left( \frac{U_{02} C_{ox2}}{U_{01} C_{ox1}} \right) \quad (\text{I.9})$$

Pour les composants d'un miroir de courant fabriqués dans le même circuit intégré, les paramètres physiques tels que  $V_{th}$ ,  $C_{ox}$ ,  $U_{ox}$  sont identiques pour les deux transistors nous pouvons donc simplifier l'équation (I.9):

$$\frac{Id}{Iref} = \left( \frac{L_1 W_2}{L_2 W_1} \right) \left( \frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (\text{I.10})$$

Finalement, si  $V_{DS1} = V_{DS2}$ , le rapport  $\frac{Id}{Iref}$  devient :

$$\frac{Id}{Iref} = \left( \frac{L_1 W_2}{L_2 W_1} \right) \quad (\text{I.11})$$

Par conséquent, le rapport  $\frac{Id}{Iref}$  est une fonction des dimensions des deux transistors.

L'impédance de sortie de la source de courant est tout simplement l'impédance de sortie de transistor M2.

Les 4 variables  $W_2, W_1, L_1, L_2$  sont disponibles pour le concepteur pour choisir son courant.

Pour la conception analogique, il est extrêmement important de maintenir l'impédance de sortie la plus élevée que possible. Il est bien voulu aussi de réduire les effets de la longueur du canal et la mobilité aux composants ces effets sont réduits par l'accroissement de la longueur du canal de ces composants.

### I.3.b. Miroir de courant cascode

Les miroirs simples posent des problèmes en raison de leur faible résistance de sortie. Donc la résistance de sortie doit être utilisée la plus grande possible c'est pourquoi, le plus généralement, les sources de courant sont réalisées avec des miroirs de courant cascode.

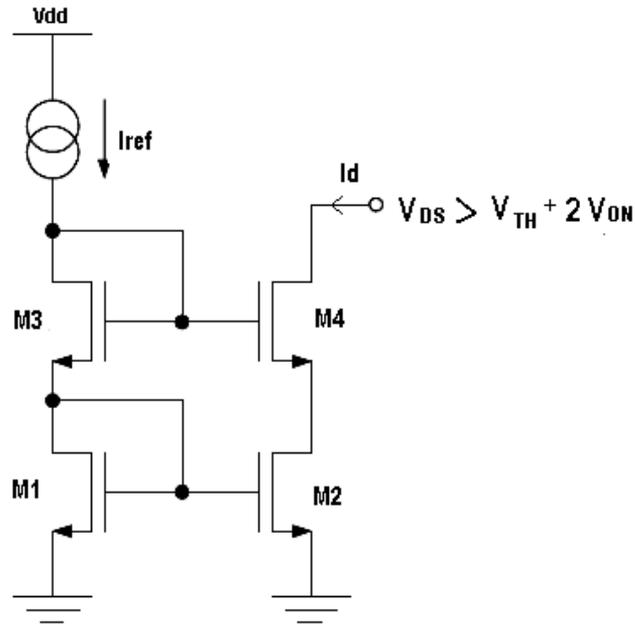


Figure I.5. Miroir de courant cascode

Le schéma de montage cascode d'un miroir de courant est montré dans la figure I.5 en effet l'impédance de sortie d'un miroir de courant simple vaut :  $r_{out} = r_{ds_2}$  alors pour les miroirs cascode elle devient :

$$r_{out} = r_{ds_2} r_{ds_4} g_{m_4} \quad (\text{I.12})$$

$g_{m_4}$  : La conductance mutuelle de transistor M4

Soit un facteur de multiplicateur de  $r_{ds_4} g_{m_4}$  de valeur 10 à 100 selon la taille de transistor.

I.3.c. Miroir de courant cascode wide-swing

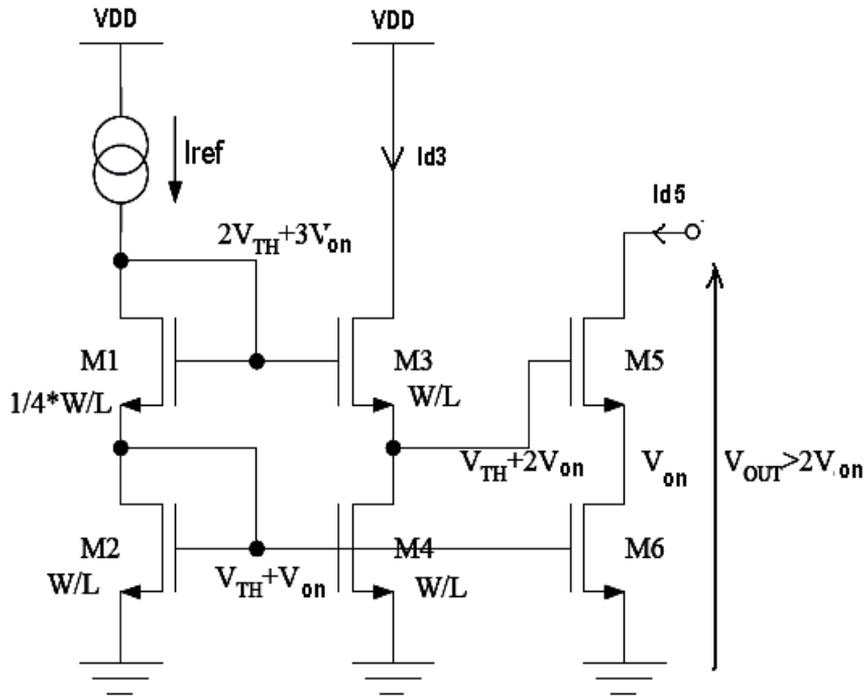


Figure I.6. Miroir de courant wide-swing

On a  $V_{DSsat} = V_{GS} - V_{th} = (V_{on} + V_{th}) - V_{th} = V_{on}$  (I.13)

Compte tenu de la faible dynamique due à la tension d'alimentation très basse (Vdd) les miroirs cascode sont limités par leur dynamique de sortie : leur tension de sortie doit vérifier :

$V_{DS} = V_{th} + 2V_{DSsat}$  (I.14)

La tension de sortie de miroir cascode wide-swing est :

$V_{DS} = 2V_{DSsat}$  (I.15)

C'est pourquoi les miroirs cascades wide-swing sont utilisés, tout en ayant la même résistance de sortie qu'un miroir cascode (figure I.6).

En peut conclue cette étude sur la Table I.1 suivante :

Source de courant	Résistance de sortie rout	La tension Vmin
Simple	$r_{DS2}$	$V_{on}$
Cascode	$r_{DS2} g_{m4} r_{DS4}$	$V_{th} + 2V_{on}$
Cascode Wide-swing	$r_{DS2} g_{m4} r_{DS4}$	$2V_{on}$

Table I.1 La tension minimum et la résistance de sortie de trois miroirs de courant

I.4.Interrupteurs [5]

La figure I.7 présente le plus simple des interrupteurs réalisés en technologie CMOS.

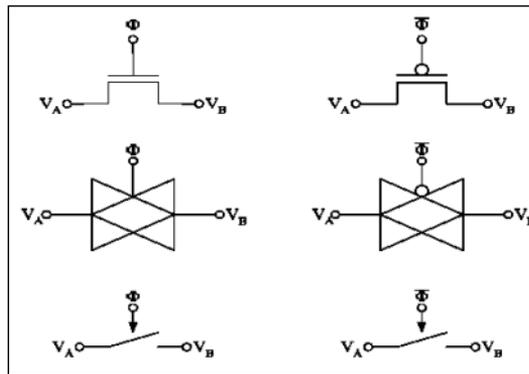


Figure I.7 Interrupteur

Les transistors servant d'interrupteur seront commandés par des signaux logiques, et seront : soit bloqué quand la tension à leur grille est nulle, soit en conduction quand la tension est de VDD.

La résistance de passage de ces transistors en conduction est donnée par :

$$R_{on} = \frac{V_{DS}}{I_D} = \frac{L}{WC_{OX}U_N(V_{GS} - V_{th})} \tag{I.16}$$

La tension  $V_{DS}$  doit être petite en conduction afin d'assurer un bon fonctionnement des interrupteurs

La longueur de grille du transistor est choisie minimale, car elle minimise  $R_{ON} = f(L)$  et elle permet de minimiser aussi la capacité grille des interrupteurs, ce qui permet aux transistors de commuter plus rapidement. La largeur du transistor est quant à elle choisie de manière à obtenir une tension  $V_{ds}$  du transistor petite. Le dimensionnement des interrupteurs influencera aussi la qualité des sources de courant. Il est évident que si la tension  $V_{ds}$  d'un transistor de sources est différente d'un autre, le courant de sortie variera aussi dans une certaine mesure. Il est primordial d'obtenir une tension identique pour chaque source de courant. Dans un bloc de sources de courant, il faut que la taille des transistors interrupteurs soit proportionnelle au courant qui les traverse. Ainsi la chute de tension aux bornes des interrupteurs est la même pour tous, et ainsi la tension que voient les sources de courant est aussi identique.

#### I.4.a. Interrupteur simple NMOS [6]

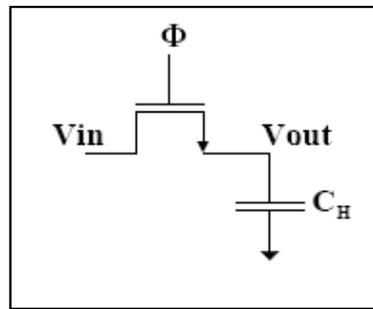


Figure I.8. Circuit d'interrupteur simple

Son principe de fonctionnement peut être décomposé comme suit pour un transistor NMOS :

1. Lorsque l'horloge est à l'état haut ( $\Phi$ ), le NMOS devient passant ce qui permet de charger la capacité. il fonctionne essentiellement en zone ohmique.
2. Lorsque l'horloge est à l'état bas ( $\bar{\Phi}$ ), le NMOS isole la capacité du signal d'entrée, Ce qui permet de figer la donnée à un instant donné.

Ainsi, ce commutateur doit être caractérisé par une conductance minimale admissible permettant au système de charger la capacité de maintien  $C_H$  en une durée donnée compatible avec la précision souhaitée. L'équation (I-17) traduit la relation qui existe entre la conductance du commutateur, sa taille et sa tension de commande.

$$g_n = U_n C_{OX} \frac{W}{L} (V_{GS} - V_{TH0} - \gamma (\sqrt{2\phi_{FB} + V_{BS}} - \sqrt{2\phi_{FB}}) - V_{DS}) \quad (\text{I.17}).$$

Avec  $V_{GS}$  la tension grille-source,  $V_{DS}$  la tension drain-source,  $V_{TH0}$  la tension de seuil,  $\gamma$  le paramètre d'effet substrat,  $V_{BS}$  la tension d'effet substrat et  $\Phi_{FB}$  le potentiel de Fermi.

Ainsi, pour augmenter la conductance du commutateur, il faut augmenter la largeur  $W$  du transistor, diminuer sa longueur de canal et utiliser une forte tension de commande.

Il est à noter que l'effet substrat diminue d'autant plus la conductance du commutateur que la différence de tension entre le signal d'entrée et la tension de substrat est grande.

Ceci met en évidence la dépendance non linéaire de la conductance du commutateur avec l'amplitude de la tension du signal d'entrée. En outre, ce type de commutateur analogique ne permet pas de balayer l'ensemble de la plage du signal d'entrée à cause de la tension de seuil qui est non nulle. C'est ce qui est illustré par les figures I.9. (a) et I.9. (b). Cet aspect est d'autant plus critique que le rapport tension de seuil / tension d'alimentation est faible.

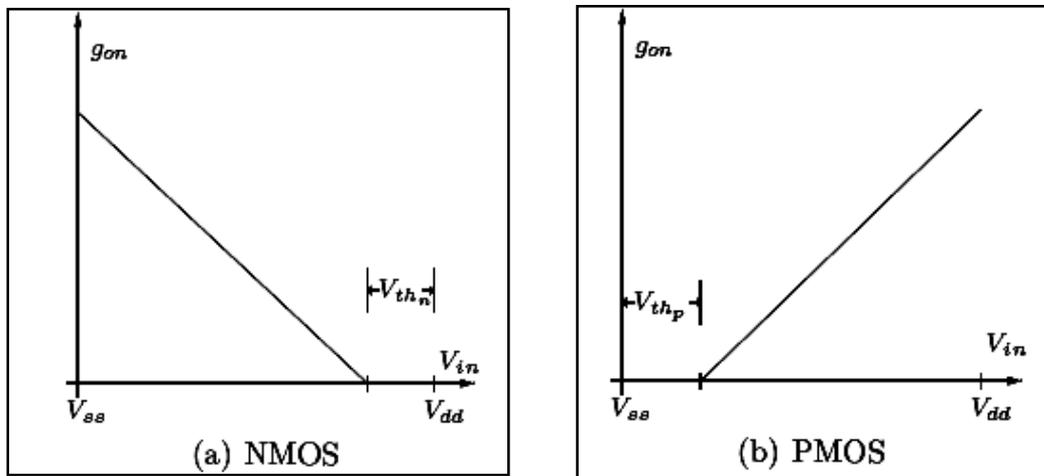
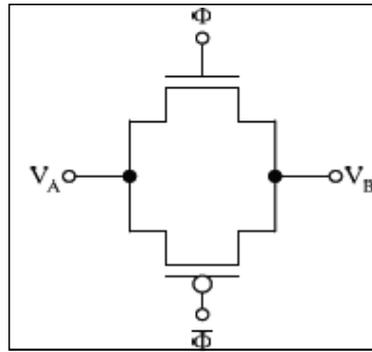


Figure I.9 Evolution de la conductance du commutateur analogique  $g_{on}$  à l'état ON en fonction de l'amplitude du signal d'entrée

### I.4.b. Porte de transmission (Transmission Gate TG)

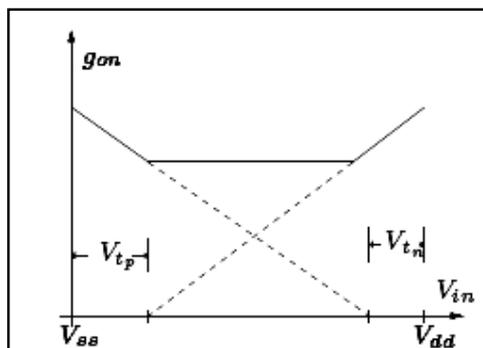
La porte de transmission (**Figure. I.10**) permet de faire jouer la complémentarité du NMOS et du PMOS pour obtenir une conductance du commutateur moins dépendante du signal d'entrée et pour assurer le fonctionnement du commutateur sur toute la plage du signal d'entrée admissible.



**Figure I.10. La porte de transmission**

La **Figure I.11** présente un des avantages de cette structure est sa simplicité de mise en place. Toutefois, elle dispose de deux inconvénients majeurs :

- ✓ La complémentarité ne permet ni d'obtenir une injection de charges constante indépendante du signal d'entrée ni une annulation de l'injection de charges.
- ✓ Lorsque la tension d'alimentation est très faible vis-à-vis des tensions de seuil, il est possible qu'une zone de non fonctionnement du commutateur existe (ni le NMOS ni le PMOS ne conduisent).

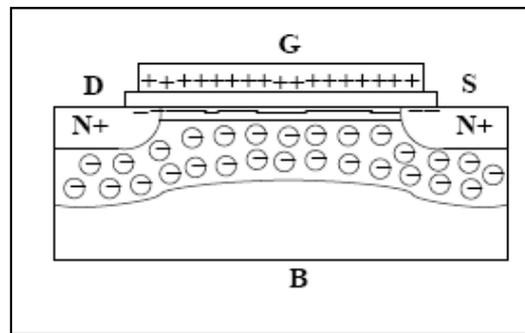


**Figure. I.11. Evolution de  $g_{on}$**

### I.5. Phénomène d'injection de charges et de couplage capacitif d'horloge (clock Feedthrough) [7]

Ce phénomène est attribué à l'injection des charges accumulées dans le commutateur analogique (soit au niveau du canal du transistor soit au niveau des capacités parasites entre grille-source et grille-drain) lorsque le commutateur bascule de l'état ON à l'état OFF. En effet, quand le transistor MOS est ON, il opère dans sa zone ohmique de fonctionnement et sa tension drain-source est quasiment nulle à la fin de la charge de la capacité.

Durant cette phase de charge, le canal du transistor MOS dispose d'une certaine quantité de charges dans le canal (**Figure. I.12.**), quantité qui est directement liée à la conductance de ce dernier. Lorsque le transistor bascule à l'état OFF, deux mécanismes d'injection de charges interviennent.



**Figure I.12. Schéma en coupe du commutateur analogique NMOS à l'état ON**

Une partie des charges accumulées dans le canal sont réinjectées dans le circuit via le drain et la source du transistor. En général, de par le fait que les temps de transition de l'état Haut - Bas de l'horloge sont brefs devant le temps moyen de recombinaison des charges dans le substrat, les charges réinjectées représentent la totalité des charges du canal. Cette charge accumulée est donnée par l'expression .

$$Q_{canal} = qWLC_{OX}(V_{GS} - V_{TH}) \quad (\text{I.18})$$

Avec  $V_{GS} = \phi_H - V_{in}$ ,  $q = 1$  dans le cas du PMOS,  $q = -1$  dans le cas du NMOS.

L'erreur commise sur la tension aux bornes de la capacité de maintien  $C_H$  est donnée par l'équation :

$$\Delta V_{canal} = \alpha \frac{Q_{canal}}{C_H} = \frac{qWLC_{OX}(V_{GS} - V_{TH0})}{C_H} \quad (\text{I.19})$$

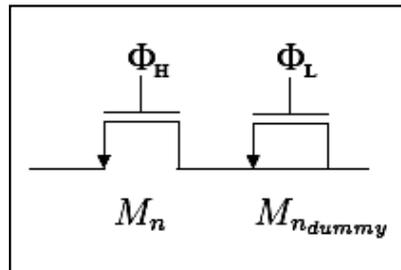
Avec  $\alpha$  le rapport entre les charges injectées sur l'armature haute de la capacité  $C_H$  et la totalité des charges accumulées dans le transistor MOS.

Les charges accumulées dans les capacités de recouvrement  $C_{OV}$  (entre grille-source et grille-drain) du MOS sont elles aussi injectées dans le circuit lors des basculements d'horloge. L'erreur commise sur la tension de maintien est donnée par l'équation :

$$\Delta V = \frac{C_{OV}}{C_H + C_{OV}} \Delta V_{clock} \quad (\text{I.20})$$

Ainsi, ces mécanismes d'injection de charges sont intrinsèques à la physique du transistor MOS et ils dépendent de l'amplitude du signal d'entrée (via la tension de commande  $V_{GS}$  et la tension de seuil  $V_{TH}$ ). Par conséquent, l'erreur introduite est non linéaire et d'après les équations précédentes, un compromis entre la taille du transistor MOS, la bande passante et la résolution souhaitée est nécessaire.

### I.6. Utilisation de dummy switch [8]



### I.13. Circuit de principe du commutateur avec son dummy

Cette méthode fait appel à un transistor supplémentaire ( $M_{ndummy}$  pour la Fig. I.13) dans le sens où ses terminaux sont court-circuités, pour minimiser l'impact de l'injection de charges du commutateur principal. Son impact direct sur le circuit est limité à une charge capacitive supplémentaire. Le principe de fonctionnement de cette technique repose sur l'annulation des charges injectées par le commutateur analogique grâce à l'absorption de ces dernières par le dummy.

## I.7. Conclusion

Dans ce chapitre nous avons présenté le comportement du composant actif utilisé dans la conception de nos modules qui est décrit dans le troisième chapitre qui se suit. Dans un premier temps, nous sommes intéressés à étudier l'inverseur avec tout leur principe de fonctionnement. Nous avons passé par la suite par une revue sur l'ensemble des miroirs de courant, et les interrupteurs, Nous sommes intéressés à la conception de cette cellule en technologie CMOS.

Finalement nous somme terminé notre chapitre par une bref étude sur la charge injection, clock Feedthrough et le dummy switch en technologie CMOS.

# Chapitre II

## *Etude d'un CNA*

## II.1.Introduction

Dans le domaine des convertisseurs numérique-analogique rapides, comme dans bien d'autres, plus que l'imagerie électronique, la vidéo, le test et l'instrumentation, ce sont les télécoms qui tirent les performances et suscitent l'innovation. Ces convertisseurs trouvent en effet leur juste emploi dans les chaînes de transmission de signal, où leur mission est de reconstruire une onde analogique discrète, plus ou moins complexe en fonction du schéma de modulation. L'avènement des radios numériques multiporteuses en large bande et la généralisation des techniques de conversion directe expliquent l'engouement constaté pour de tels composants.

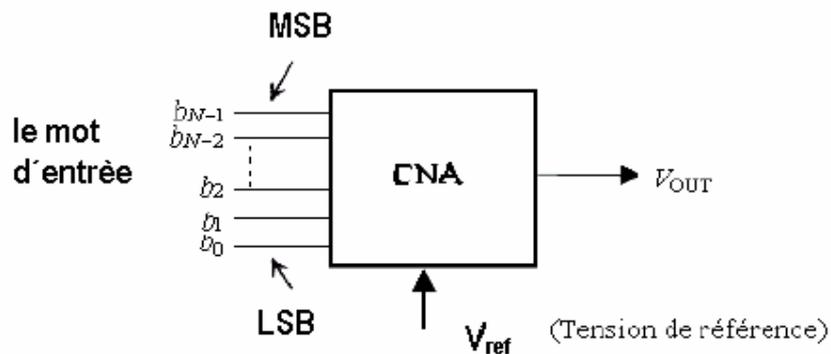
Pour une meilleure compréhension de ce qui va suivre, une petite explication sur les différentes erreurs et caractéristiques du CNA est nécessaire. Dans la littérature, il existe différentes architectures de convertisseurs : les convertisseurs à résistance, les convertisseurs à capacité et les convertisseurs à source de courant.

## II.2. Caractéristique de convertisseur numérique analogique

Les différents paramètres utiles définissant les performances d'un convertisseur numérique analogique sont définis dans cette partie. Ces caractéristiques ne sont pourtant pas toujours données dans les articles présentant de nouvelles architectures de conversion. Il existe dans la littérature une multitude de critères pour estimer les performances d'un convertisseur numérique analogique. Malgré cela, seulement quelques uns sont vraiment explicites : le *SNR* (Signal-to-Noise Ratio), le *SFDR* (Spurious-Free Dynamic Range), la nombre effectif de bits *ENOB* (Effective Number Of Bits) et enfin la puissance consommée. Le nombre effectif de bits peut être déterminé en dynamique (*SNR* et *SFDR*) ou en statique avec l'*INL* (Integral Non-Linearity) ou la *DNL* (Differential Non-Linearity), cependant ces mesures dynamiques et statiques permettent une meilleure précision sur cette estimation.

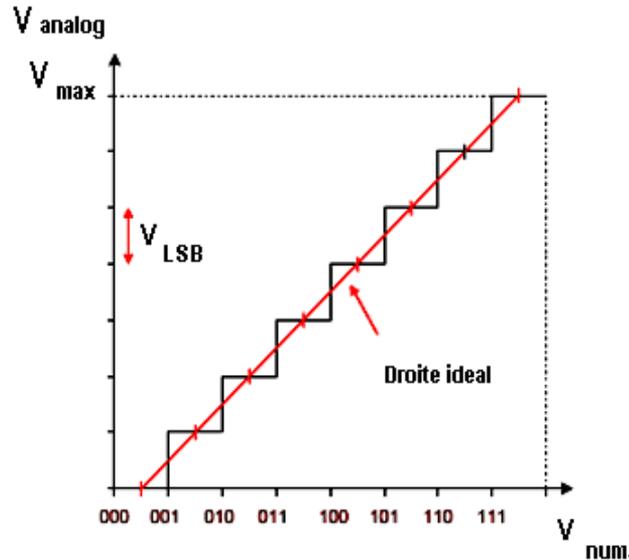
**Définition [9]**

Un Convertisseur Numérique Analogique CNA (figure II.1) est un circuit qui est employé pour convertir une configuration binaire en une grandeur analogique directement proportionnelle à la valeur décimale de la configuration. Les entrées d'un convertisseur N bits sont des niveaux logiques  $b_0, b_1, b_2, \dots$  prenant les états logiques '0' ou '1'. La sortie analogique est une tension ou courant.



**Figure II.1** Synoptique d'un convertisseur numérique analogique

Les principaux paramètres des CNAs sont définis ici. Ceux-ci sont bien sûr indépendants de l'architecture retenue pour le circuit, et du mode de conception analogique. La fonction de transfert d'un CNA idéal est représentée (Figure II.2), pour une résolution  $N$  de 3-bits. L'axe horizontal représente les états numériques discrets en entrée  $V_{num}$ , et l'axe vertical la sortie analogique  $V_{analog}$ . La dynamique du signal d'entrée  $V_{analog}$  est comprise entre 0 et  $V_{max}$ . Dans le cas idéal, la hauteur d'une « marche » est constante et vaut  $V_{LSB}$ .



**Figure II.2** Caractéristique d'un convertisseur numérique analogique 3bit

Le maximum de la tension de sortie analogique qui peut être généré est connu comme la tension de pleine échelle **PE**

$$PE = \frac{2^N - 1}{2^N} V_{REF} \quad (\text{II.1})$$

Le **LSB** définit le changement possible le plus petit de la tension de sortie analogique. un LSB peut être défini comme

$$1LSB = \frac{V_{REF}}{2^N} \quad (\text{II.2})$$

### Résolution

C'est l'écart minimum entre deux codes, et exprimée en % PE du CNA. La résolution dépend essentiellement du nombre de bits. C'est la raison pour laquelle les fabricants expriment généralement la résolution d'un CNA comme un nombre de bits. Un CNA de 10 bits a une résolution plus fine qu'un CNA de 8 bits. La résolution d'un convertisseur N bits est

$$R = \frac{PE}{2^N} \quad (\text{II.3})$$

## Précision

La précision appelée aussi erreur pleine échelle traduit la différence entre la tension de sortie obtenue et la tension de sortie théorique (idéale) et inclut toutes les sources d'erreurs (la non-linéarité, l'erreur d'offset,...). Elle s'exprime en % PE. La précision du convertisseur N bits

$$\Delta V_e \leq \frac{PE}{2^{N+1}} \quad (\text{II.4})$$

### II.2.1. Caractéristique statique [10] [11]

Les erreurs statiques sont celles qui affectent la précision du convertisseur quand celui-ci est utilisé pour créer des signaux continus (DC). Elles peuvent être caractérisées avec quatre termes : l'erreur de décalage (offset), l'erreur de gain, la non-linéarité intégrale et la non-linéarité différentielle. Elles sont exprimées, soit en LSB, soit en pourcentage de la pleine échelle de convertisseur N/A.

#### II.2.1.a. Erreur de décalage « offset »

L'erreur d'offset est définie comme le décalage entre la valeur nominale et la valeur réellement présente pour un code numérique en entrée égal à 0 (Figure III.3). Cette erreur est la même pour tous les points, elle peut souvent être compensée par un réglage externe au convertisseur N/A.

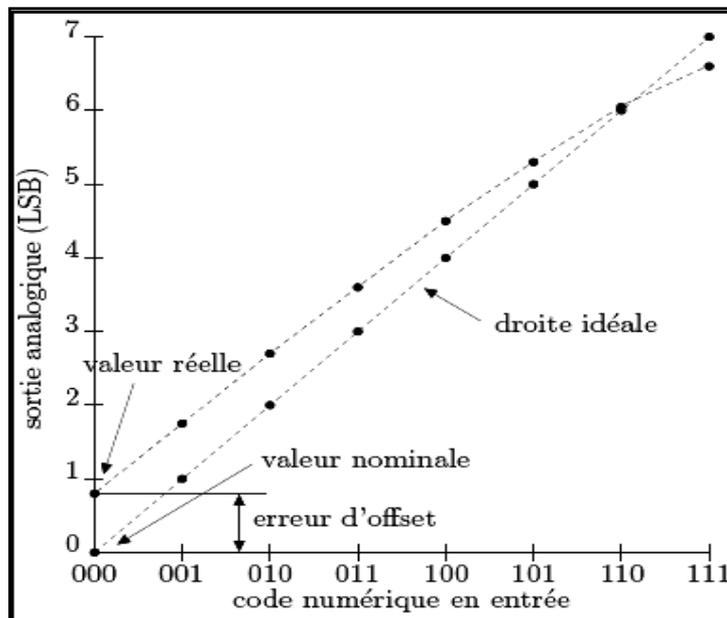
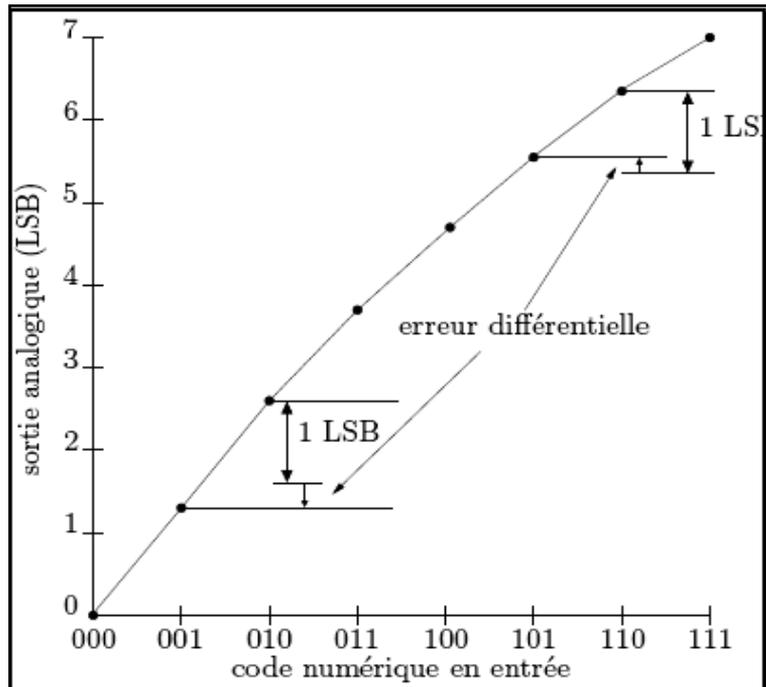


Figure II.3 Erreur de décalage

### II.2.1.b. Erreur de Non-Linéarité différentielle (DNL)

La non-idéalité des composants cause les incréments analogiques différent de leurs valeurs idéales. On connaît la différence entre les valeurs idéales et réelles comme la non linéarité différentielle.

En général, le maximum de non linéarité différentielle se trouve à la moitié de la pleine échelle (passage du MSB de 0 à 1), et ensuite à moindre degré à 1/4 et 3/4 de la pleine échelle.



**Figure II.4 Erreur de non linéarité différentielle**

### II.2.1.C. Erreur de Non-linéarité intégrale (INL)

L'erreur de non-linéarité intégrale (INL) est définie, pour chaque code numérique possible, comme la différence entre la valeur analogique obtenue et la valeur appartenant au segment de référence. Ce segment de référence peut être choisi arbitrairement, la solution la plus simple est de le faire passer par les deux points extrêmes du convertisseur N/A mais cela n'est pas forcément représentatif de la linéarité. Il faut donc trouver le segment qui minimise l'erreur. De même que pour l'erreur différentielle, cette seule valeur ne permet pas de caractériser le convertisseur N/A car elle ne donne que l'erreur maximale (figure II.5).

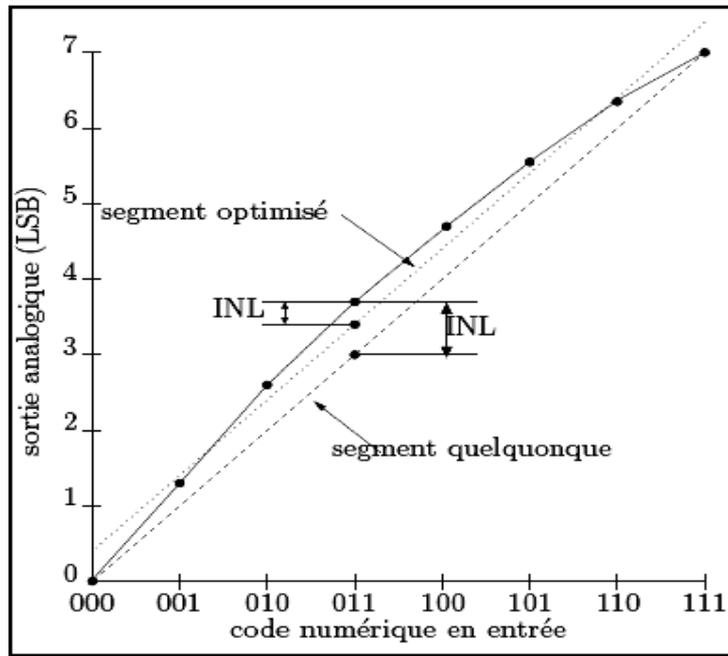


Figure II.5 Erreur de non linéarité intégrale INL

**II.2.1.d Erreur de gain**

L'erreur de gain est dernière comme la différence entre la valeur nominale et la valeur réellement présente pour un code numérique en entrée correspondant a la plus grande valeur réalisable avec le convertisseur N/A, les points s en zéro étant identiques (FigureII.6) Elle peut aussi être compense par un réglage externe au convertisseur N/A.

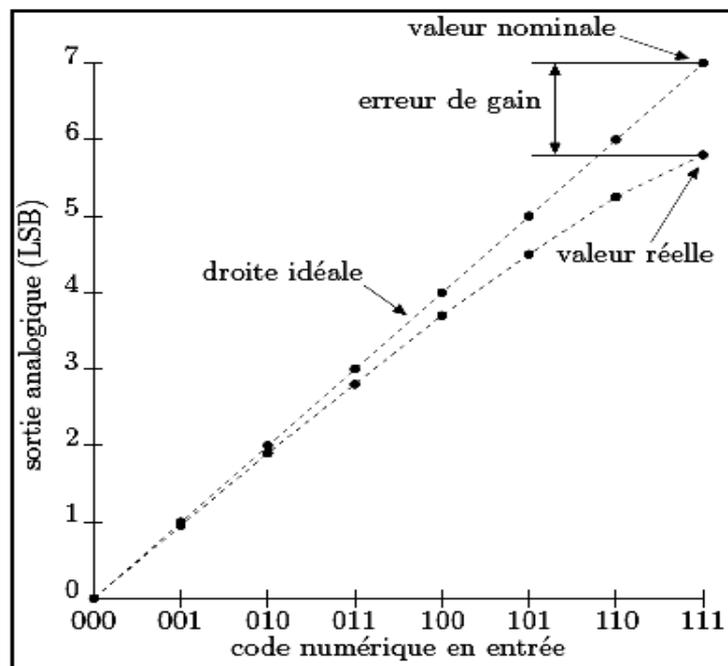


Figure II.6.Erreur de gain

## II.2.2. Caractéristique dynamique [12]

Différents types de calcul existent pour l'erreur dynamique. Ces différents types n'étant pas spécifiés dans le cahier des charges, ils ne sont mentionnés ici qu'à titre d'information.

### II.2.2.a. Rapport signal sur bruit (SNR)

C'est le rapport entre la fondamentale et le bruit présent à la sortie. Cette mesure nous permet de calculer le nombre de bits effectifs. En partant du rapport signal sur bruit théorique  $SNR_{th}$  donné en fonction du nombre de bits :  $SNR_{th} = f(n)$ , le nombre de bits effectifs peut être calculé une fois la  $SNR_{pratique}$  connue :  $n_{eff} = f^{-1}(SNR_{pratique})$ .

### II.2.2.b. Distorsion harmonique totale (THD)

Cette mesure correspond au rapport entre la somme des 6 premières harmoniques et la fondamentale.

### II.2.2.c. Dynamique sans parasites (SFDR)

C'est le rapport entre la fondamentale et la plus grande des harmoniques

### II.2.2.d. Signal sur bruit et distorsion (SNDR)

Ce rapport tient compte en même temps du bruit et de la distorsion, il représente une combinaison du SNR et de la THD

## II.3. Architecture de convertisseur numérique analogique [13], [14], [15], [16].

Beaucoup d'architectures sont en vogue dans l'univers de la conversion numérique-analogique. Certaines ne sont naturellement pas adaptées à soutenir des cadences d'échantillonnage de 40Méch. /s et plus. A cette vitesse et au-delà, le CNA typique délivre, via des sorties différentielles, un courant et non une tension. La valeur de pleine échelle de ce courant est parfois ajustable, entre 2 et 20mA généralement. La topologie du convertisseur est basée sur un système de sources de courant.

En mode courant, la conception d'un CNA se ramène toujours à celle d'un réseau de sources de courant commandées par un code numérique en entrée :  $V_{num} = [b_0, b_1, \dots, b_{n-1}]$

Il existe plusieurs types d'architectures selon l'implémentation de cette matrice :

- Les CNAs à miroirs pondérés (*binary weighted DAC*),
- Les CNAs à code thermomètre (*thermometer coded DAC*)

- Enfin les montages hybrides utilisant les deux types d'architectures.

### II.3.a. CNAs à miroirs pondérés (*binary weighted DAC*)

Dans la structure dite «pondéré binaire» (*binary-weighted*), les valeurs de ces sources de courant sont pondérées ( $1 : 2 : 4 : \dots : 2^N - 1$ ) selon le bit que chacune d'entre elles représente. Si cette architecture a le mérite de la simplicité, en ce sens qu'elle ne demande pas de décodage du mot d'entrée, elle n'est guère adaptée aux résolutions élevées. Son schéma de principe est donné Figure II.7

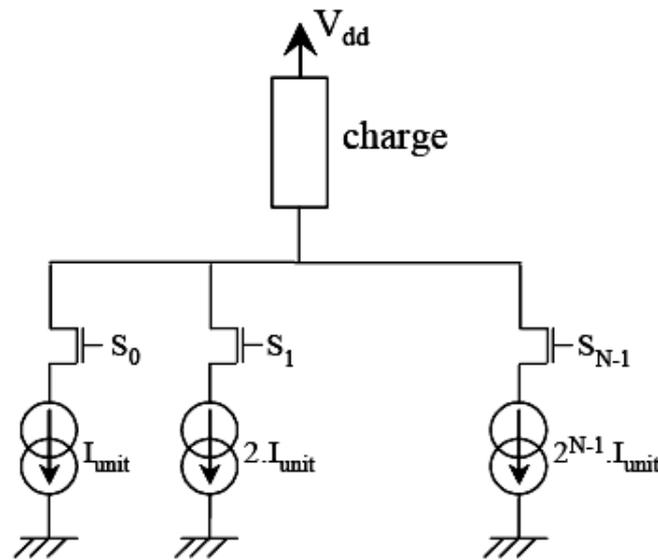


Figure II.7 Schéma de principe d'un CNA à miroirs pondérés.

Les interrupteurs  $S_i$  sont contrôlés par les bits  $b_0, b_1 \dots b_{N-1}$ ,  $N$  étant le nombre de bits du CNA,  $b_0$  le bit de poids faible (**LSB**) et  $b_{N-1}$  le bit de poids fort (**MSB**). Lorsque le bit  $b_i$  est à '1', l'interrupteur  $S_i$  est fermé et le courant correspondant s'écoule vers la sortie. Dans ce type de convertisseurs, chaque source de courant d'indice  $i$  commandée par  $S_i$  est constituée de  $2^i$  sources de courant élémentaires en parallèle. Le courant associé à cette source.

$$I_i = 2^i I_{unit} . \quad (\text{II.5})$$

Où  $I_{unit}$  le courant débité par une source de courant élémentaire. Ainsi, à un instant donné  $t_0$ , si l'entrée numérique  $\{b_i(t_0)\}_{0 \leq i \leq N-1}$  est considérée, l'expression du courant de sortie du CNA.

$$I_{out}(t_0) = \sum_{i=0}^{N-1} I_{unit} \cdot 2^i b_i(t_0) \quad (\text{II.6})$$

Le principal inconvénient de cette architecture est l'existence d' interrupteur (glitches) en raison des délais qui existent dans le circuit lorsque les différents courants sont commutés. Lors d'une transition de l'entrée de '01111...1' à '10000...0', théoriquement le bit de MSB commute à '1' pendant que simultanément les N-1 bits de LSB commutent à '0', mais il est possible que les LSB commutent avant les MSB faisant passer temporairement le courant de sortie du CNA à zéro, ou bien que les MSB commutent avant les LSB faisant passer temporairement le courant de sortie du CNA à sa valeur maximale.

Ces glitches sont coûteux en terme de consommation, mais du point de vue du fonctionnement même du CAN, il suffit de choisir un délai suffisamment long pour le contrôleur afin de s'affranchir de ces valeurs temporaires de sortie non valides. Pour supprimer définitivement ce problème, une structure de conversion numérique analogique à code thermomètre peut être employée.

### II.3.b. CNAs à code thermomètre (*thermometer coded DAC*)

Dans ce cas, pour  $N$ -bits de résolution,  $2^N - 1$  sources élémentaires de courant  $I_{unit}$  sont implémentées. Les codes numériques sur  $N$ -bits en entrée sont convertis en un code thermomètre qui commande toutes les sources de courant. La même monotonicité entre l'entrée numérique et la sortie analogique est alors toujours garantie. Cependant ce type d'architecture nécessite la présence d'un décodeur pour transformer le code binaire naturel en code thermomètre, ce qui est coûteux en surface et en consommation. Pour le CAN, ceci n'est pas important parce qu'il est possible de choisir n'importe quel codage au niveau du compteur/décompteur, par exemple le code thermomètre. La présence de ce décodeur n'est pas nécessaire.

Par contre la complexité de la partie numérique demeure puisqu'il faut alors, pour coder le même nombre d'états,  $2^N - 1$  fils contre  $N$  pour un code binaire classique.

Quelle que soit l'architecture retenue, la surface de silicium occupée par la matrice de miroirs demeure identique : pour le code thermomètre, il y a  $2^N - 1$  miroirs élémentaires, et pour le binaire classique,  $N$  miroirs, chacun constitué de  $2^i$  miroirs élémentaires ( $i$  variant entre 0 et  $N-1$ ).

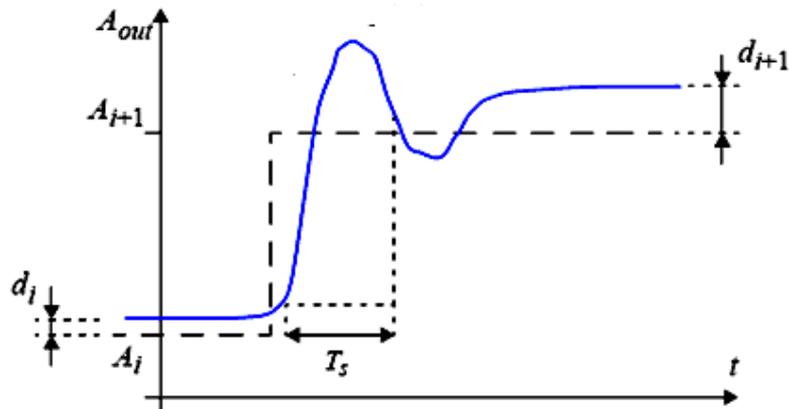
### II.3.c. Montage hybride

Il existe maintenant beaucoup de nouveaux montages hybrides qui utilisent simultanément les deux types de structures : il y a fractionnement des bits du convertisseur selon différents critères: les bits de LSB sont implémentés avec un CNA en binaire naturel et les bits de MSB avec un CNA à code thermomètre. Ces structures permettent de trouver de bons compromis entre les différents critères de qualité d'un CNA: rapidité, consommation, complexité et surface.

### II.4.Détermination des performances statiques du CNA [17] [18] [19] [20]

Quand une marche est appliquée à l'entrée du CNA, les bits numériques entrent en commutation, la sortie analogique restera stable depuis la valeur  $A_i$ , jusqu'à la valeur  $A_{i+1}$ , Le temps de stabilisation, désigne, par exemple le temps allant de la valeur 5% à 95% de la valeur idéale d'une marche. La valeur finale (après l'établissement complet) est définie comme une valeur statique. Le temps de stabilisation  $T_s$  détermine la vitesse la plus élevée possible du circuit

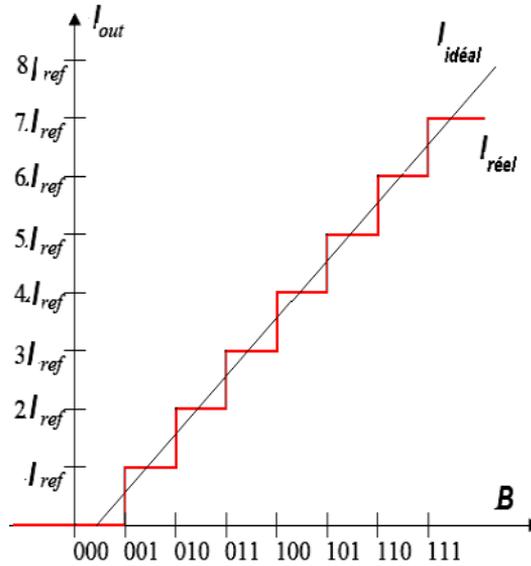
Les mesures de performance statique sont indiquées par les déviations des valeurs voulues,  $A_i$  et  $A_{i+1}$  qui sont dénotées respectivement,  $d_i$  et  $d_{i+1}$  figure II.8.



**Figure : II.8** Le signal de sortie réel est compare avec le signal de sortie idéal. La déviation de la valeur de départ  $A_i$  et la valeur finale  $A_{i+1}$  détermine la valeur statique du code spécifique. Le temps de stabilisation est marqué par  $T_s$ .

**II.4.1. Erreur de Quantification**

Nous mettons l'accent sur la quantification uniforme en code binaire qui fournit une structure régulière de quantification figure II. 9



**Figure II.9 .Caractéristiques de transfert de conversion en code binaire et de quantification uniforme**

La fonction de transfert est donne par

$$I(B_i) = I_i = i \cdot I_{ref} \tag{II.7}$$

Où  $I_{ref}$  est le courant de référence et  $i = 0, \dots, 2^N - 1$ . De plus, le courant de référence est le niveau d'amplitude pour LSB noté comme suit :

$$I_{LSB} = I_{ref} \tag{II.8}$$

et on a l'équation (II.6)

$$I_{out} = \sum_{i=0}^{N-1} I_{unit} \cdot 2^i b_i = I_{LSB} (2^0 b_0 + \dots + 2^{N-1} b_{N-1}) = I_{LSB} \cdot B, \tag{II.9}$$

Où

$$I_{LSB} = I_{unit},$$

$$B = \sum_{i=0}^{N-1} 2^i \cdot b_i = 2^0 \cdot b_0 + \dots + 2^{N-1} \cdot b_{N-1},$$

$$0 \leq B \leq (2^N - 1),$$

$$B = (b_{N-1}, b_{N-2}, \dots, b_2, b_1, b_0).$$

$b_{N-1}$  le poids fort MSB,  $b_0$  le poids faible LSB.

L'amplitude maximale du CNA est

$$I_{\max} = I \cdot (B_{2^N-1}) = I_{2^N-1} = (2^N - 1) \cdot I_{LSB} \quad (\text{II.10})$$

L'erreur de quantification est :

$$I_{\text{erreur}} = I_{\text{réel}} - I_{\text{idéal}} \quad (\text{II.11})$$

#### II.4.2. Non linéarité différentielle (DNL)

La déviation à partir d'une valeur idéale est considérée comme une définition fondamentale. La non linéarité différentielle (DNL) indique la nature de ces erreurs non linéairement distribuées. Supposons que la valeur de sortie idéale pour un code donné,  $B_i$  est la suivante

$$I_{\text{idéal}}(B_i) = I_i \quad (\text{II.12})$$

$I_i$  Courant idéal.

La valeur réelle produite par le convertisseur pour le même code est

$$I_{\text{réel}}(B_i) = \tilde{I}_i \quad (\text{II.13})$$

$\tilde{I}_i$  : Courant réel.

La déviation est directement donnée par

$$d_i = I_{\text{réel}}(B_i) - I_{\text{idéal}}(B_i) = \tilde{I}_i - I_i \quad (\text{II.14})$$

La déviation est normalisée en considérant la valeur de LSB, comme

$$\overline{d}_i = \frac{d_i}{I_{LSB}} = \frac{\tilde{I}_i - I_i}{I_{LSB}} \quad (\text{II.15})$$

Et la déviation atteindra la valeur 1LSB, le DNL,  $D_i$ , est la différence entre les deux déviations à un certain code de transition  $B_{i-1}$  à  $B_i$ , comme

$$D_i = \overline{d}_i - \overline{d}_{i-1} = \frac{\tilde{I}_i - I_i}{I_{LSB}} - \frac{\tilde{I}_{i-1} - I_{i-1}}{I_{LSB}} = \frac{\tilde{I}_i - \tilde{I}_{i-1}}{I_{LSB}} - 1 \quad (\text{II.16})$$

Il convient de rappeler que dans le cas présent  $I_i$  et  $I_{i-1}$  représentent les niveaux d'amplitude de deux codes consécutifs et la différence entre eux est idéalement un LSB.

Si toutes les déviations sont également larges,  $D_i = 0$  pour tous les codes de transitions, et par conséquent, il n'y aurait uniquement une erreur d'offset à la sortie une observation importante est que si le DNL augmente, les déviations à partir du code réel augmentent à leur tour et la fonction de transfert est non linéaire.

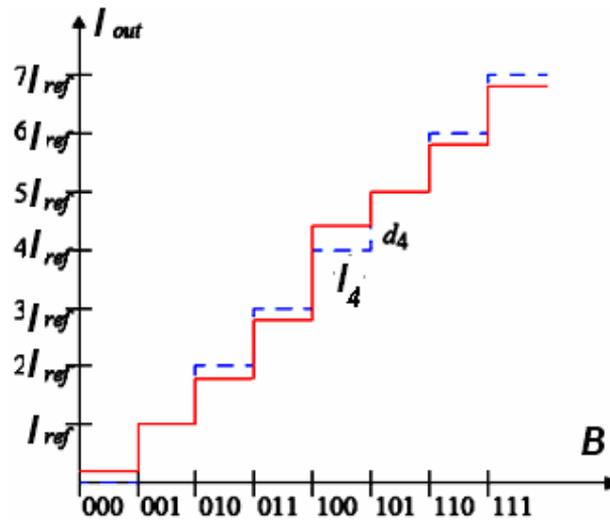


Figure II.10. Les erreurs possibles dans les niveaux d'amplitude pour CNA à 3 bits

### II.4.3. Erreur d'offset

L'erreur d'offset,  $I_{offset}$  pourrait être définie comme la déviation de la valeur minimale idéale de la sortie.

$$I_{offset} = d_0 \tag{II.17}$$

### II.4.4. Non linéarité intégrale INL

La non linéarité intégrale (INL), décrit la déviation entière de la ligne droite idéale. Les valeurs d'INL,  $INL_i$  pourraient également être calculées par les valeurs de DNL comme suit

$$INL_i = \sum_{k=1}^i D_k \tag{II.18}$$

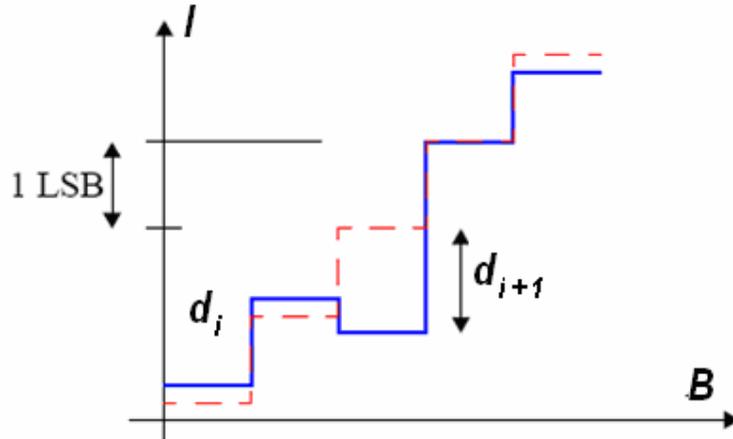
A partir de l'équation II.15 et II.16 on pourrait aussi obtenir la formule suivante

$$INL_i = \sum_{k=1}^i \frac{I_k - I_{k-1}}{I_{LSB}} - 1 = \frac{I_k - I_0}{I_{LSB}} - \frac{k \cdot I_{ref}}{I_{LSB}} = \frac{d_k - d_0}{I_{LSB}} \quad (\text{II.19})$$

**II.4.5.Monotonicit **

Si le niveau d'amplitude analogique du CNA augmente avec l'augmentation du code num rique, le convertisseur est donc monotone.

Un exemple pour un CNA non monotone est illustre dans la figure II. 11



**Figure II.11 CNA non monotone**

La monotonicit  est assur e a condition que la d viation a partir de la ligne droite la mieux appropri e soit moins d'un demi LSB

$$|D_i| \leq 1LSB \text{ Pour tous } i \quad (\text{II.20})$$

Cela suppose que les erreurs DNL sont moins d'un LSB.

$$|INL_i| = 1/2LSB \text{ Pour tous } i \quad (\text{II.21})$$

Il est   rappeler que les relations  voquent ci-dessus, suffisent pour assurer la monotonicit , mais en pourrait tout de m me un convertisseur monotone qui ne r pond pas aux relations dans II.20 et II.21.

Il y a une sorte une architecteur du convertisseur qui est monotone de part sa conception eg : CNA par thermom tre code.

**II.5. Conclusion**

Nous avons présenté dans ce chapitre les différentes spécifications et les différents paramètres qui limitent la performance de convertisseur numérique analogique et ensuite nous parlons sur les différents architecteurs du convertisseur numérique analogique.

# Chapitre III

## *Simulation et layout*

### III.1.Introduction

Il existe différentes architectures de convertisseurs : les convertisseurs à résistance, les convertisseurs à capacité et les convertisseurs à source de courant. Pour des raisons d'appariement et de vitesse, les convertisseurs à source de courant commuté sont les plus utilisés actuellement. L'appariement de transistors constituant les sources de courant est assez facile, et la commutation de courant est très rapide. Le choix d'un convertisseur à commutation de courant est un choix judicieux, au vu des performances à atteindre.

La sortie d'un convertisseur peut être une tension ou un courant. Les convertisseurs à source de courant ont généralement à leur sortie soit une simple résistance, soit un amplificateur.

Le convertisseur à concevoir doit remplir les conditions suivantes:

Une résolution 5bits, une charge résistive 100k, un pas  $1LSB=1\mu A$ , une fréquence 50KHz,  $DNL \leq 1/4LSB$  et  $INL \leq 1/2LSB$

Afin de mieux caractériser la réalisation d'un CNA, l'étude qui suit s'attache tout d'abord à déterminer les caractéristiques du miroir de courant de base et les interrupteurs, qui sont les éléments essentiels d'un CNA puis à détailler la conception en technologie CMOS 0.35 $\mu m$ .

### III.2 Miroirs de courant et leurs limitations

Cette partie est consacrée à la conception et à la simulation de deux types de miroirs de courant, miroir de courant simple et miroir de courant cascode.

III.2.a. Miroir de courant simple

La figure III.1 présente un miroir de courant simple.

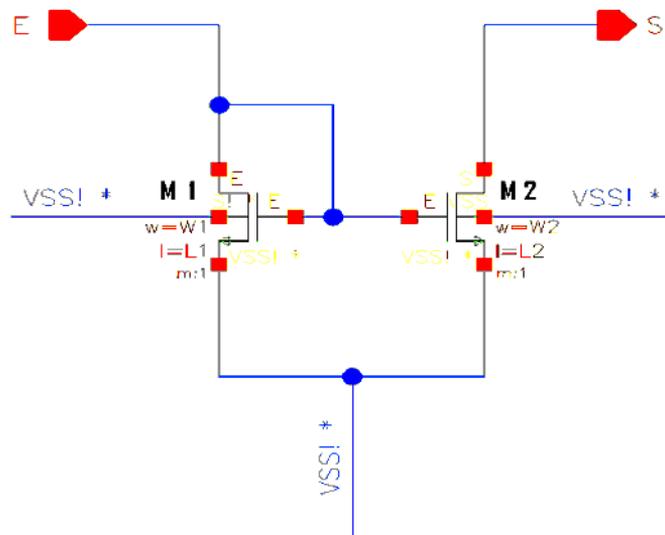


Figure III.1 Schéma du miroir de courant simple

Test Bench du miroir de courant simple

Avant toute simulation, le concepteur doit établir un circuit **Test Bench** prenant en considération les entrées et les sorties du bloque à simuler.

Le but de cette simulation est de connaître la variation du courant  $I_d$  en fonction de la tension d'entrée  $E$ . La variation de  $I_d$  est comparée au courant de référence  $I_{ref}$ . La figure III.2 montre le circuit **Test Bench** du miroir de courant simple.

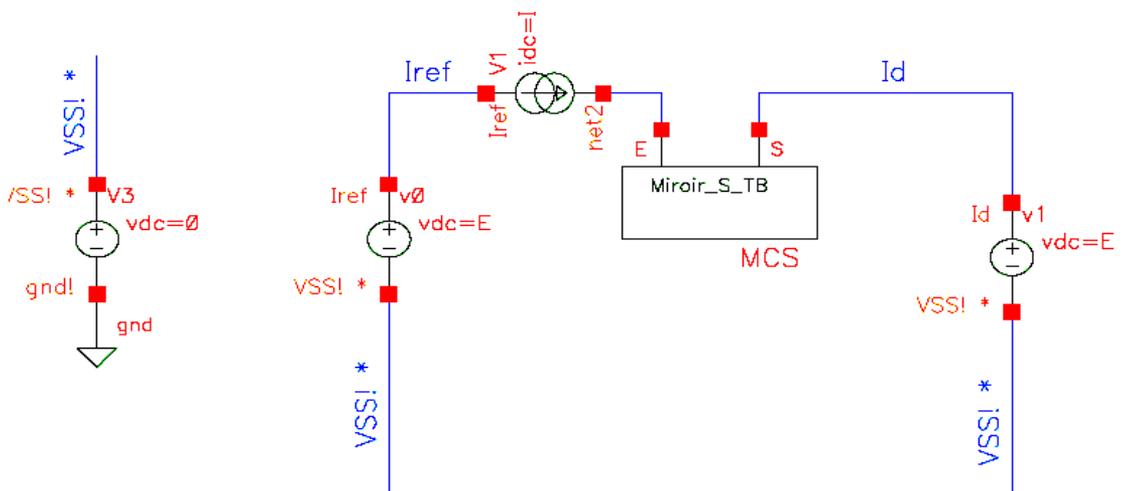


Figure III.2 Test bench du circuit de miroir de courant simple

Pour les différentes valeurs du courant de référence  $I_{ref}$ , on obtient les résultats de la simulation présentés dans la figure III.3

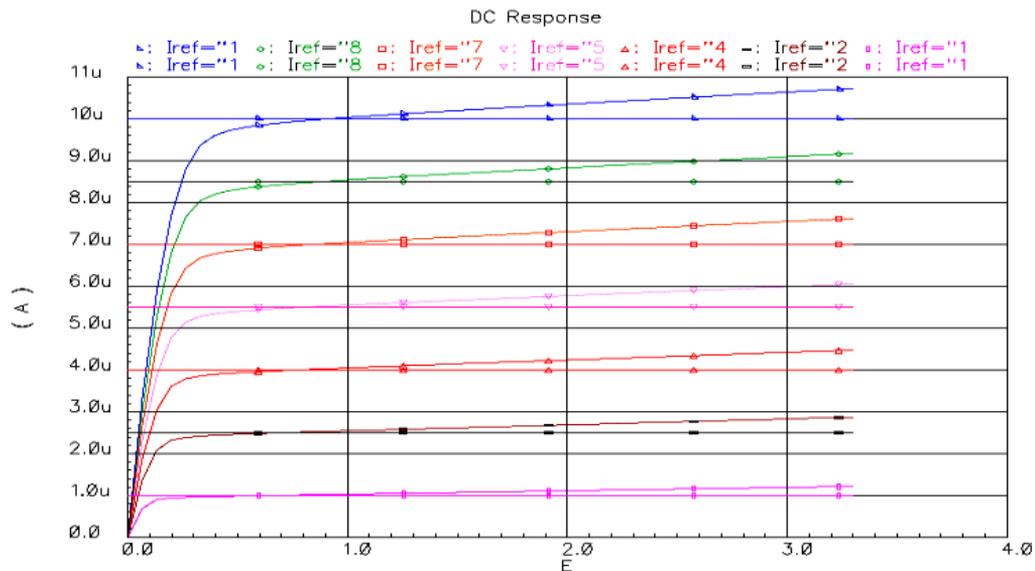


Figure III.3. Résultats de la simulation

La figure III.4 montre la variation du courant  $I_d$  en fonction de la tension d'entrée  $E$  avec les dimensions des deux transistors:  $W(M1)=W(M2)=1\mu m$ , et  $L(M1)=L(M2)=1\mu m$ .

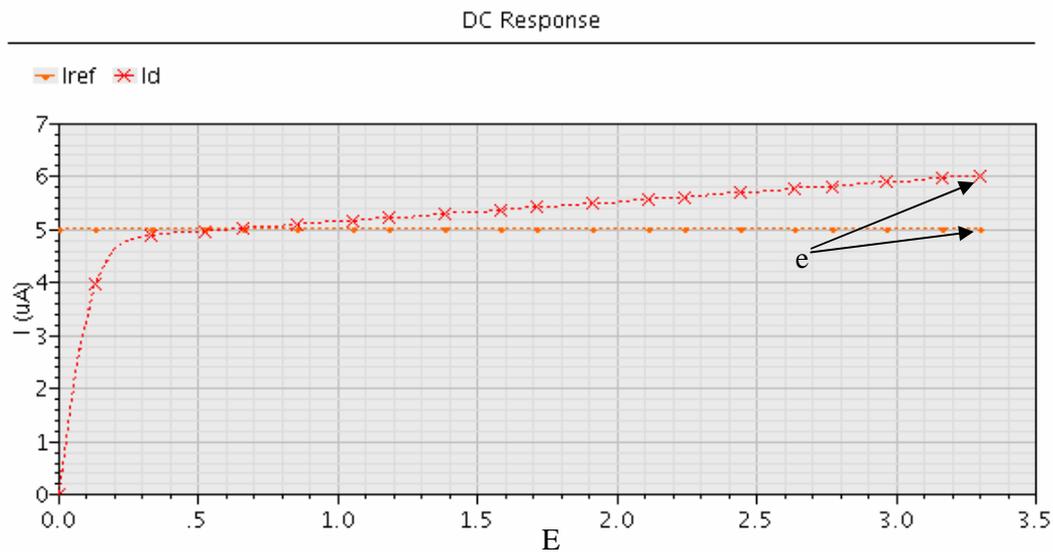


Figure III.4 Résultats de la simulation

Les résultats de la simulation nous indique que :

- $e = I_d - I_{REF} = 0.222\mu A$ .
- $V_{DSsat} = 584.221mV$ ,

Où

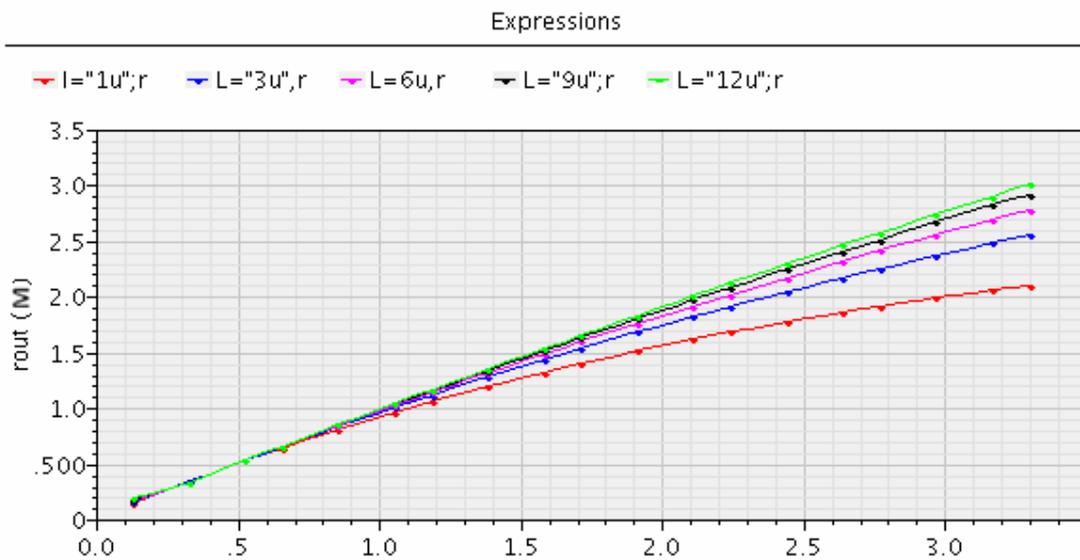
(e): est l'erreur du miroir de courant simple.

$V_{DSsat}$  : La tension de saturation du transistor M2

Afin de minimiser l'erreur (e) une optimisation du miroir de courant est nécessaire

### Optimisation du miroir de courant

L'optimisation du miroir de courant nous mène à bien déterminer les deux dimensions  $w$  et  $L$  du transistor. En tenant compte de la résistance de sortie  $r_{DS}$ , la figure III.5 représente la variation de  $r_{DS}$  selon la tension  $E$  à plusieurs valeurs de  $L$ .



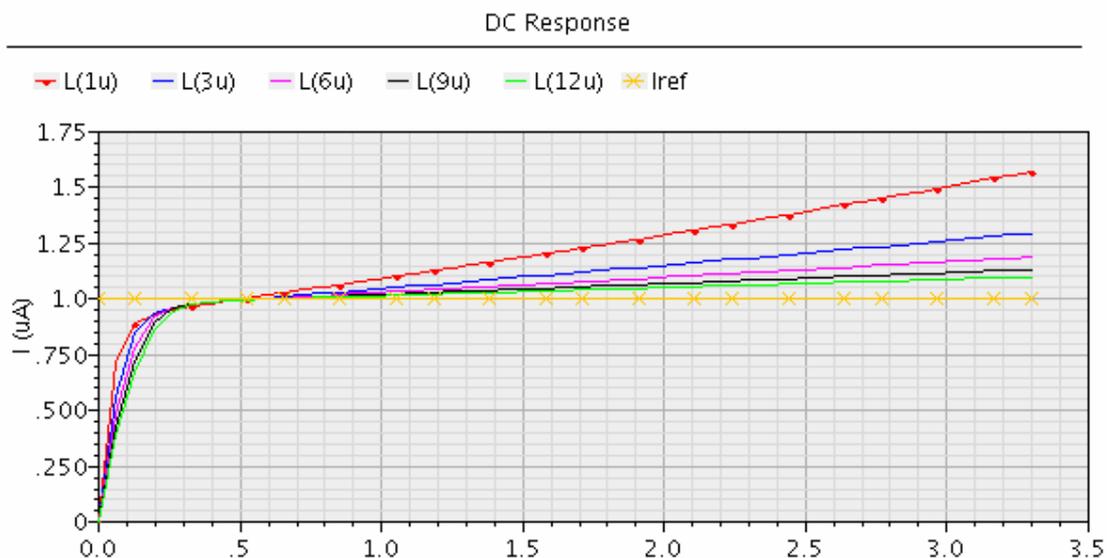
**Figure III.5 Résultats de la simulation**

En fixant  $W$  (premier cas  $W=2\mu m$ , deuxième cas  $W=4\mu m$ ) et augmentant  $L$  pour minimiser l'erreur du miroir de courant simple, on obtient le tableau III.1 contenant les résultats de l'erreur du miroir de courant simple.

<b>L (m)</b> : la longueur	<b>e (A)</b> : l'erreur pour W=2um	<b>e (A)</b> : l'erreur pour W=4um
2u	0.156u	0.197u
4u	0.0695u	0.091u
6u	0.0418u	0.0549u
8u	0.03012u	0.039u
10u	0.0240u	0.031u
12u	0.02035u	0.0263u
14u	0.02036u	0.0264u

**Tableau III.1. la variation de l'erreur de miroir en fonction des valeurs W et L**

Si on augmente **W** pour les mêmes valeurs de **L**, l'erreur (**e**) augmente également. (Tableau III.1) La figure III.6 présente les courbes du miroir de courant, et on peut bien constater que l'erreur (**e**) diminue à l'augmentation de **L**.



**Figure III.6 Résultats de la simulation**

### III.2.b Miroir de courant cascode

Figure III.7 indique le schéma du miroir de courant cascode avec quatre transistors M1, M2, M3 et M4.

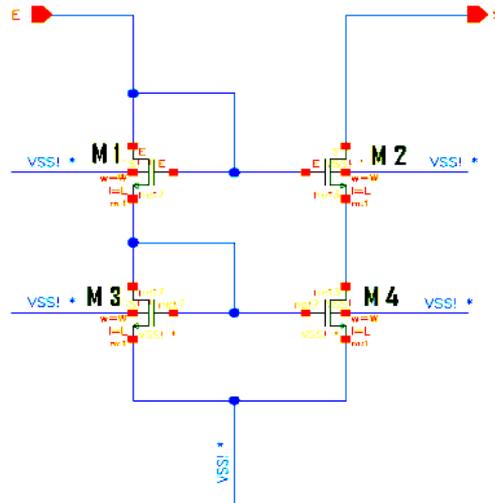


Figure III.7 Schéma du miroir de courant cascode

### Test Bench du miroir de courant cascode

Cette simulation présente la variation du courant  $I_d$  en fonction de la tension d'entrée  $E$ . La variation de  $I_d$  est comparée au courant de référence  $I_{ref}$ . La figure III.8 montre le circuit **Test Bench** du miroir de courant cascode.

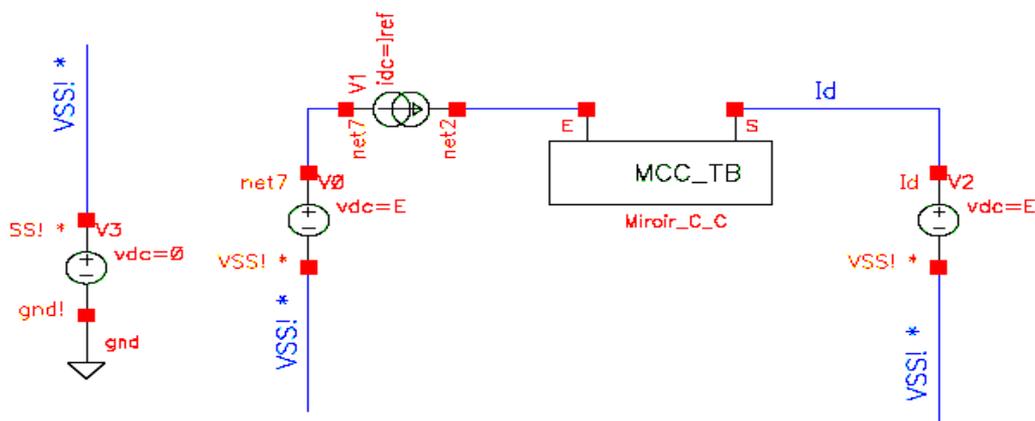


Figure III.8 Résultats de la simulation

Pour les différentes valeurs du courant de référence  $I_{ref}$ , on obtient les résultats de la simulation présentés dans la figure III.9.

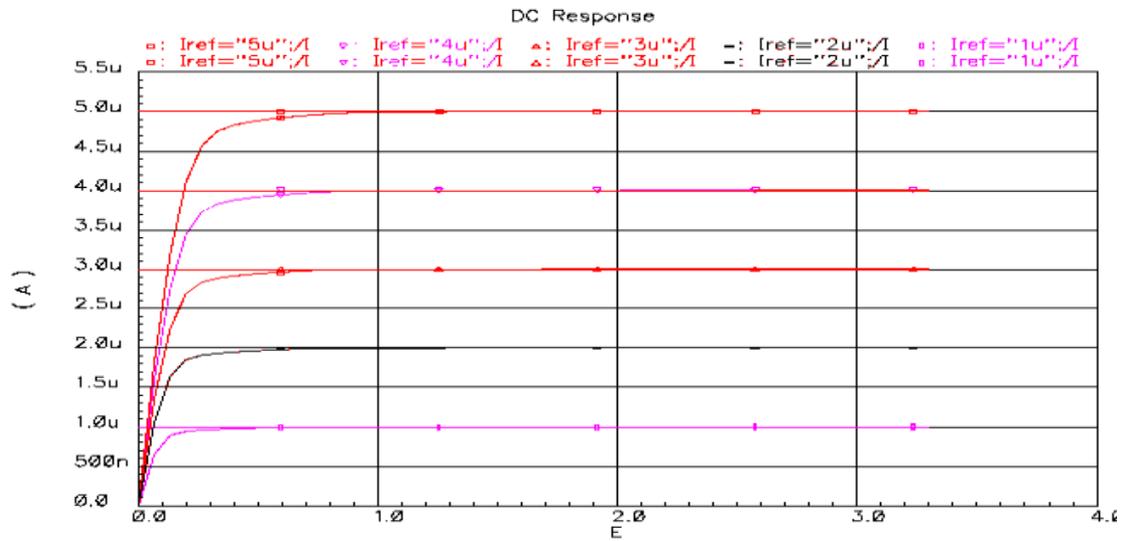


Figure III.9 Résultats de la simulation

La figure III.10 présente les résultats de la simulation pour un seul courant Iref selon les paramètres géométriques (W/L=1) de tous les transistors du miroir de courant cascode.

On obtient :

- L'erreur (e) est nulle.
- $V_{DSsat} = 692.47mV$  La tension de saturation de deux transistors M2 et M4.

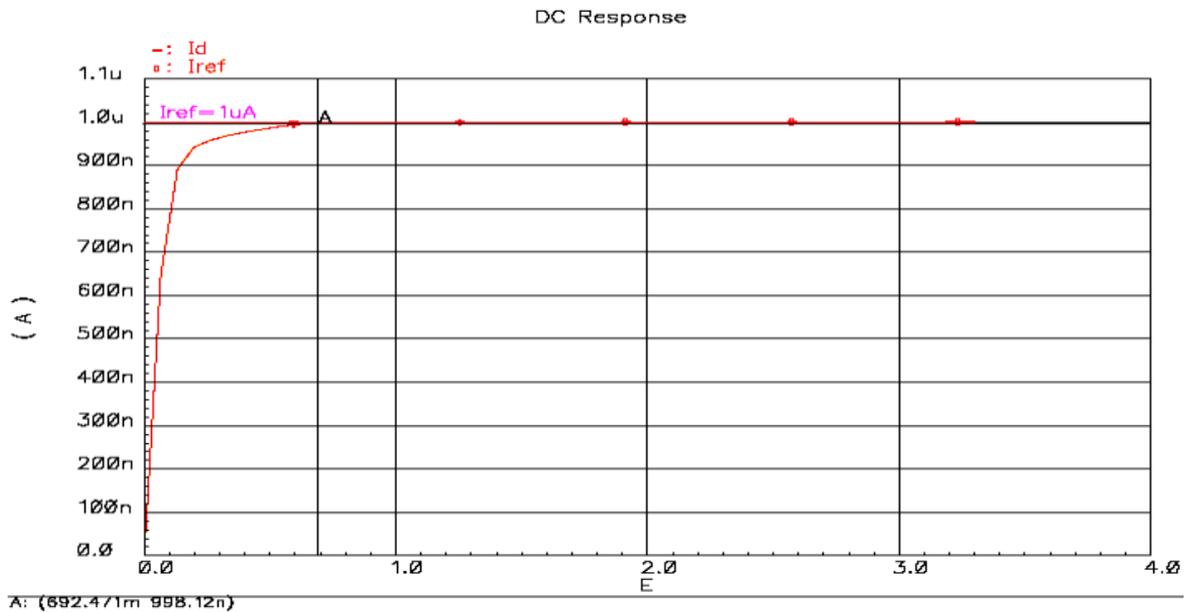


Figure III 10 Résultats de la simulation

Dans toutes les simulations précédentes des deux miroirs de courant simple et cascode, on peut conclure que :

- Si on augmente  $L$ , l'erreur du miroir de courant simple se minimise mais ne s'annule pas
- L'augmentation des deux paramètres  $W$  et  $L$  implique l'augmentation de la dimension des transistors, ce qui provoque l'agrandissement du chip.
- La tension minimale pour le miroir de courant simple ( $V_{DSsat} = 584.221mV$ ) est mieux que la tension minimale pour le miroir de courant cascode ( $V_{DSsat} = 692.47mV$ )

### III.3 Inverseur

L'inverseur CMOS est formé par l'association d'un NMOS et d'un PMOS, comme il est représenté dans la figure III.11

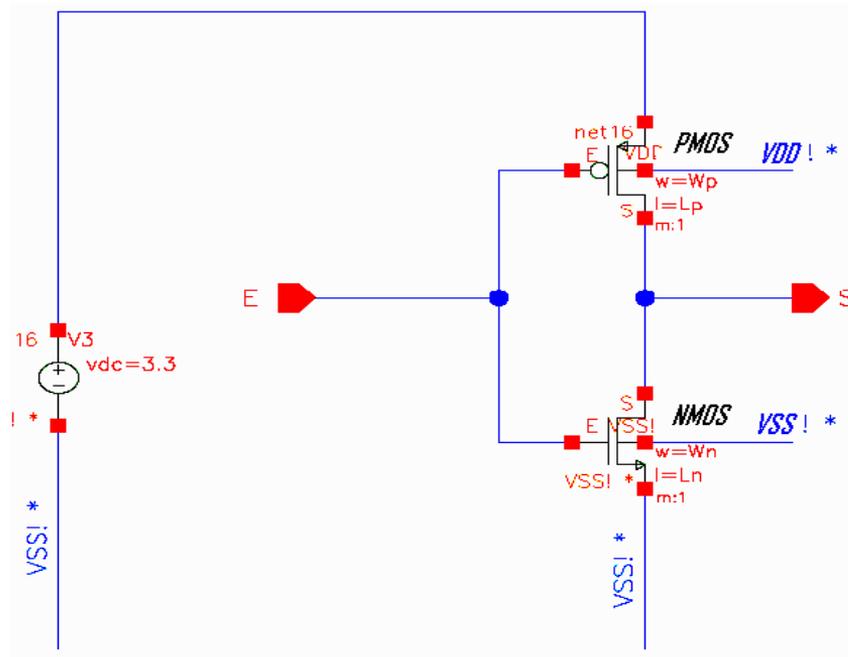


Figure III.11 L'inverseur CMOS

Les sources des transistors vont, l'une à la masse, l'autre à la tension d'alimentation, et leurs drains sont réunis à la tension de sortie. La tension d'entrée attaque les deux grilles en même temps.

- Si la tension E est égale à 1 ( $V_{dd}=3.3v$ ), le NMOS devient conducteur et le PMOS se bloque, la sortie est alors à la masse.
- Si la tension E est égale à 0 ( $V_{SS}=0$ ), NMOS se bloque et le PMOS devient conducteur, et la sortie passe à 1 ( $V_{dd}=3.3v$ ).

L'inverseur à CMOS complémentaires fonctionne donc comme un double commutateur, dont l'un est ouvert tandis que l'autre est fermé, mettant la sortie en relation soit avec Vdd, soit avec Vss.

Test bench de l'inverseur

La figure III.12 présente le test bench de l'inverseur

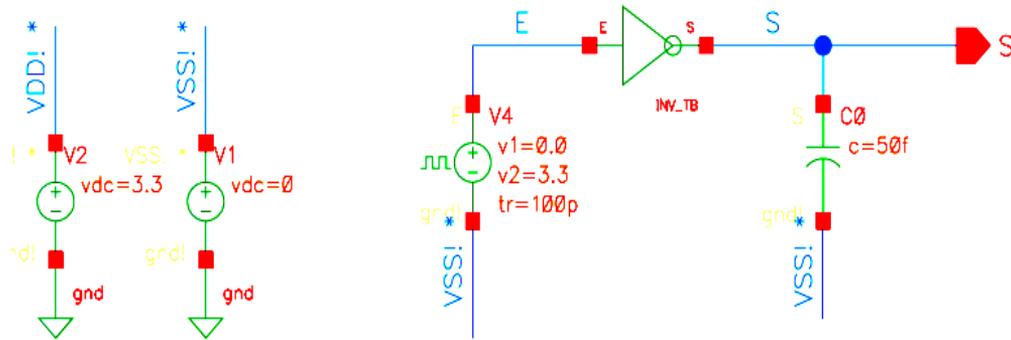


Figure III.12: Test bench d'inverseur

La figure (III.13) présente la tension d'entrée E et la tension de sortie S.

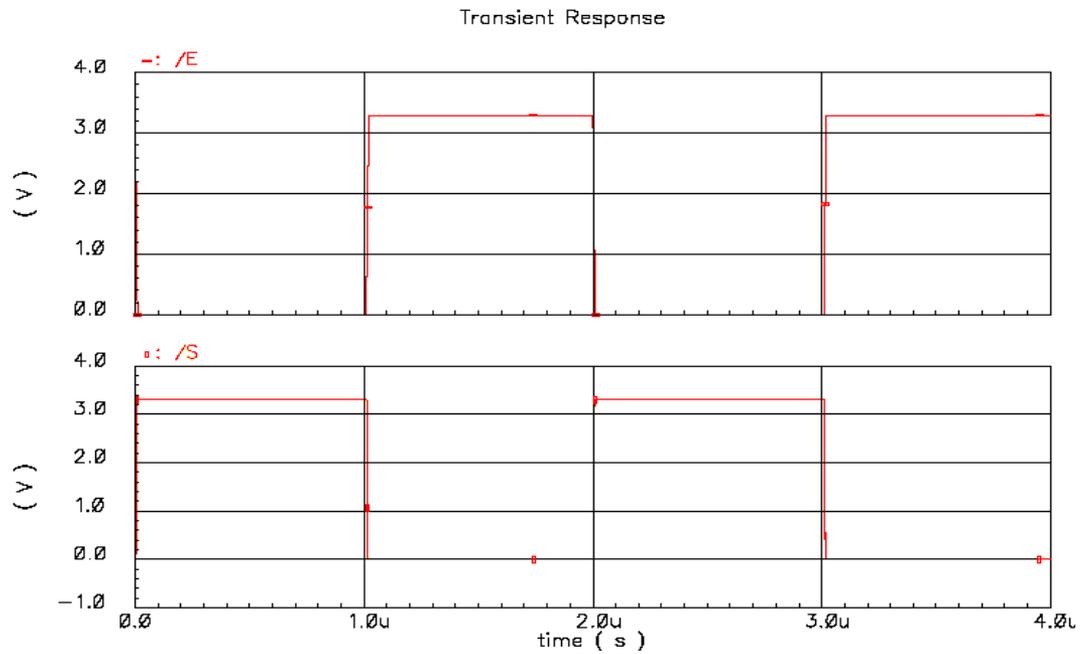


Figure III.13 Les courbes montrant l'entrée et la sortie de l'inverseur

### Optimisation de l'inverseur

Pour optimiser l'inverseur :

- Supposant l'inverseur à l'état d'équilibre c'est à dire :

$$u_n C_{ox} \frac{W_N}{L_N} = u_p C_{ox} \frac{W_P}{L_P} \quad (\text{III.1})$$

Soit,  $C_{ox}$  et  $L$  identiques pour les deux transistors :

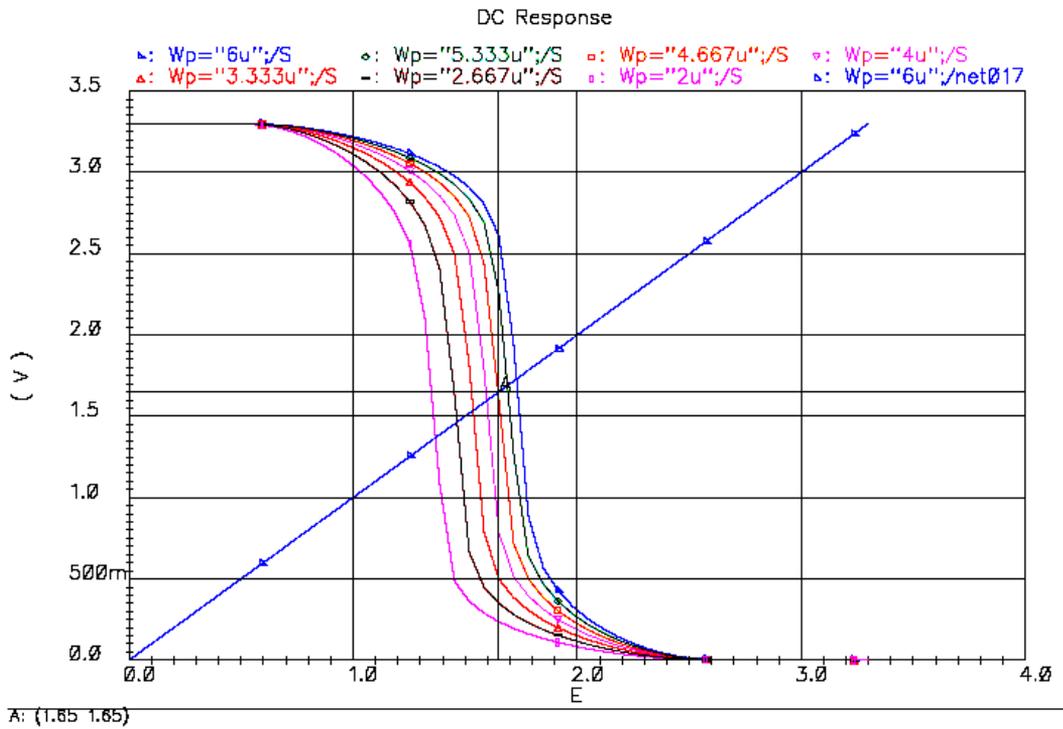
Si  $L_N = L_P =$ dimension minimale, alors :

$$\frac{W_P}{W_N} = \frac{U_N}{U_P} \quad (\text{III.2})$$

Nous appellerons inverseur minimal celui qui est dessiné avec les valeurs minimales des règles technologiques:

- La longueur de ses transistors est égale à la taille du motif minimal de la technologie.  
Dans la technologie AMS  $L_{\min} = 0.35\mu m$ .
- La largeur du transistor NMOS égale au côté de la zone de débordement (de la zone active) dans notre inverseur la largeur de transistor NMOS est  $W_N = 1.7\mu m$

Pour déterminer la largeur du transistor PMOS,  $W_p$  nécessite que la tension d'entrée  $E$  et la tension de sortie  $S$  soient égales à  $V_{dd}/2$ . La figure III.14 présente la caractéristique de transfert  $S = f(E)$  pour différentes valeurs de  $W_p$



### III.4.Interrupteur

Le convertisseur numérique analogique à commutation de courant est basé sur les interrupteurs.

#### III.4.1.Interrupteur NMOS

L'assimilation d'un transistor à un interrupteur n'est pas toutefois parfaite. Il s'avère que si un transistor N doit transmettre un signal à  $V_{DD}$ , sa tension de commande  $V_{GS}$  deviendra trop faible pour maintenir le transistor saturé et la tension de sortie de l'interrupteur à transistor n'atteint, au mieux, que  $V_{DD} - V_{TH}$ . Ceci est particulièrement visible lorsque l'interrupteur est chargé par une puce capacité, ce qui est le cas général. Par contre, un transistor N transmet bien les tensions proches de 0v (figure III.16).

L'effet sera symétrique pour un transistor PMOS utilisé comme interrupteur. Celui-ci transmet bien une tension  $V_{DD}$ , cependant, une tension de 0v sera transmise comme  $V_{TH}$

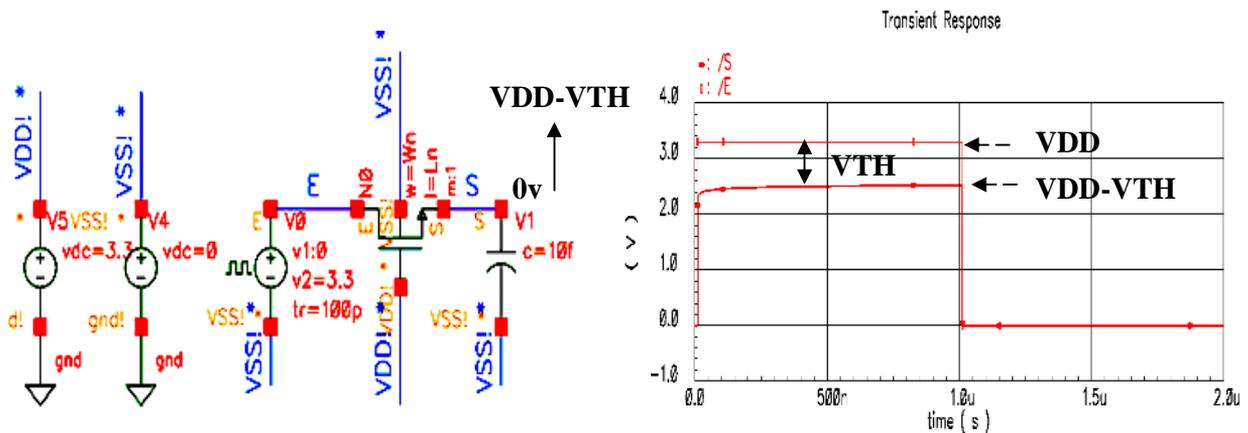
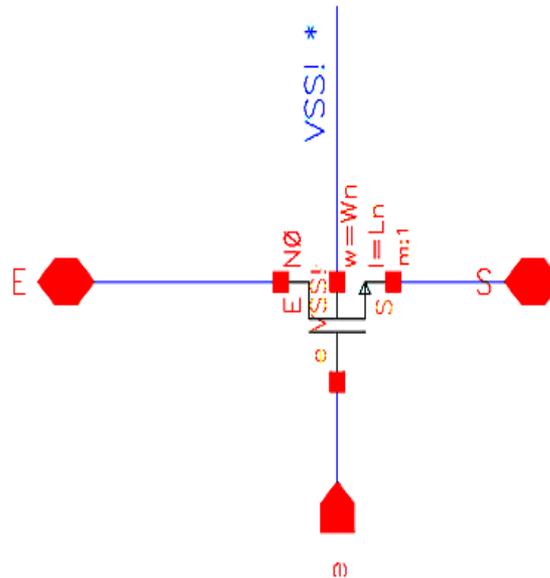


Figure III.16 Interrupteur NMOS

La figure III.17 présente le schéma de transistor NMOS.



**Figure III.17 Schéma de transistor NMOS**

Le transistor NMOS fonctionne comme interrupteur dans la région linéaire et sa résistance de sortie est donnée par l'équation III.5 :

$$R_{on} = \frac{V_{DS}}{I_D} = \frac{L}{WC_{OX}U_N(V_{GS} - V_{th})} \quad (\text{III.3})$$

On peut diminuer la résistance  $R_{on}$  par :

- Augmentation de la largeur du transistor NMOS
- Diminution de la longueur du transistor NMOS
- Augmentation de la tension grille source  $V_{GS}$ .

### Test Bench de l'interrupteur NMOS

La figure III.18 présente le Test Bench de l'interrupteur NMOS.

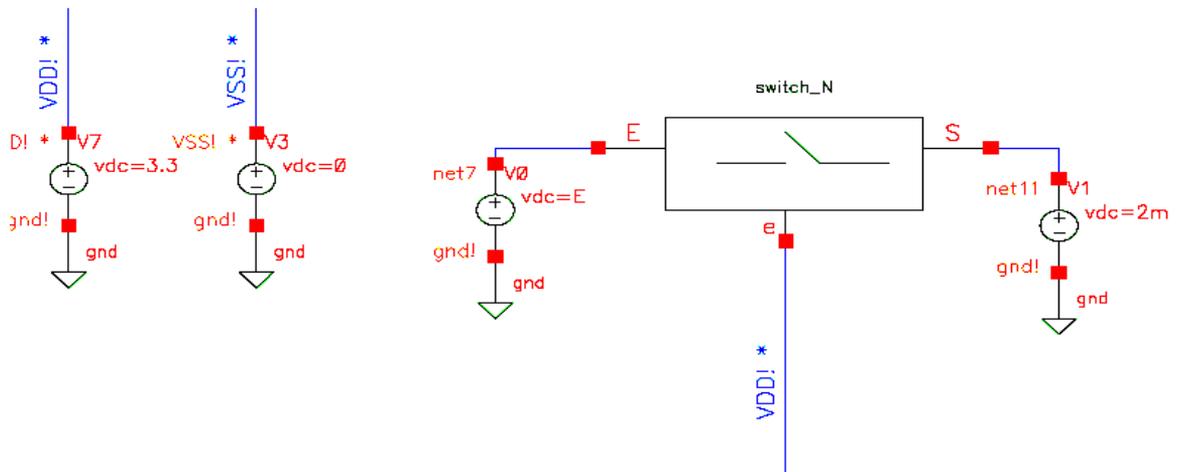


Figure III.18 Test bench du transistor NMOS

La figure III.19 présente la variation de la tension d'entrée en fonction de la résistance de sortie avec différentes valeurs de Wn

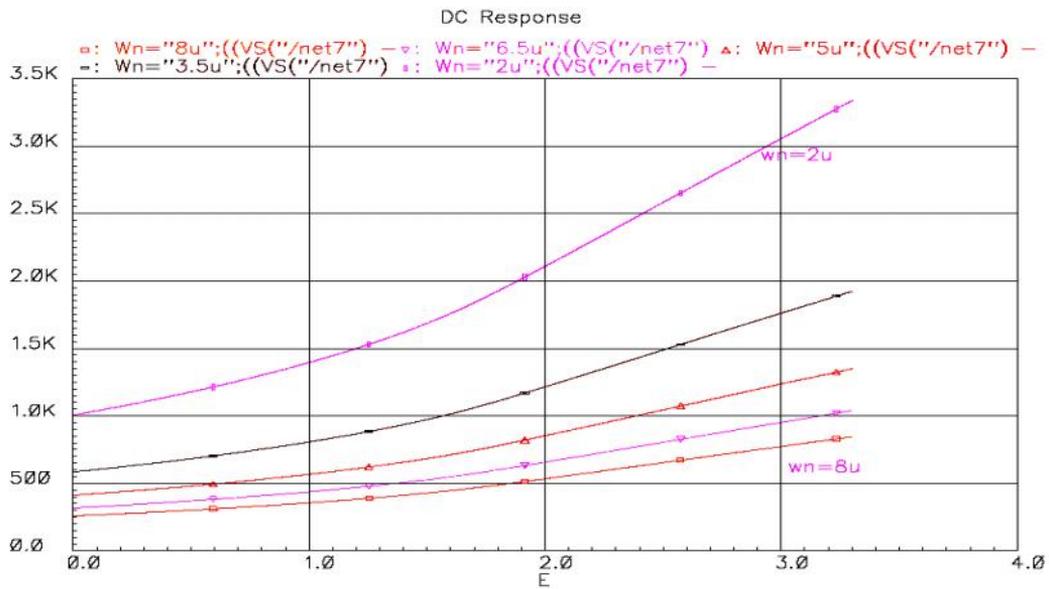


Figure III.19 Résultat de la simulation

La figure III.20 présente la variation de la résistance de sortie en fonction de la tension d'entrée avec Wn=3um et L=0.35um.

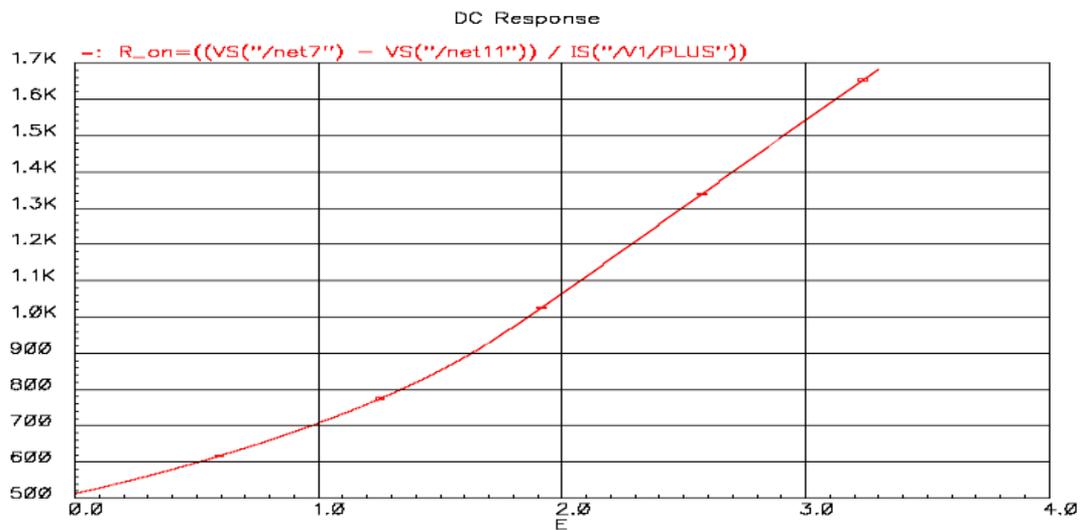


Figure III.20. Résultats de la Simulation

### III.4.2. Porte de transmission (Transmission Gate TG)

L'assemblage d'un transistor N et d'un transistor P permet de réaliser un interrupteur, dit CMOS, qui laisse passer aussi bien les 1 que les 0. En effet, chaque transistor compense les défauts de l'autre. Toutefois, la grille du transistor P doit être excitée par un signal complémenté pour que les deux transistors offrent la même fonction de conduction (figure III.21).

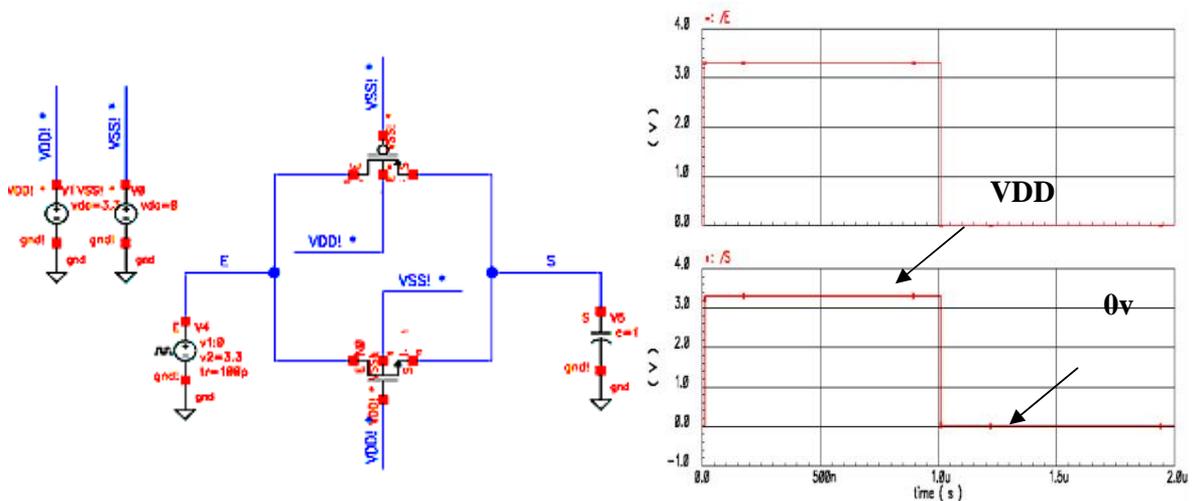


Figure III.21 Schéma de l'interrupteur de la porte de transmission

La figure III.22 présente le schéma de la porte de transmission. Elle est constituée de deux transistors complémentaires NMOS et PMOS, dont les dimensions géométriques sont respectivement  $W_N, L_N$  et  $W_P, L_P$  Avec  $L_N = L_P = L_{\min} = 0.35\mu m$ .

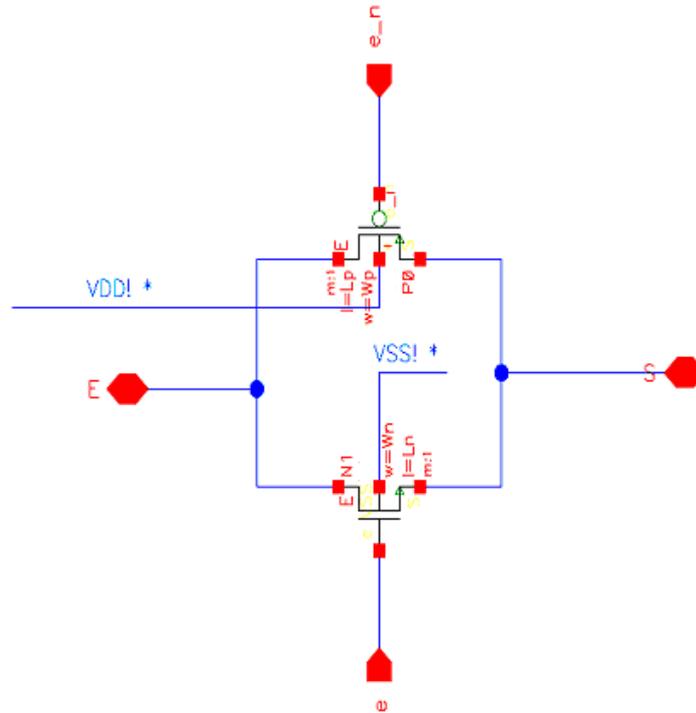


Figure III.22.Schéma de la porte de transmission

### Optimisation de la porte de transmission

L'optimisation de la porte de transmission nécessite que les dimensions géométriques des deux transistors soient bien déterminées. La longueur choisie des deux transistors est minimale. Lorsque l'un des deux transistors sont en état de fonctionnement, ils doivent avoir la même résistance de sortie de la porte de transmission.

### Test bench de la porte de transmission

La figure III.23 montre le **Test Bench** de la porte de transmission

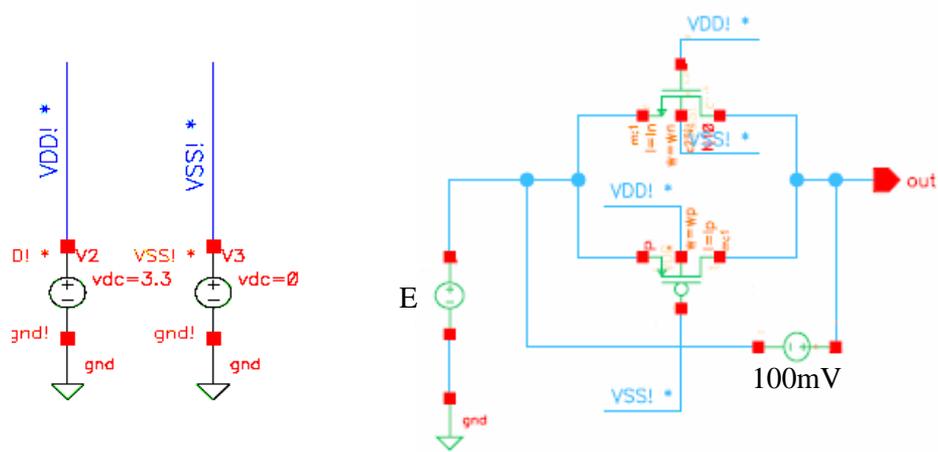


Figure III.23 Résultats de la simulation

Avec une analyse paramétrique, en fixant  $W_N = 3\mu m$ , et pour différentes valeurs de  $W_p$ , on obtient les résultats de la simulation présente sur la figure III.24

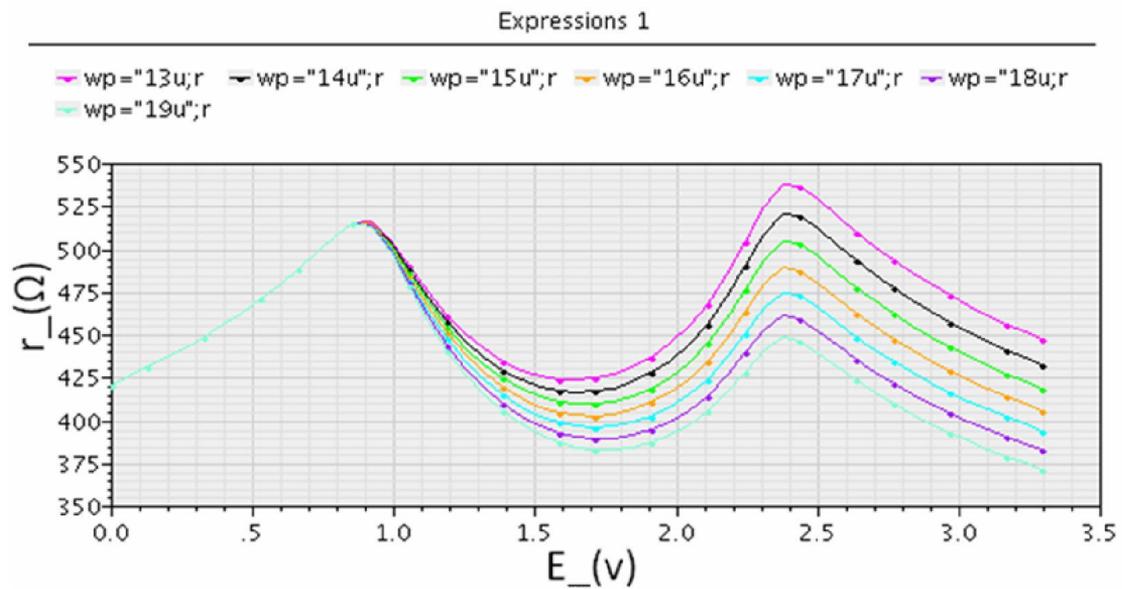
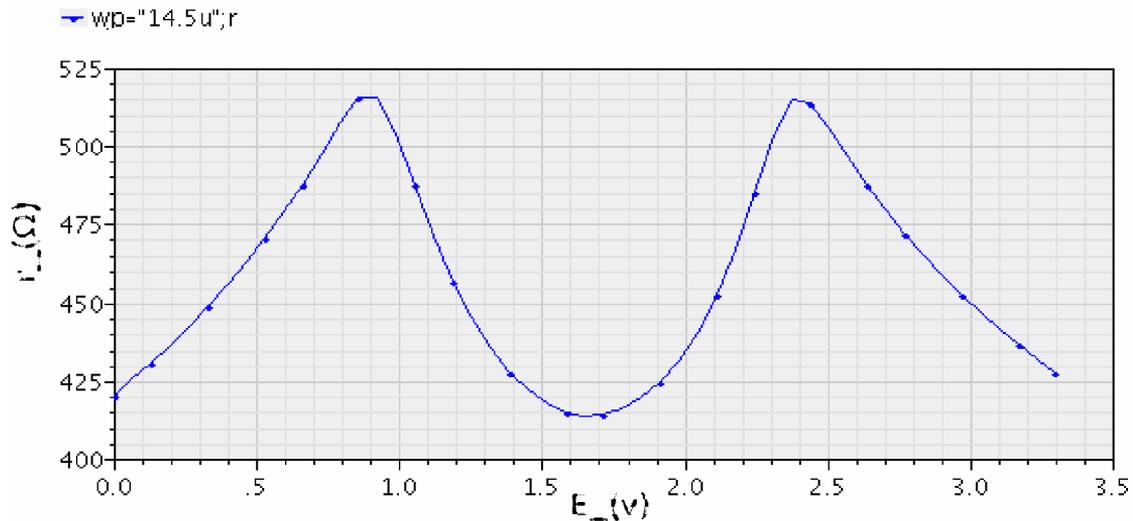


Figure III.24 Résultats de la simulation

La figure III.25 présente la résistance de sortie pour  $W_p = 14.5\mu m$



**Figure III.25 Résultats de la simulation**

De plus, le circuit montré dans la figure III.25 a un autre avantage important par rapport à celui de la Figure III.20 .Cet avantage consiste en la résistance  $R_{on}$  de la porte de transmission, si on le compare à un transistor NMOS ou PMOS , elle varie beaucoup moins en fonction de la tension d'entrée.

Selon la Figure III.25, il y a seulement un petit sommet dans le CMOS près du milieu de la tension d'entrée. La résistance  $R_{on}$  à travers toute la plage d'entrée et de sortie permet d'obtenir une dimension raisonnable pour les transistors et minimise aussi les distorsions harmoniques provoquées par la variation de la résistance du transistor.

### III 5.Convertisseur numérique analogique

Le convertisseur numérique analogique est basée sur une structure dite «pondérée binaire» (binary weighted), les valeurs de ces sources de courant sont pondérées ( $1 : 2 : 4 : \dots : 2^N - 1$ ) selon le bit que chacune d'entre elles représente.

#### III.5.a CNA avec l'interrupteur NMOS

La figure III.26 présente le schéma du convertisseur numérique analogique 5 bits qui comprend cinq miroirs de courant de type simple ainsi que les interrupteurs de type NMOS.

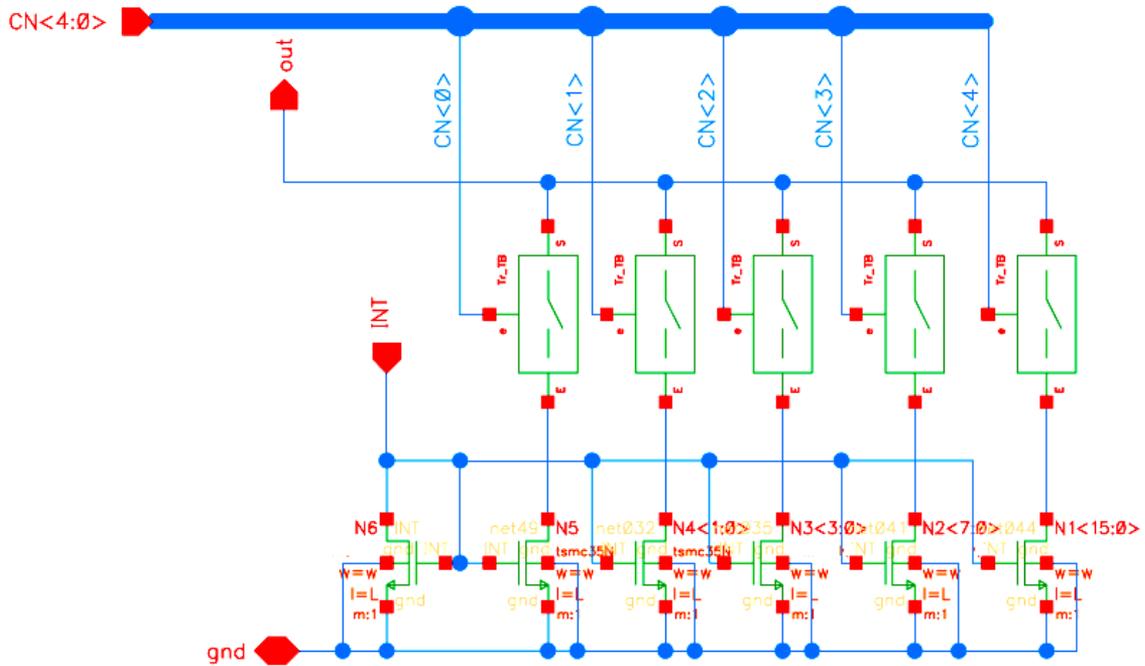


Figure III.26 Schéma du convertisseur numérique analogique 5bits

**Test Bench du convertisseur numérique analogique CNA**

La figure III.27 présente le Test Bench du CNA

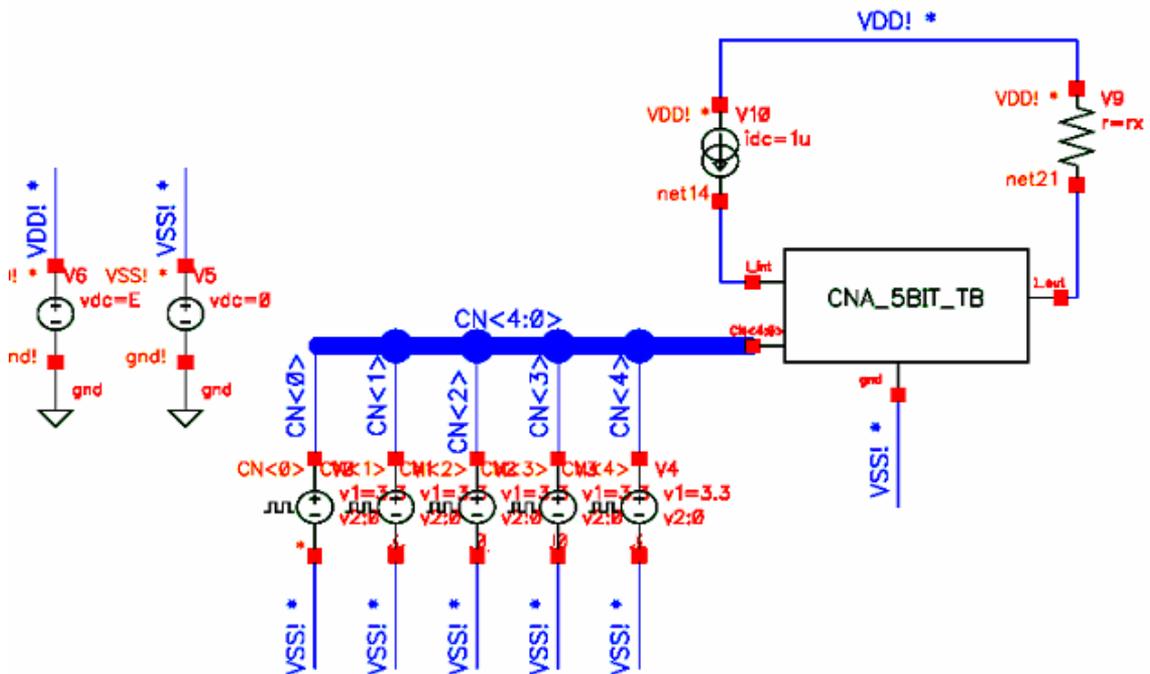
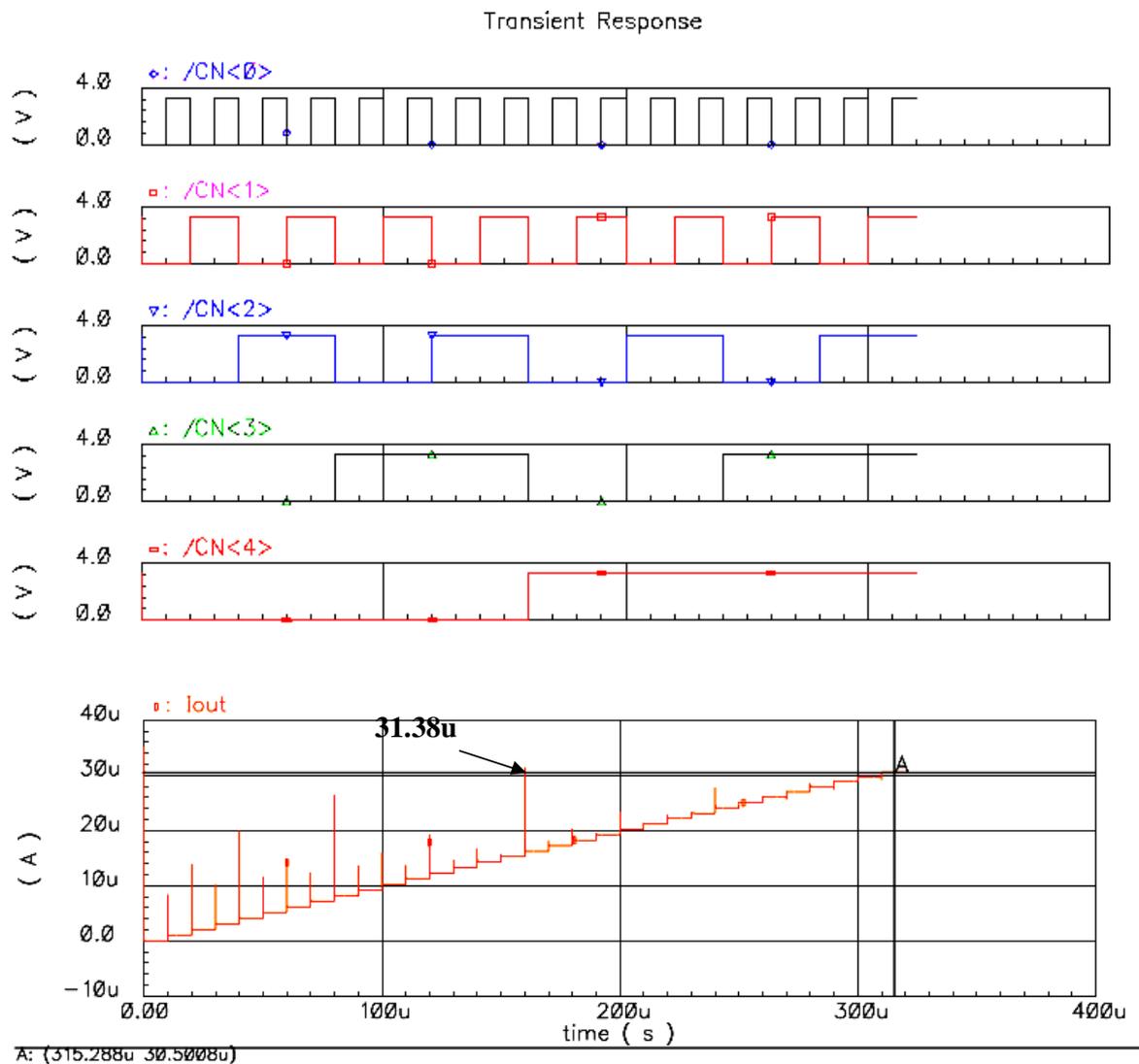


Figure III.27. Test bench du convertisseur numérique analogique 5 bits.

La figure III.28 présente les résultats de la simulation du CNA



**Figure III.28 Résultats de la simulation**

D’après la simulation précédente, le convertisseur conçu présente des pics de grande amplitude.

### III.5.b CNA avec l’interrupteur TG

Pour résoudre le problème des pics on a opté à l’utilisation de l’interrupteur TG. La figure III.29 présente le schéma du convertisseur numérique analogique 5 bits qui comprend :

- Les miroirs de courant de type simple avec  $W = 8\mu m, L = 7\mu m$ .
- Les interrupteurs de type TG avec  $W_n = 3\mu m, W_p = 14.5\mu m, L_n = L_p = 0.35\mu m$ .
- Les inverseurs avec  $W_n = 1.7\mu m, W_p = 4.7\mu m, L_n = L_p = 0.35\mu m$

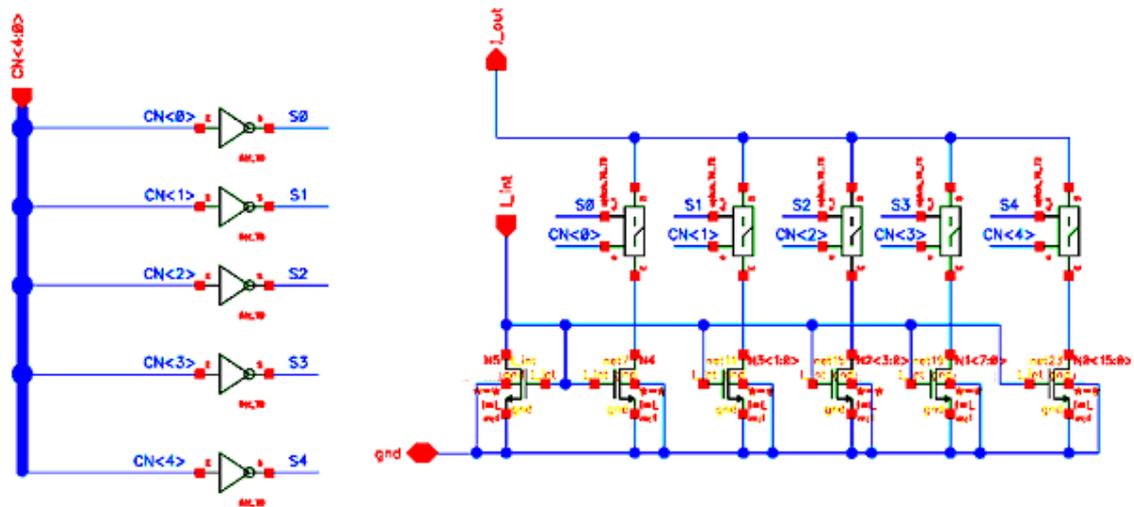


Figure III.29 Schéma de CNA avec TG

La figure III.30 présente les résultats de la simulation. Il en est clair que l'amplitude des pics diminue par rapport aux résultats de la simulation précédente

Le but de cette simulation est de connaître la variation du courant de sortie avec les différentes combinaisons  $cn<4:0>$ . On remarque d'après les résultats de la simulation que pour chaque combinaison de  $cn<0>$ ,  $cn<1>$ ,  $cn<2>$ ,  $cn<3>$ ,  $cn<4>$ , nous avons un courant de sortie différent. Les résultats par chiffres avec variation du courant de sortie sont inclus dans le tableau III.2.

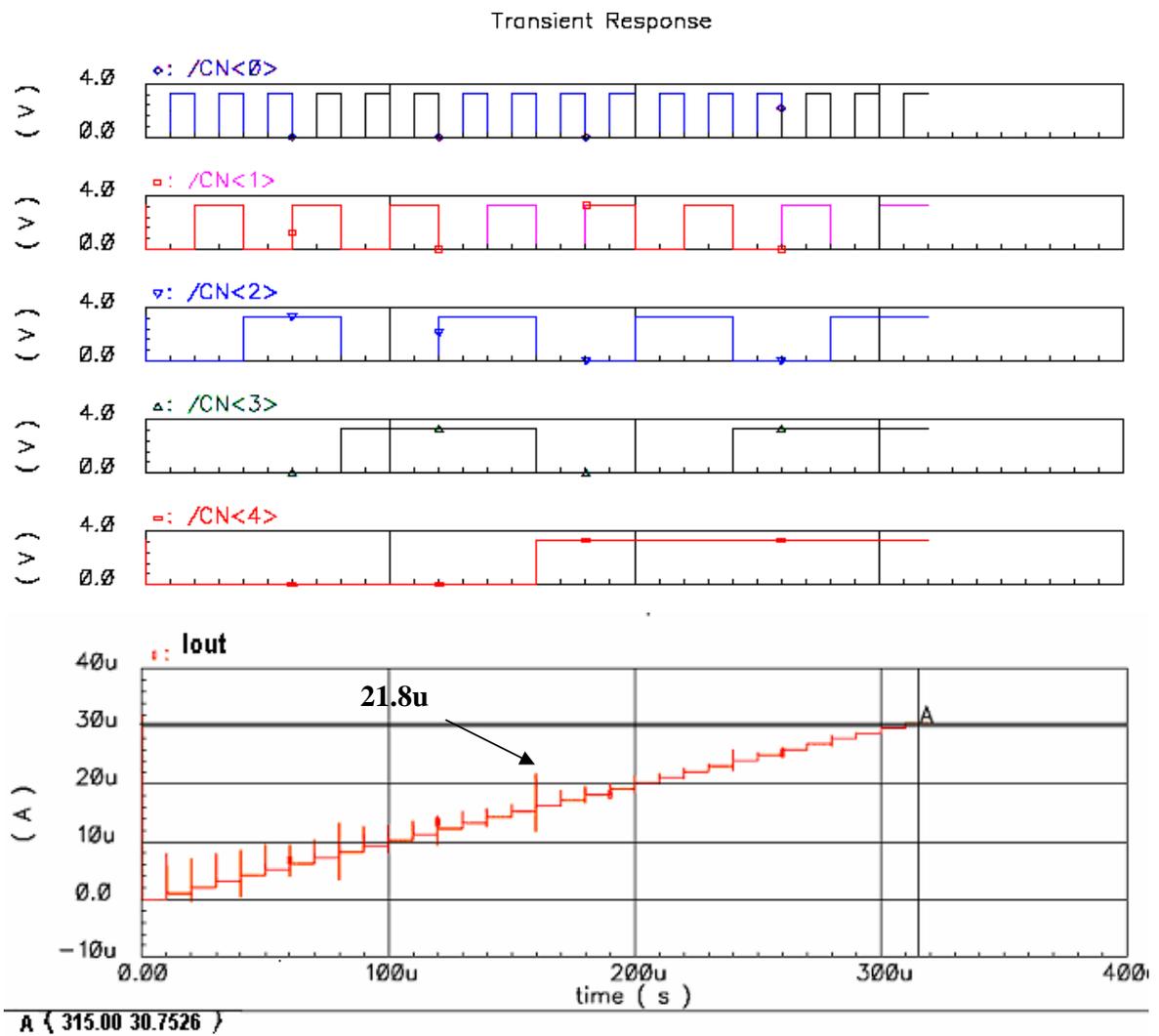


Figure III.30 Résultats de la simulation

La figure III.31 présente le pas du convertisseur numérique analogique :

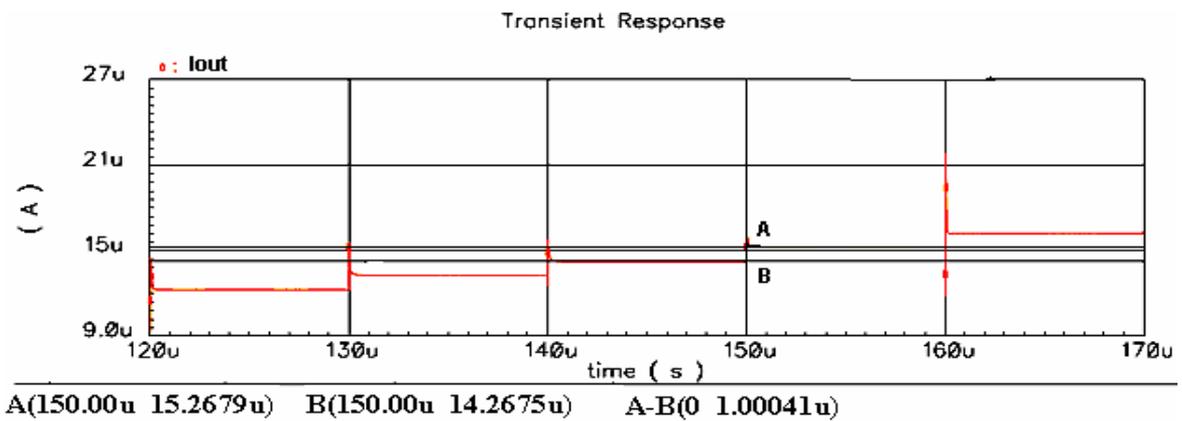


Figure III.31 Résultats de la simulation

### III.6 Détermination des performances statiques

D'après les équations présentées dans le chapitre II, on peut calculer l'intégrale non linéarité INL et différentielle non linéarité DNL.

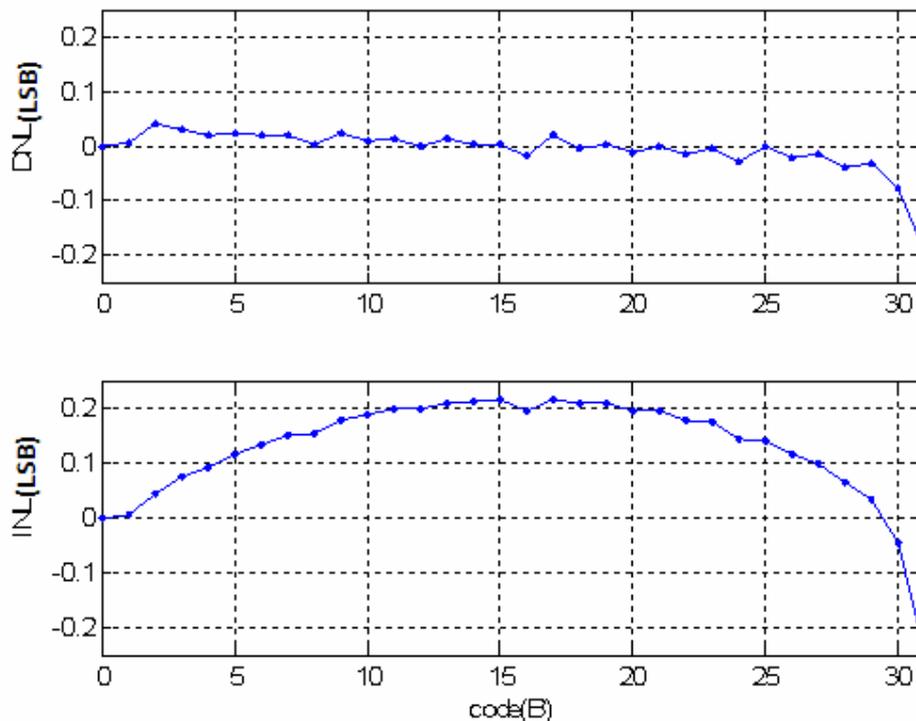
I ( $\mu$ A) idéal	I (A) réel	I (A) erreur	$D_i$	$INL_i$
0	39.9257p	39.9257p	0.00000	0.0000
1	1.00644 $\mu$	0.00644u	0.00640	0.00640
2	2.04510 $\mu$	0.04510u	0.03866	0.04506
3	3.07485 $\mu$	0.07485u	0.02975	0.07481
4	4.09470 $\mu$	0.09470u	0.01985	0.09466
5	5.11680 $\mu$	0.11680u	0.02210	0.11676
6	6.13421 $\mu$	0.13421u	0.01741	0.13417
7	7.15314 $\mu$	0.15314u	0.01893	0.15310
8	8.15625 $\mu$	0.15625u	0.00311	0.15621
9	9.17799 $\mu$	0.17799u	0.02174	0.17795
10	10.1881 $\mu$	0.18810u	0.01011	0.18806
11	11.2006 $\mu$	0.20060u	0.01250	0.20056
12	12.1998 $\mu$	0.19980u	-0.0008	0.19976
13	13.2106 $\mu$	0.21060u	0.01080	0.21056
14	14.2138 $\mu$	0.21380u	0.00320	0.21376
15	15.2162 $\mu$	0.21620u	0.00240	0.21616
16	16.1962 $\mu$	0.19620u	-0.0200	0.19616
17	17.2158 $\mu$	0.21580u	0.0196	0.21576
18	18.2096 $\mu$	0.20960u	- 0.0062	0.20956
19	19.2101 $\mu$	0.21010u	0.0005	0.21006
20	20.1980 $\mu$	0.19800u	- 0.0121	0.19796
21	21.1961 $\mu$	0.19610u	- 0.0019	0.19606
22	22.1806 $\mu$	0.18060u	- 0.0155	0.18056
23	23.1747 $\mu$	0.17470u	- 0.0059	0.17466
24	24.1443 $\mu$	0.14430u	- 0.0304	0.14426
25	25.1420 $\mu$	0.14200u	- 0.0023	0.14196
26	26.1183 $\mu$	0.11830u	-0.02370	0.11826
27	27.1011 $\mu$	0.10110u	-0.01720	0.10106
28	28.0612 $\mu$	0.06120u	-0.03990	0.06696
29	29.0271 $\mu$	0.02710u	-0.03410	0.03286
30	29.9486 $\mu$	-0.0514u	-0.07850	-0.04564
31	30.7526 $\mu$	-0.2474u	-0.19600	-0.24164

Tableau III.2 Tests de mesure du CNA

INL négative maximale	-0.24164
INL positive maximale	0.21616
DNL négative maximale	-0.196
DNL positive maximale	0.03866
Erreur d'offset	39.9257p

**Tableau III.3 résumé des tests de mesure du CNA**

D'après les résultats présentés au tableau III.3 du CNA a une  $|INL_{\max}| \leq 0.24$  inférieure à 1/2 LSB, et une  $|DNL_{\max}| \leq 0.196$  inférieure à 1/4LSB.



**Figure III.32 résumé des tests de mesure CNA**

La figure III.32 présente l'erreur de non linéarité différentielle et l'erreur de non linéarité intégrale. Les résultats sont tracés à l'aide du programme MA TLAB.

Les tests réalisés sur CNA 5bits ont ciblé l'erreur de non linéarité intégrale et non linéarité différentielle pour une alimentation variant entre 2.9 et 3.6volts et pour la résistance de charge 100k le tableau III.4 résume les résultats des tests qui ont été effectués.

Caractéristique de sortie de T=27°C pour VDD=2.9v et R=100k	
DNL positive maximale (LSB)	0.06230
DNL négative maximale (LSB)	-0.2444
INL positive maximale (LSB)	0.02100
INL négative maximale (LSB)	-0.3008
Erreur d'offset	38.96p
Caractéristique de sortie de T=27°C pour VDD=3.6v et R=100k	
DNL positive maximale (LSB)	0.08230
DNL négative maximale (LSB)	-0.258
INL positive maximale (LSB)	0.03100
INL négative maximale (LSB)	-0.3111
Erreur d'offset	44.0828p

Tableau III.4 Résumé des tests de mesure du CNA

### III.7.Effet de la température

La figure (III.33) présente la variation du courant de sortie du CNA dans les cas extrêmes de la température. T1= - 20° C , T2= 85° C .

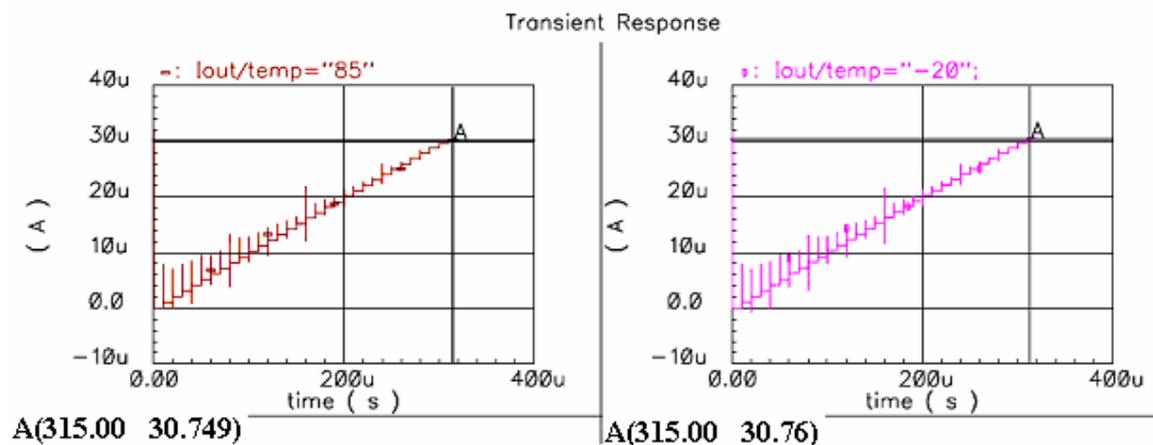


Figure III.33 Résultats de la simulation

Les tests réalisés sur CNA 5bits ont ciblé l'erreur de non linéarité intégrale et non linéarité différentielle pour une alimentation 3.3volts et pour les températures variant entre (- 20° C et 85° C ) le tableau III.5 résume les résultats des tests qui ont été effectués.

Caractéristique de sortie de T=85°C pour VDD=3.3v et R=100k	
DNL positive maximale (LSB)	0.03230
DNL négative maximale (LSB)	-0.2444
INL positive maximale (LSB)	0.02100
INL négative maximale (LSB)	-0.2711
Erreur d'offset	225.122p
Caractéristique de sortie de T=-20°C pour VDD=3.3v et R=100k	
DNL positive maximale (LSB)	0.0476
DNL négative maximale (LSB)	-0.2360
INL positive maximale (LSB)	0.021
INL négative maximale (LSB)	-0.2833
Erreur d'offset	30.1703p

Tableau III.5 Résumé des tests de mesure du CNA

### III.8 Effet de la résistance de charge

La figure III.34 présente la variation du courant de sortie du CNA en fonction de la résistance de sortie.

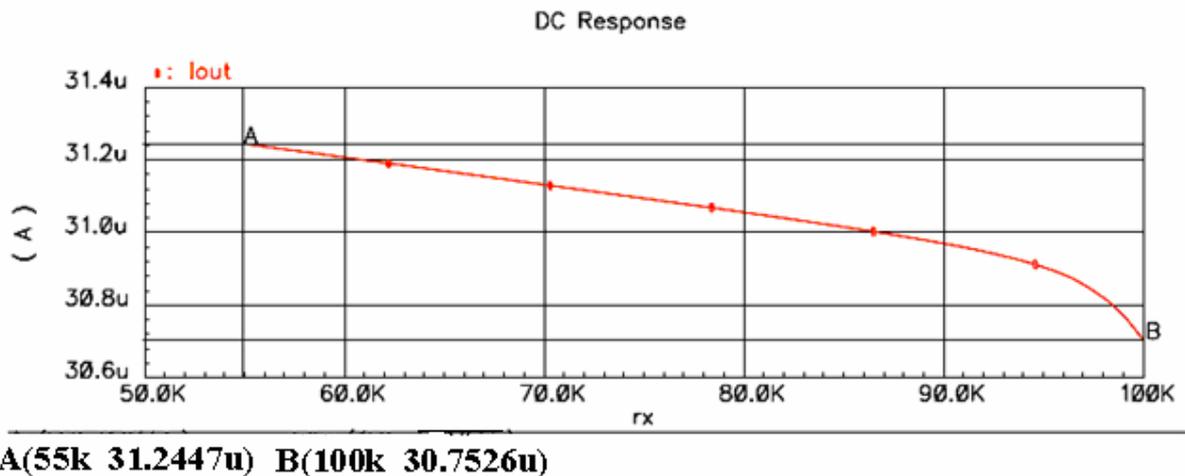


Figure III.34 Résultats de la Simulation

D'après la simulation précédente, notre convertisseur a une réponse acceptable  $I - 1/4LSB \leq I \leq I + 1/4LSB$  pour une résistance de charge variant de 55k à 100k

Les tests réalisés sur CNA 5bits ont ciblé l'erreur de non linéarité intégrale et non linéarité différentielle pour une alimentation 3.3volts et pour les résistances variant entre (55k et 100k ) le tableau III.6 résume les résultats des tests qui ont été effectués.

<b>Caractéristique de sortie de T=27°C pour VDD=3.3v et R=55k</b>	
DNL positive maximale (LSB)	0.04230
DNL négative maximale (LSB)	-0.255
INL positive maximale (LSB)	0.01100
INL négative maximale (LSB)	-0.3411
Erreur d'offset	40.48p
<b>Caractéristique de sortie de T=27°C pour VDD=3.3v et R=70k</b>	
DNL positive maximale (LSB)	0.0376
DNL négative maximale (LSB)	-0.2460
INL positive maximale (LSB)	0.031
INL négative maximale (LSB)	-0.3033
Erreur d'offset	39.99p

**Tableau III.6 Résumé des tests de mesure du CNA**

### III.9. Dessin de masque (Layout)

Le dessin de masque (Layout) d'un circuit intégré est le terme employé pour décrire la géométrie des diverses couches de matériaux qui entrent dans la fabrication d'un chip. C'est une description à quoi le chip pourrait ressembler sous le microscope.

Pour concevoir le layout de nos circuits, nous avons dû choisir un logiciel facile à apprendre et à usage simple cadence. Cependant, fournissant des caractéristiques avancées pour la simulation et le layout.

La création d'un layout d'un circuit intégré comporte plusieurs techniques. Ces techniques sont suivies pour assurer que celui-ci fonctionnera correctement à la fin, aussi bien pour assurer la performance du circuit.

Puisque le dimensionnement des composants élémentaires est critique, il convient de les réaliser le plus d'élément fidèlement possible. Le dessin des masques d'un circuit analogique doit donc être extrêmement précis. Cette précision concernera les dimensions effectives des composants mais aussi leur appariement qui tient souvent une place importante dans le dessin. Par ailleurs, les défauts de fabrication ou les parasites altèrent les performances finales. Ces imperfections dépendent notamment de la qualité du dessin des masques et doivent être prises en compte pendant le dimensionnement pour atteindre les performances désirées.

Faire ce dessin vous permettra de maîtriser la plupart des techniques et règles de dessin que vous devez respecter lors de ce projet.

- **Appariement**

En analogique, il est fréquent que le rapport de dimensionnement entre différents composants soit très important. Le cas échéant, on visera une précision maximale quant à ce rapport. Pour cela, on aura recours à des techniques de dessin adaptées.

Lors de la conception du layout, il faut garantir un maximum appariement des composants afin de maintenir la performance des circuits. Quelques règles pour un appariement optimal.

Même structure, même température, même forme, même taille, distance minimale, même orientation, même voisinage, structure centroïde commun.

Tous ces facteurs c'est pour assurer l'obtention du meilleur appariement possible. Le degré d'appariement qui peut être accompli dépendra du processus et de la structure des composants.

- **Vérification**

La création du layout doit se conformer à un ensemble complexe de règles de conception, afin d'assurer une probabilité inférieure des défauts de fabrication.

La vérification de ces règles de dessin est réalisée à l'aide d'un outil spécifique appelé "Design Rules Checker" (**DRC**). Cet outil utilise en entrée un fichier décrivant toutes les règles de dessin qui permettent de définir si la cellule est "fabricable".

L'étape suivante consiste à extraire les éléments actifs et parasites de la cellule à partir du "layout" correspondant. Des simulations "post-layout" de la cellule sont alors lancées afin de vérifier la fonctionnalité et le respect des spécifications.

Une dernière étape de vérification consiste à comparer le "layout" et le schéma électrique initial afin de garantir la compatibilité des vues de la cellule. Cette opération est communément appelée étape de Layout versus Schematic (**LVS**).

### III.9.1. Layout de la porte de transmission

Dans les circuits numériques, puisque les transistors ne sont utilisés que dans deux états (bloqué ou passant), la précision de la réalisation n'est pas essentielle.

La figure III.35 présente le dessin de masque de la porte de transmission avec deux entrées complémentaires ( $e$ ,  $e_n$ ), et avec des dimensions  $W_n=3\mu\text{m}$ ,  $W_p=14.5\mu\text{m}$  et  $L_{\text{min}}=L_n=L_p=0.35\mu\text{m}$ .

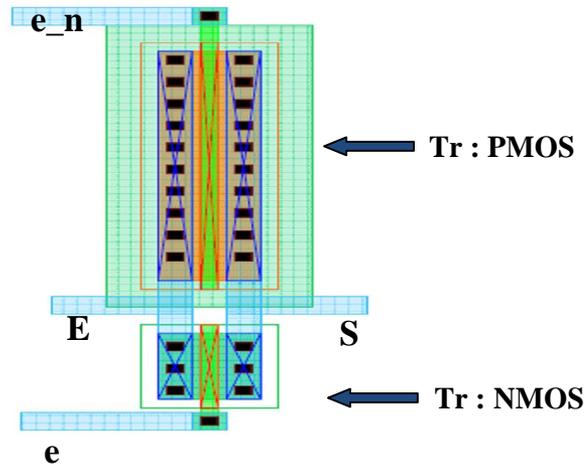


Figure III.35 layout de la Porte de Transmission

### III.9.3 layout de l'inverseur

La figure III.36 présente le dessin de masque de l'inverseur avec des dimensions  $W_n=1.7\mu\text{m}$ ,  $W_p=4.7\mu\text{m}$  et  $L_{\text{min}}=L_n=L_p=0.35\mu\text{m}$ .

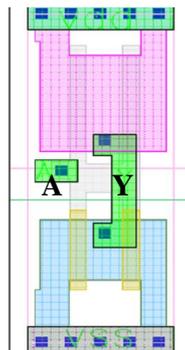


Figure III.36 Layout de l'inverseur

### III.9.2 layout du miroir de courant

Les deux transistors du miroir de courant simple sont identiques et il suffit d'en dimensionner un pour avoir les dimensions électrique de l'autre.

La figure III.37 présente le dessin de masque du miroir de courant simple avec des dimensions  $W_n=8\mu\text{m}$ ,  $L_n=7\mu\text{m}$ .

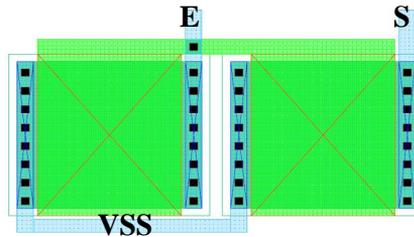


Figure 37 Layout du miroir de courant simple

### III.9.4 layout du convertisseur numérique analogique CNA

La figure III.38 présente le dessin du masque du convertisseur numérique analogique 5bits, il à une taille de dont la major partie est essentiellement dominée par le réseau de source de courant, la figure illustre le CNA dans le layout du chip complet.

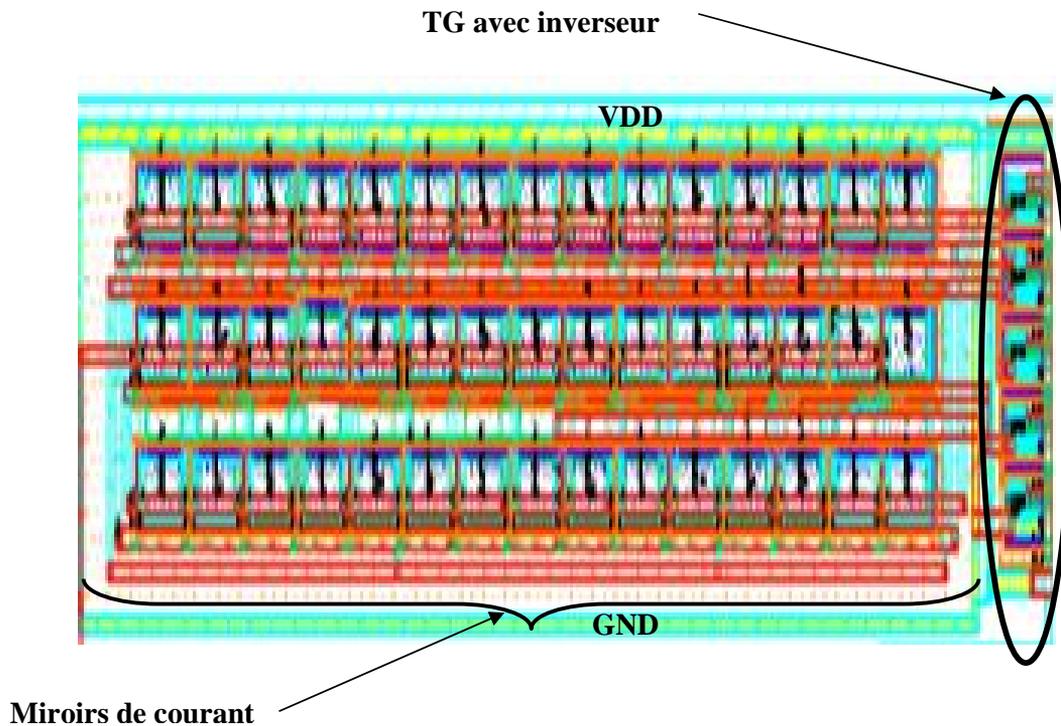


Figure III.38. Layout final de CNA

### III.10. Conclusion

Ce chapitre illustre l'ensemble des résultats réalisés par la simulation, ainsi qu'une analyse globale des cellules développées.

Les travaux accomplis vérifient le principe de fonctionnement des blocs fonctionnels de chaque circuit, ainsi que le circuit entier.

Les objectifs voulus de ce convertisseur numérique analogique 5bits, sont atteints, une résistance de charge 100k, une fréquence 50KHz, un pas 1LSB=1uA ainsi  $INL \leq 0.50$  et  $DNL \leq 0,25$ .

Pour des raisons de coût, on doit aussi faire en sorte que le circuit réalisé soit le plus compact possible de façon à économiser au maximum la quantité de silicium requise. Une étape de vérification après coup reste malgré tout nécessaire pour s'assurer que toutes les règles du dessin ont été bien respectées et que les parasites introduits n'auront pas d'influence critique sur le fonctionnement.

# Conclusion générale

## Conclusion Générale

Lors de la conception des circuits intègres, les principaux critères d'optimisation sont la surface de la puce, la rapidité de fonctionnement, la consommation et aussi le temps de conception lui-même. Ces derniers assurent la reproduction du produit et lui donneront la poussé dans le marché. Les méthodes efficaces de conception supposent l'existence d'une bibliothèque de cellule standard ("design kit"). L'utilisation de cette dernière permet une conception rapide et sûre des circuits intégrer. Pour les concepteurs de circuit intégrer, la bibliothèque est souvent vue comme un produit "fermé", qu'on achète tout fait. Cependant, il ne faut pas perdre de vue que la construction de telles bibliothèques occupe de nombreux concepteurs.

Les travaux présents dans ce mémoire ont été réalisés au sein d'une collaboration entre la laboratoire de Micro-électronique de l'université de Batna et de celui de l'université de Berlin

Dans ce présent mémoire, nous avons fait l'étude d'un convertisseur numérique analogique. Pour mener à bien cette étude, nous avons mis au point des notions de base c'est à dire un banc d'information spécifique pour la conception analogique dans le but d'enrichir les connaissances de nos chers lecteurs et leur permettre d'apprendre au maximum à travers notre expérience et d'avoir un bagage suffisant pour affranchir ce domaine de conception.

Les résultats obtenus au cours de ce projet sont positifs. Le CNA devrait avoir à une INL en dessous du  $1/2\text{LSB}$  et DNL en dessous du  $1/4\text{LSB}$ , et une fréquence de 50kHz. Aucune anomalie n'a été détectée sur les différentes parties qui composent le système.

Nous avons abouti à l'étape de Layout, puisqu'elle est réalisée manuellement, elle est sans doute la phase la plus longue et la plus fastidieuse de la conception. Il s'agit en effet de réaliser tous les motifs des masques qui seront utilisés lors de la fabrication du circuit. Durant cette réalisation, nous avons tenté d'approcher la réalité pour que le convertisseur soit le plus performant possible. Nous avons pris en considération qu'il peut exister une grande différence entre le Layout et le circuit. Cette différence est un résultat des éléments de circuit parasites

présentés pendant le processus de fabrication de circuit intégré. Nous avons prévu ces derniers en incluant la géométrie de transistor pendant la conception de circuit et la phase de simulation. Néanmoins, il n'est pas toujours possible de les prévoir avec la grande exactitude sans accomplir le Layout réel.

La réalisation de ce projet, nous a permis non seulement la compréhension de la conception et l'implantation des circuits intégrés analogiques, qui viennent d'enrichir nos connaissances ; mais il nous a aussi permis de faire connaissance avec un logiciel (CADENCE) très puissant non disponible au niveau de nos universités et de se familiariser avec son software de simulation analogique et celui du Layout.

Nous souhaitons, que nous ayons pu vous transmettre les fruits de notre travail à travers ce modeste mémoire qui nous souhaitons être, un outil d'aide aux gens intéressés par ce domaine.

Le tableau ci-dessous résume les performances réalisées par le convertisseur conçu.

<b>Process</b>	<b>CMOS 0.35um</b>
<b>Tension d'alimentation</b>	<b>3.3v</b>
<b>Gamme de conversion</b>	<b>0 à 3.3v</b>
<b>Résolution</b>	<b>5 bits</b>
<b>Charge résistive</b>	<b>100k</b>
<b>Puissance</b>	<b>&lt;105.6uW</b>
<b>Gamme de résistance</b>	<b>55k à 100k</b>
<b>Température</b>	<b>27° C</b>
<b>Gamme de température</b>	<b>-20°C à 85°C</b>
<b>DNL différentielle non linéarité</b>	<b>&lt;=1/4 LSB</b>
<b>INL intégrale non linéarité</b>	<b>&lt;=1/2 LSB</b>
<b>Horloge</b>	<b>50kHz</b>

# Bibliographie

# Bibliographie

- [1] Philip E.allen, "*Cmos analog circuit design*", oxford university press 2002.
- [2] Marc Bescond, "*Modélisation et simulation du transistor quantique dans le transistor MOS nanométrique*", Thèse doctorat, L'université de Provence (AIX-MARSEILLE I), France, pp.14-18,2004.
- [3] Rabia.Ouchen, "*Contribution to the design and layout of a class D audio amplifier chip in ELMOS automotive high voltage 0.8um BiCMOS technology*" ,Magister en micro-électronique université de batna,pp.29-31,2003
- [4] Assia. Hamouda, "*Design and Layout of a Temperature regulator for a Class D Audio Amplifier in ELMOS Automotive High Voltage 0.8  $\mu$ m BiCMOS Technology*", Magister en micro-électronique université de batna, pp.28-32, 2003.
- [5] Alan B. Grebene, "*Analog Integrated Circuit Design*", Microelectronics Series [VNR].
- [6] Alain Aubert, "*Conception et caractérisation d'une cellule de calcul analogique*", Thèse doctorat, l'institut national des sciences appliquées de Lyon France, pp.57-74, 2001.
- [7] Behzad Razavi, "*Design of Analog CMOS Integrated Circuits*", McGraw-Hill, 2000.
- [8] Olivier Bernal, "*Conception de Convertisseurs Analogique-Numérique en technologie CMOS basse tension pour chaînes Vidéo CCD Spatiales*", Thèse doctorat, Institut National Polytechnique de Toulouse France, pp.26-50, 2006.
- [9] Samia khaldi, "*Conception et Layout d'un CNA pour un capteur de pression intelligent*", Magister en micro-électronique université de Batna, pp.6-7,2005.
- [10] Behzad Razavi, "*RF Microelectronics*", Prentice Hall PTR, Inc, 1998.
- [11] J Jacob Wikner,"*CMOS Digital-to-Analog Converters for Telecommunication Applications*", Thesis No. 715, Department of Electrical Engineering Linköpings universitet, S-581 83 Linköping, Sweden , Linköping August 1998
- [12] R Steven,"*delta-sigma Data converters theory, design, and simulation*",IEEE circuits & systems society , sponsor, the institute of electrical and electronics engineers, New York,1997.
- [13] Behzad Razavi,"*CMOS Technology Characterization for Analog and RF Design*", IEEE Journal of Solid-State Circuits, Vol. 34, No. 3, December 1999.
- [14] Mikael Gustavsson,"*CMOS data converters for communications* ",kluwer Academic Publishers, New York, Boston, Dordrecht, London, Moscow , Ohio

- State University
- [15] Willy Sansen, "*Design of Low-Voltage Low-Power CMOS Delta sigma A/D converters*", Academic Publishers, New York, Boston, Dordrecht, London, Moscow, Ohio State University
- [16] Behzad Razavi, "*Principals of data conversion system design*", IEEE Circuits & Systems Society, Sponsor, The Institute of Electrical and Electronics Engineers, New York, 1997.
- [17] Walt Kester, "*The Data Conversion Handbook*", A Volume in the Analog Devices Series USA, 2005.
- [18] Fernando Medeiro, "*Top down-design of high performance Sigma-Delta modulator*", Academic Publishers, New York, Boston, Dordrecht, London, Moscow, Ohio State University.
- [19] C. Toumazou, D.G. Haigh, "*Analogue IC design the current mode approach*", IEEE Circuits and Systems Series, London March, 1990.
- [20] Julien Ganty, "*14 bit high speed current steering DAC for on chip ADC testing applications*", Projet Master, école polytechnique fédérale de Lausanne; Projet de diplôme 2005-2006.

**A n n e x e**

## Annexe

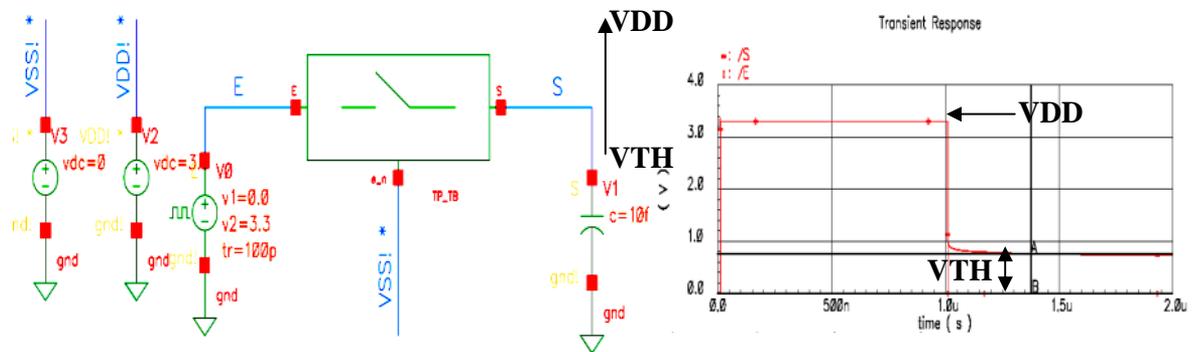


Figure 1 Schéma de l'interrupteur PMOS

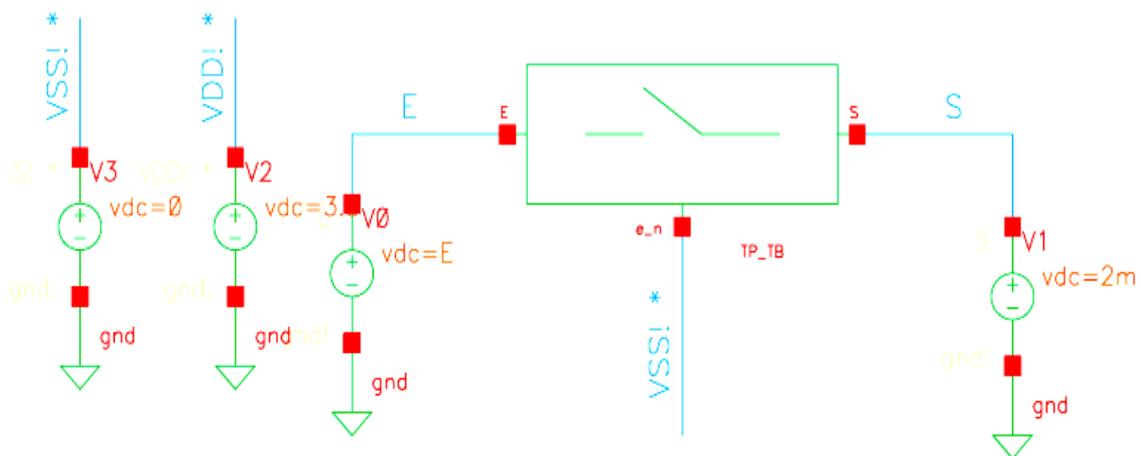


Figure 2 Schéma de test bench de l'interrupteur PMOS

La figure II présente la variation de tension d'entrée en fonction de la résistance de sortie avec différente valeur de  $W_p$

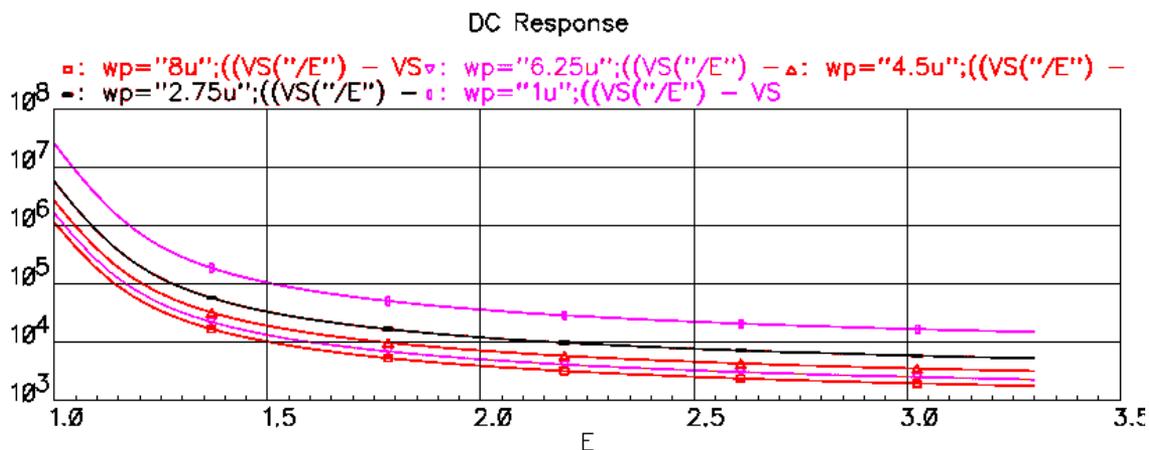


Figure 3 Schéma de la Simulation

La figure III.18 présente la variation de tension d'entrée en fonction de la résistance de sortie avec la valeur de  $W_n = 2.75u$  et  $L = 0.35u$

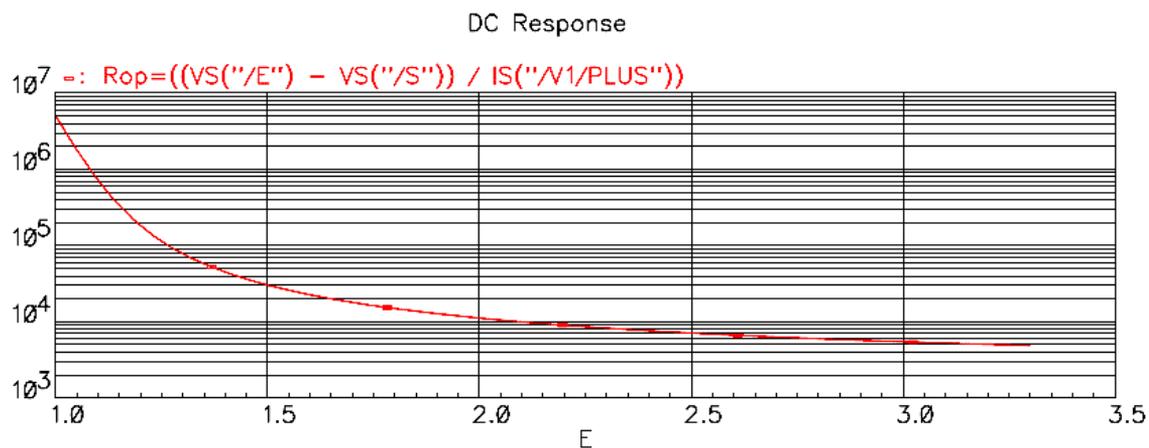
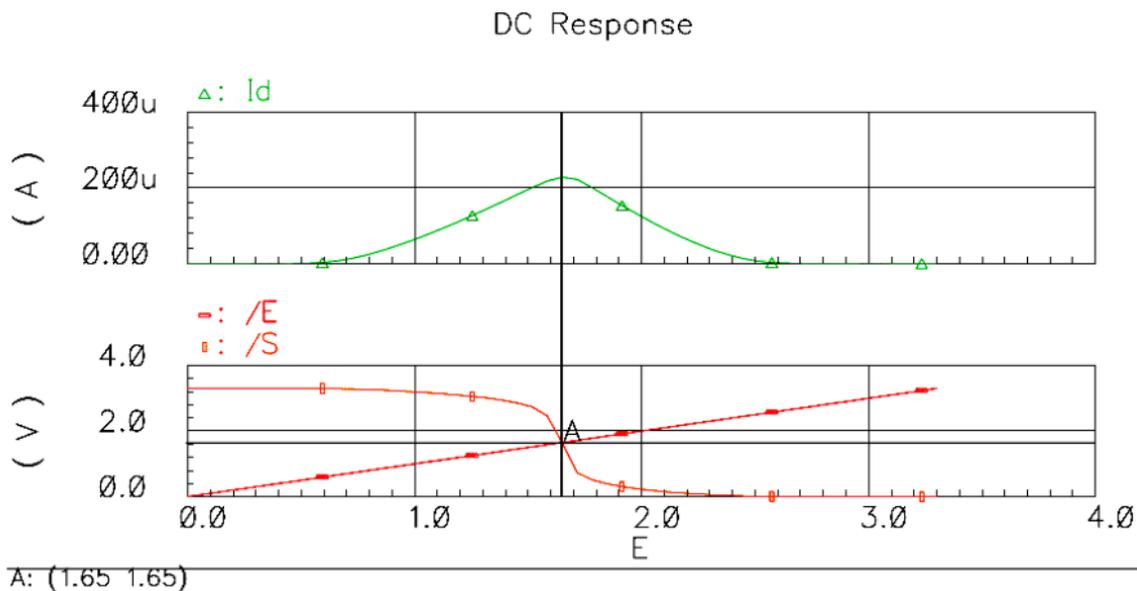


Figure 4 Résultats de la Simulation

La figure 5 présente la fonction de transfert avec le courant de l'inverseur CMOS



**Figure 5 Résultats de la Simulation**

La figure 6 présente la variation de la résistance (55k à 100k ) du convertisseur numérique analogique (avec miroir de courant simple) en fonction du courant:

Figure 6 (A)

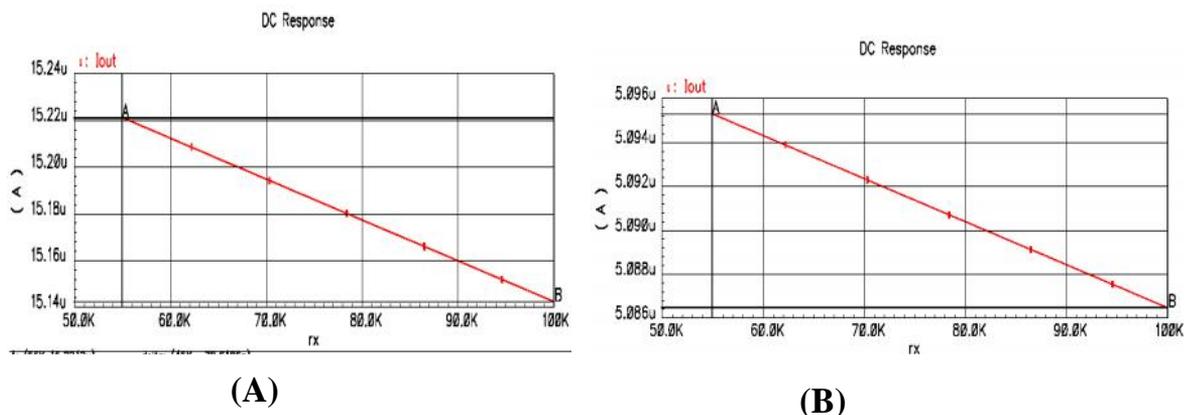
Pour le code 11110 le courant est entre 15.22uA et 15.14uA

Figure 6 (B)

Pour le code 00001 le courant est entre 5.096uA et 5.086uA

Figure 6 (C)

Pour le code 10100 le courant est entre 16.24uA et 16.14uA



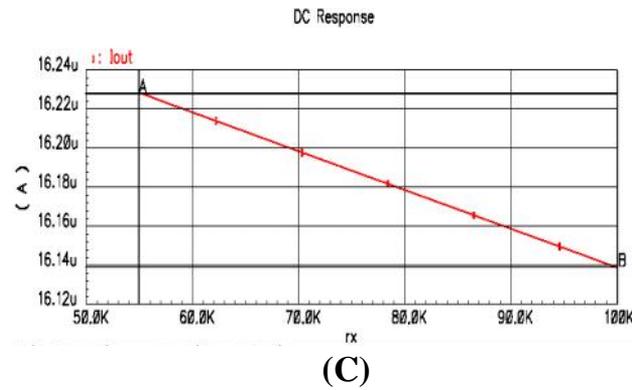


Figure 6 Résultats de la Simulation

### CNA avec miroir de courant cascode

La figure 7 présente le schéma du convertisseur numérique analogique 5 bits qui comprend :

- Les miroirs de courant de type cascode avec  $W = 2\mu m, L = 2\mu m$ .
- Les interrupteurs de type TG avec  $W_n = 3\mu m, W_p = 14.5\mu m, L_n = L_p = 0.35\mu m$ .
- Les inverseurs avec  $W_n = 1.7\mu m, W_p = 4.7\mu m, L_n = L_p = 0.35\mu m$

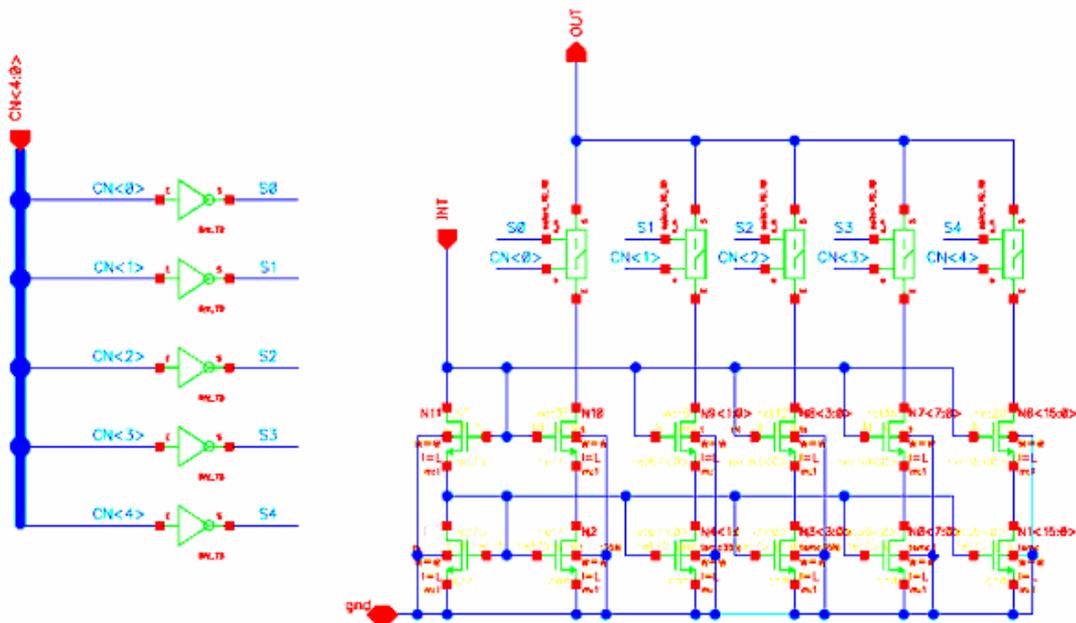


Figure 7 Schéma du CNA avec miroir de courant cascode

La figure 7 présente les résultats de la simulation

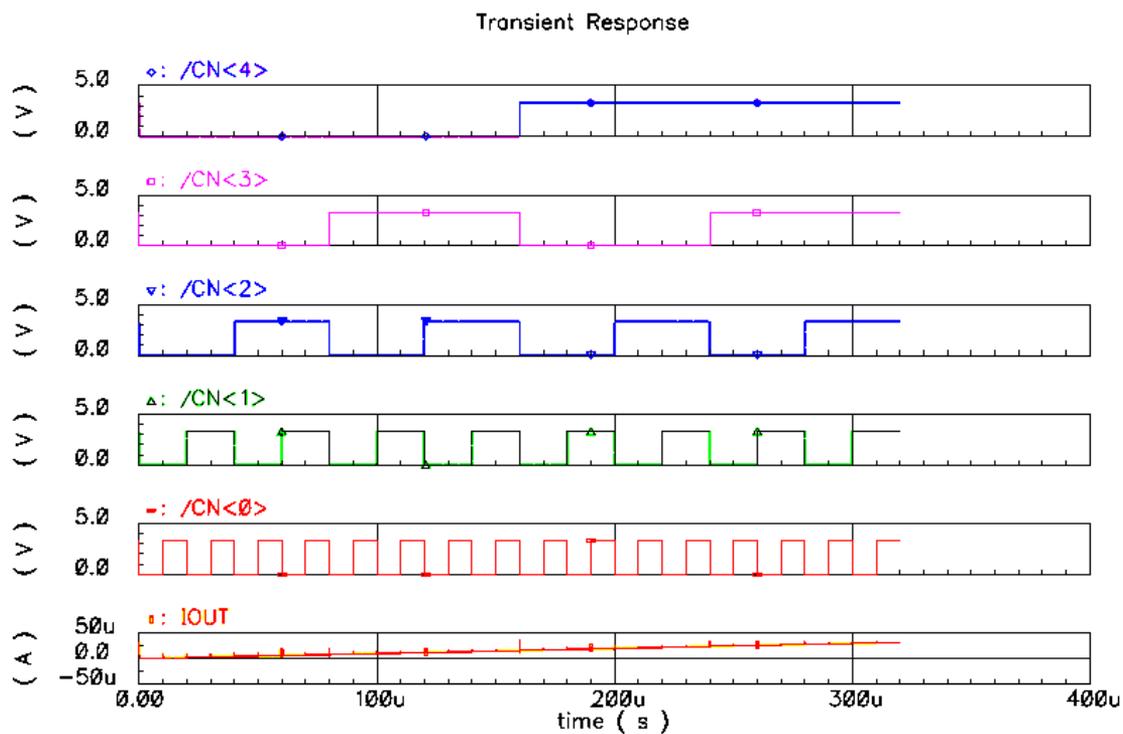


Figure 7 Résultats de la simulation

La figure 8 présente la simulation du convertisseur a une réponse acceptable ( $I - 1/4LSB \leq I \leq I + 1/4LSB$ ) pour une résistance de charge variant de 1k à 80k .

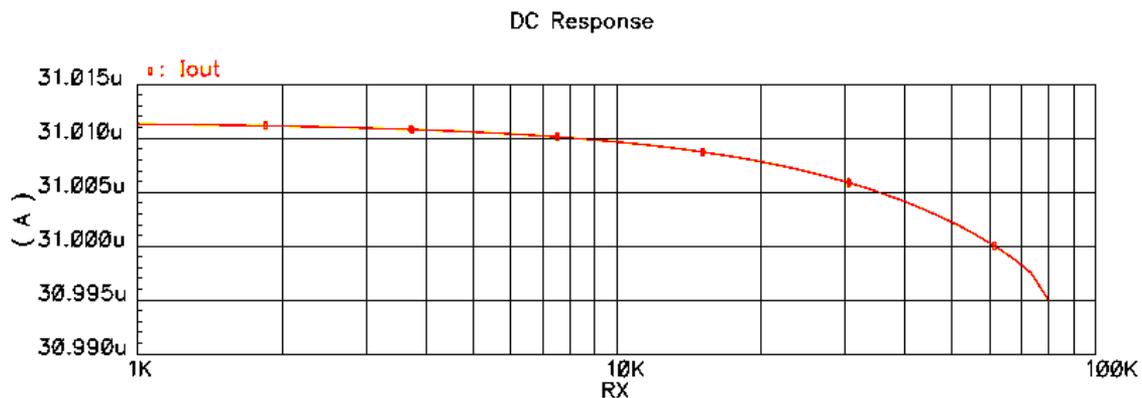
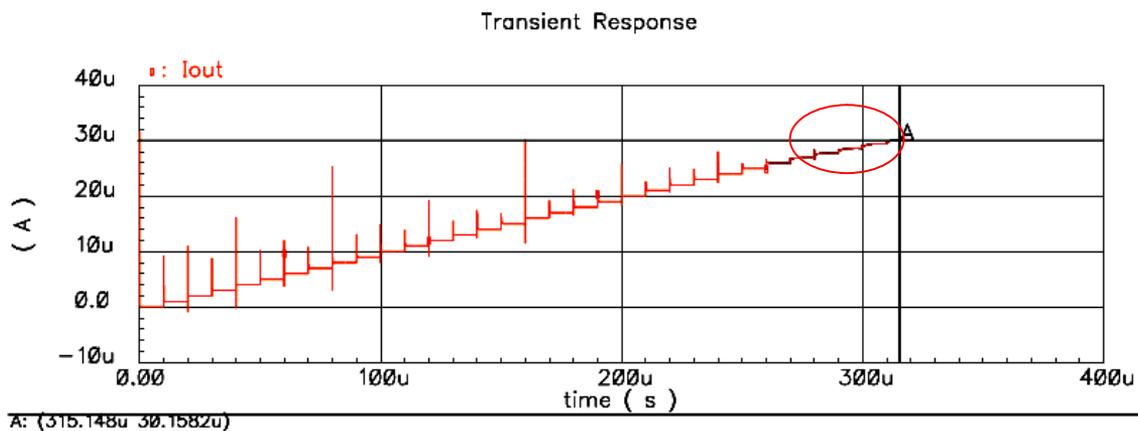


Figure 8 Résultats de la simulation

INL négative maximale	-0.05164
INL positive maximale	0.11616
DNL négative maximale	-0.086
DNL positive maximale	0.037
Erreur d'offset	37.8257p

**Tableau I. Résumé des tests de mesure du CNA avec miroir de courant cascode**

La figure 9 présente la simulation du convertisseur numérique analogique avec miroir de courant cascode pour une résistance de charge  $R=100k$



**Figure 9 Resultats de la Simulation**

