

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE



Université de Batna
Faculté Des Sciences de l'Ingénieur
Département d'Electronique



Mémoire

Présenté en vue de l'obtention du diplôme de Magister en Electronique

OPTION

Micro-électronique IC-Design

PAR

Mohamed Amir ABDI

THEME

**Modélisation de l'inverse de la pente sous seuil des
transistors FETs nanométriques**

Devant le jury :

<u>Président :</u>	<i>Mr. Ramdane MAHAMDI</i>	<i>M.C</i>	<i>U. Batna</i>
<u>Rapporteur :</u>	<i>Mr. Fayçal DJEFFAL</i>	<i>M. C.</i>	<i>U. Batna</i>
<u>Examineurs :</u>	<i>Mr. Azzedine TELIA</i>	<i>Prof.</i>	<i>U. Constantine</i>
	<i>Mr. Fayçal AYAD</i>	<i>M.C</i>	<i>U. Jijel</i>
	<i>Mr. Abdelhamid BENHAIA</i>	<i>M. C.</i>	<i>U. Batna</i>
	<i>Mr. Zohir DIBI</i>	<i>M. C.</i>	<i>U. Batna</i>

AVANT PROPOS

Ce travail a été effectué au Laboratoire des Etudes Physico-Chimique des Matériaux de la Faculté des sciences - Université de Batna -, et au Laboratoire de l'Electronique Avancée de la Faculté des sciences de l'ingénieur - Université de Batna -.

*Je tiens à remercier très vivement Monsieur **Fayçal DJEFFAL**, pour m'avoir accordé sa confiance et encadré tout le long de ce travail. Je lui exprime toute ma gratitude et tout mon estime.*

*J'exprime également mes remerciements à Monsieur **Ramdane MAHAMDI**, maître de conférences à la Faculté des sciences de l'ingénieur de l'université de Batna, qui me fait l'honneur de s'intéresser à ce travail et de présider le jury.*

*Je tiens à remercier Monsieur **Azzedine TELIA**, Professeur à la Faculté des sciences de l'ingénieur de l'université de Constantine, qui me fait l'honneur d'examiner mon travail.*

*Je tiens également à présenter ma profonde gratitude à Monsieur **Fayçal AYAD**, maître de conférences à la Faculté des sciences de l'ingénieur de l'université de Jijel, qui a accepté d'examiner mon travail.*

*Je remercie Monsieur **Abdelhamid BENHAIA**, maître de conférences à la Faculté des sciences de l'ingénieur de l'université de Batna d'avoir accepté de juger ce modeste travail.*

*Mes remerciements vont également à Monsieur **Zohir DIBI**, maître de conférences à la Faculté des sciences de l'ingénieur de l'université de Batna qui me fait l'honneur de participer au jury de ce mémoire et d'en être Examineur.*

*J'exprime également mes remerciements au personnel administratif du Département d'Electronique - Faculté des sciences de l'ingénieur de l'Université de Batna -, en particulier à Monsieur le Doyen de la Faculté des sciences de l'ingénieur Monsieur Le **Professeur Nouredine BOUGUECHAL**.*

Sommaire

Notations et constantes	1
Introduction Générale.....	3

Chapitre I: Transistor FET fortement submicronique

I.1	Introduction	5
I.2	Les transistors MOSFETs	5
I.2.1	Historique	5
I.2.2	Définition du transistor	6
I.2.3	Principe de fonctionnement	7
I.2.4	Principaux paramètres des MOSFETs.....	11
I.3	Effet liais a la reduction du canal	12
I.3.1	Diminution de la tension de seuil V_{TH} dans les canaux courts	13
I.3.2	DIBL (Drain Induced Barrier Lowering)	15
I.3.3	L'inverse de la pente sous seuil	16
I.3.4	Résistances séries parasites	18
I.4	Architecture émergente	19
I.4.1	Transistors à canal de silicium contraint	19
I.4.2	Les transistors SOI	20
I.4.3	Architecture multigrille	22
I.4.3.1	la structure double grille (double gate)	22
I.4.3.2	la structure Gate-All-Around MOSFET (GAA)	23
I.5	La nanotechnologies.....	24
I.5	Conclusion	26

Chapitre II: Méthodes de résolution des problèmes aux limites

II.1	Introduction.....	27
II.2	équations aux dérivées partielles.....	27
II.2.1	Position du problème.....	27
II.2.2	Expression des dérivées partielles	28
II.2.3	Conditions aux limites	30

II.2.3.1	Les conditions aux limites de Dirichlet.....	30
II.2.3.2	Les conditions aux limites de Neumann	31
II.3	Résolution de problème aux dérivées partielles	31
II.3.1	Méthode de séparation de variables	32
II.3.2	Méthode de la transformation de Laplace	32
II.3.3	Méthode de Green	33
II.3.4	Méthodes Approximatives	33
II.3.5	Méthodes numériques	35
II.3.5.1	méthode des différences finies	36
II.3.5.2	méthode des éléments finis	37
II.4	Méthode de newton Raphson.....	41
II.4.1	Teste de convergence.....	43
II.5	Conclusion.....	44

Chapitre III: Modélisation numérique des transistors DG/GAA MOSFETs

III.1	Introduction.....	44
III.2	Méthodologie de modélisation	44
III.2.1	Présentation du modèle et aspects numériques.....	49
III.2.1.a	calcul numérique.....	49
III.2.1.b	Modélisation de l'inverse de la pente sous seuil.....	50
III.3	Présentation et interprétation des résultats.....	51
III.3.1	Présentation des résultats	51
III.3.2	Interprétation des résultats	61
III.4	influence du profile du dopage	62
III.5	Conclusion.....	64

Chapitre IV: Modélisation numérique des transistors DG/GAA MOSFETs en présence des défauts

IV.1	Introduction	65
IV.2	Défauts dans la structure MOS	65
IV.3	Analyse numérique	66
IV.4	Présentation et interprétation des résultats	69

IV.4.1	Présentation des résultats	69
IV.4.2	Interprétation des résultats	73
IV.5	Conclusion	74
Conclusion générale		75
Références Bibliographiques		76
Annexe A		80

Notations et constantes

I_D	courant du drain
K_B	constante Boltzmann
$N_{D/S}$	dopage de source/ drain (n+ type)
q	charge électron
V_D	tension du drain
V_G	tension de grille
V_{DS}	tension drain-source
V_{GS}	tension grille-source
$\beta = K_B / q$	potentiel thermique
ϵ_0	Permittivité diélectrique du vide, $\epsilon_0 = 8,85.10^{-12}$ F/m
ϵ_{Si}	Permittivité diélectrique du silicium, $\epsilon_{Si} = 11,8.\epsilon_0$
ϵ_{ox}	Permittivité diélectrique de l'oxyde.
μ^{eff}	Mobilité effective
φ_m, φ_s	Travaux de sortie respectivement d'un métal, d'un semi-conducteur
φ	Potentiel électrostatique
φ_B	Différence entre le niveau de Fermi et le quasi niveau de Fermi en bandes plates
C_G	Capacité de grille
C_D	Capacité de déplétion
C_{ox}	Capacité d'oxyde par unité de surface, $C_{ox} = \epsilon_{ox}/T_{ox}$
G_d	Conductance de drain S ou S/m
G_m	Transconductance de sortie

I_S	Courant de source
I_{DSsat}	Courant de drain de saturation
I_{off}	Courant de drain I_D à $V_{DS} = V_{DD}$ et $V_{GS} = 0$ V
I_{on}	Courant de drain I_D à $V_{DS} = V_{GS} = V_{DD}$
L	Longueur de la grille d'un transistor
N_A	Concentration de dopants de type accepteur d'électrons
N_B	Dopage du substrat
N_D	Concentration de dopants de type donneur d'électrons
N_i	Concentration intrinsèque de porteurs libres
S	Pente sous le seuil
T	Température
t_{ox}	Epaisseur d'oxyde
t_{si}	Epaisseur de la zone active de silicium
V_{DD}	Tension d'alimentation V
V_{DSsat}	Tension Drain/Source à partir de laquelle a lieu la saturation du courant
V_{FB}	Tension de bande plate (« flat band » en anglais)
V_{GS}	Tension Grille/Source
V_{TH}	Tension de seuil V
W	Largeur du transistor
X	Direction selon l'axe x source-drain m
Y	Direction selon l'axe y de la profondeur de transistor

INTRODUCTION GÉNÉRALE

INTRODUCTION GENERALE

Depuis plus d'un siècle, l'industrie électronique reste surprenante, tant dans le domaine technique qu'économique. Sa croissance repose sur l'apparition incessante de nouveaux marchés, basés sur des produits de plus en plus sophistiqués (télévision, magnétoscope, caméscope, DVD...), et sur la pénétration de bien d'autres secteurs d'activité tels que l'automobile ou le bâtiment. À l'origine et au cœur de cette prodigieuse percée se situe la microélectronique et la nanoélectronique. Celle-ci n'a jamais cessé de répondre à l'exigence de la rapidité et de l'intégration des composants avec leur miniaturisation, tout en recherchant le maintien de leur fiabilité et la réduction des coûts de production. Ainsi, petit à petit, notre quotidien s'est enrichi de nombreux dispositifs issus de l'industrie microélectronique, tels que les téléphones mobiles, les ordinateurs, les appareils photos numériques ou encore les agendas électroniques de poche (PALM). Tous ces produits de service ont en commun la présence de composants, eux même constitués d'éléments électroniques de base : la résistance, le condensateur et le transistor, qui est l'élément de base. Par conséquent, une parfaite connaissance et maîtrise des phénomènes physiques intervenant dans le fonctionnement de ces composants élémentaires, qui se miniaturisent de jour en jour, sont nécessaires pour concevoir avec le moins d'empirisme possible les composants de demain.

Le domaine de la modélisation et la simulation des dispositifs fortement submicroniques peut être considéré comme un domaine très important. Par conséquent, l'étude de la possibilité d'utilisation des modèles numériques dans le domaine de la microélectronique, notamment sous forme des prédicteurs et des simulateurs des dispositifs nanométriques (Double-Gate MOSFET, Gate-All-Around MOSFET,...), s'avère nécessaire. Dans ce contexte, les principaux objectifs de ce mémoire sont : 1) d'étudier le transistor MOSFET fortement submicronique et l'effet de la miniaturisation, 2) de développer un modèle numérique des transistors MOSFETs nanométriques, 3) d'étudier les possibilités et les limites de la graduation dimensionnelle vers l'échelle nanométrique, ainsi l'effet de présence des défauts d'interface et de profondeur sur les performances du fonctionnement des

transistors DG/GAA MOSFETs en fonction des différents paramètres (La longueur de grille, l'épaisseur du canal, le dopage,...).

Ce mémoire s'articulera autour de quatre grands axes:

Le premier chapitre explique le principe de fonctionnement du transistor MOSFET, rappelle sur la problématique actuelle liée à la miniaturisation des transistors, présente les réalisations les plus significatives des MOSFETs conventionnels (bulk, SOI,...) et détaille les cas les plus prometteurs d'une structure nanométrique multi-grille: le transistor DG MOSFET et le transistor GAA MOSFET.

Le deuxième chapitre est consacré aux méthodes et techniques de modélisation qui peuvent être appliquées à la résolution de systèmes d'équations non linéaires, et en particulier le système d'équations bidimensionnel non linéaire Poisson-Boltzmann, c'est-à-dire, les méthodes analytiques, méthodes approximatives et les méthodes numériques tel que la méthode des différences finies et la méthode des éléments finis. Les méthodes de linéarisation des systèmes non linéaires parmi elles, on peut citer la méthode de Newton Raphson qui est représentée dans ce chapitre et qui a été utilisée lors du développement de notre code de calcul.

Le troisième chapitre présente la méthodologie de développement de notre modèle numérique afin d'étudier et de modéliser la loi de variation de l'inverse de la pente sous seuil en fonction de la longueur de grille L , l'épaisseur du canal t_{si} , l'épaisseur de l'oxyde t_{ox} , le type de la structure (DG MOSFET ou GAA MOSFET) et le dopage du canal N_A . Les résultats des simulations seront présentés et interprétés dans ce chapitre.

Le dernier chapitre est consacré à l'étude de l'influence des défauts d'interface et de profondeur sur l'inverse de la pente sous seuil pour les deux architectures DG/GAA MOSFETs.

Une conclusion synthétise les résultats obtenus et donne un aperçu de perspectives qui peuvent être développées pour mieux comprendre ce sujet.

**CHAPITRE I:
TRANSISTOR FET
FORTEMENT
SUBMICRONIQUE**

I.1 Introduction

Dans ce chapitre, on présente les principaux paramètres propres au transistor MOSFET comme la caractéristique courant-tension et d'autres paramètres importants que nous avons estimé citer brièvement dans la section (I.2). Dans la section suivante (I.3) l'effet de la réduction des dimensions des transistors seront également vue, appelé (en anglais) "short channel effect". Nous examinerons dans la section (I.4) des structures émergentes essentiellement les MOSFETs à plusieurs grilles, susceptibles de poursuivre la miniaturisation dans les années à venir.

I.2 Les transistors MOSFETs

I.2.1 Historique

Le principe de fonctionnement du transistor (MOSFET) métal oxyde semi-conducteurs à effet de champ a été décrit pour la première fois par Lilienfeld en 1930 [1]. En décembre 1947, John Bardeen et Walter H. Brattain réalisaient le premier transistor en germanium [2]. Avec William B. Shockley le transistor à jonction et la théorie associée sont développées aux Bell Laboratories en 1951. En 1958, Jack Kilby invente le circuit intégré en fabriquant cinq composants sur le même substrat [3]. C'est en 1960 que Kahng et Atalla ont présenté le premier transistor MOS (figure I.1) sur Silicium qui reste aujourd'hui le semi-conducteur généralement le plus utilisé, vu la qualité inégalée de l'interface créée par le silicium et l'oxyde de silicium (SiO_2), qui sert d'isolant.

Les années 1970 verront le premier microprocesseur d'Intel (2250 transistors) et les premières mémoires. La complexité des circuits intégrés ne cessera de croître exponentiellement depuis (double tous les deux-trois ans, selon la "loi de Moore" (Figure I.2)) grâce à la miniaturisation des transistors.



Figure I.1 Le premier transistor MOSFET, conçu par MM Atalla, D. Kahng [4]

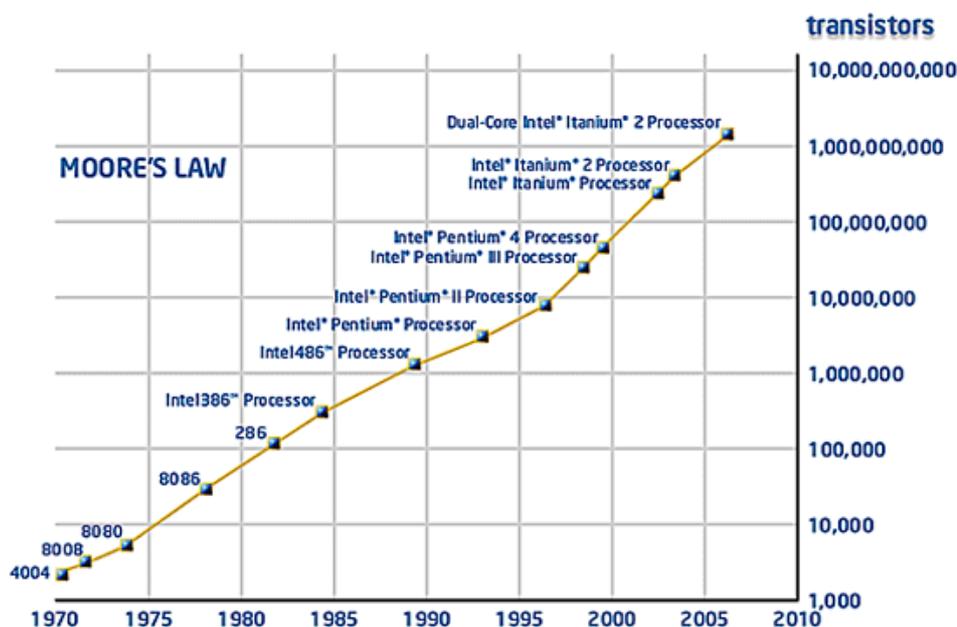


Figure I.2 La loi de Moore pour la graduation du nombre de transistors sur un chip [5]

I.2.2 Définition du transistor

Le MOSFET, acronyme anglais de Metal Oxide Semiconductor Field Effect Transistor, en français Transistor à Effet de Champ. Comme tous les transistors ou même les tubes à vide, le MOSFET module le courant qui le traverse à l'aide d'un signal appliqué à son électrode d'entrée ou grille. La structure du transistor MOSFET comprend un isolant (silice SiO_2), deux îlots, de type opposé à celui du substrat, la source et le drain, délimitent la région active du dispositif qui se situe précisément sous l'électrode de grille. La source est la plus souvent reliée au substrat. L'intensité du courant circulant entre la source et le drain est commandée par la tension entre la grille et le substrat. Très souvent les électrodes de source et de substrat sont électriquement reliées.

Les deux types fondamentaux du MOSFET sont les MOSFETs à appauvrissement D-MOSFET (Figure I.3), et les MOSFET à enrichissement E-MOSFET (figure I.4). Dans chaque type de MOSFET, on peut distinguer le MOSFET canal N (le courant provient du déplacement d'électrons) et le MOSFET canal P (le courant provient du déplacement des trous). Les transistors MOS à enrichissement sont bloqués sans tension de commande sur la grille (NORMALLY OFF), ils deviennent passants à partir d'une certaine tension de grille V_{TH} . Plus $|V_{GS}| > |V_{TH}|$, plus le E-MOS devient passant. Les transistors MOS à appauvrissement sont passants sans tension de commande sur la grille (NORMALLY ON),

ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au delà d'une tension de blocage V_{GSoff} .

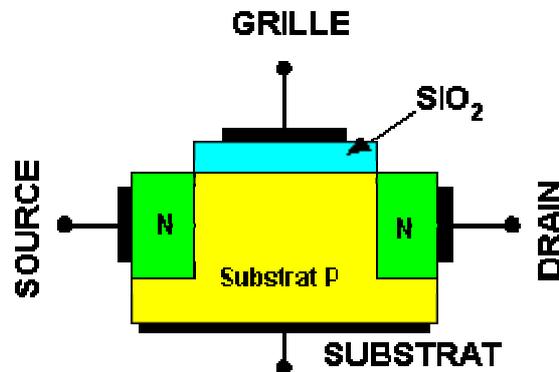
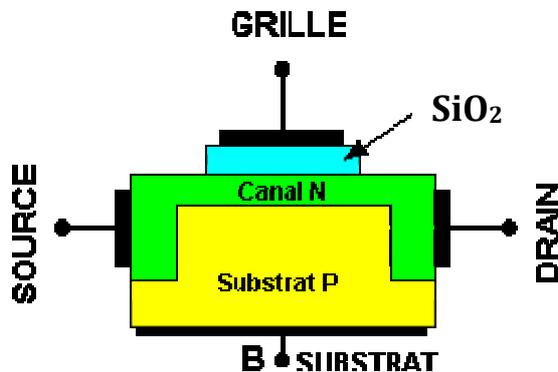


Figure I.3 Structure du MOS à appauvrissement canal N [6]

Figure I.4 Structure du MOS à enrichissement canal N [6]

I.2.3 Principe de fonctionnement

Dans cette partie nous ne traiterons pas le fonctionnement des transistors MOS à appauvrissement (à déplétion) qui sont rarement utilisés, notre étude va se consacrer uniquement sur le fonctionnement des transistors MOS à enrichissement à canal N. Lorsque la différence de potentiel entre la grille et le substrat est nulle il ne se passe rien. Au fur et à mesure de l'augmentation de cette différence de potentiel les charges libres dans le semi-conducteur sont repoussées de la jonction semi-conducteur/oxyde, créant différentes zones de fonctionnement:

a. Zone bloquée:

Lorsque $V_G \leq 0$, la couche de type p proche de l'isolant est en régime d'enrichissement en trous (porteurs majoritaires), et le trajet Source-Drain est constitué de deux jonctions p – n (diodes) tête-bêche. Il est donc non conducteur et on dit alors que le transistor est bloqué.

b. Zone de déplétion:

Pour $0 \leq V_G < V_T$, où V_T est une tension de seuil (positive pour un N-MOS), et pour V_{DS} nul ou faible, la couche proche de l'isolant passe progressivement en mode de déplétion, le trajet Source-Drain reste bloqué mais se rapproche de la conduction.

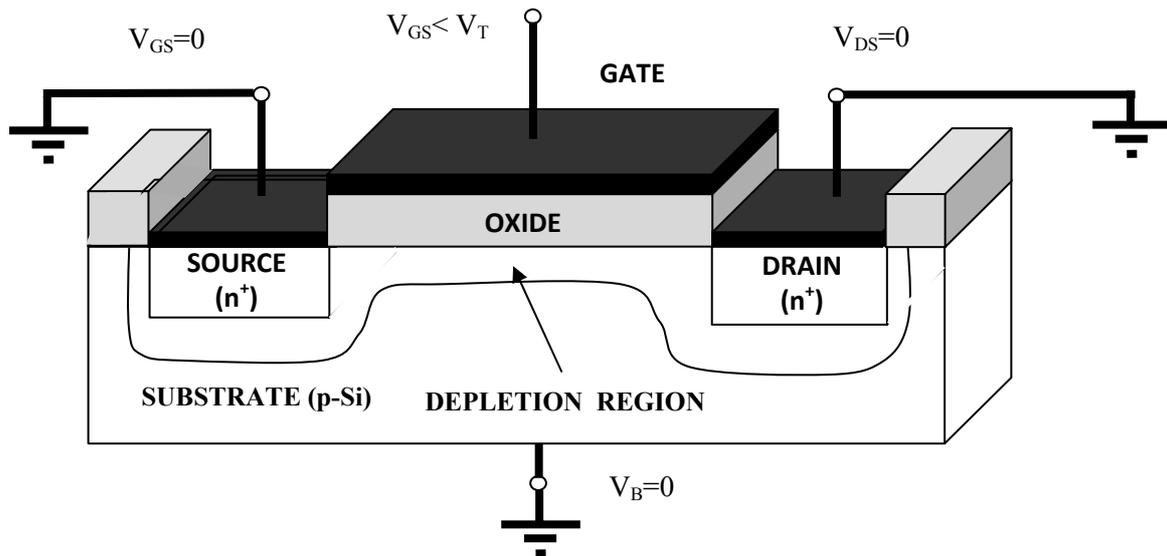


Figure I.5 Transistor N-MOS avec une zone de déplétion [7]

c. Zone d'inversion:

Pour $V_G > V_T$ et V_{DS} nul ou faible, la structure MOS est en régime d'inversion, un canal de type n se forme au voisinage de l'interface avec l'isolant et constitue un circuit conducteur entre les deux zones n^+ . Un courant électronique peut alors circuler de la Source vers le Drain. Le transistor est alors dit conducteur ou passant. Il faut noter que $I_S = I_D$ puisque la Grille est isolée, et que le substrat est par hypothèse hors circuit. La valeur de ce courant commun à la Source et au Drain dépend des potentiels V_{GS} et V_{DS} .

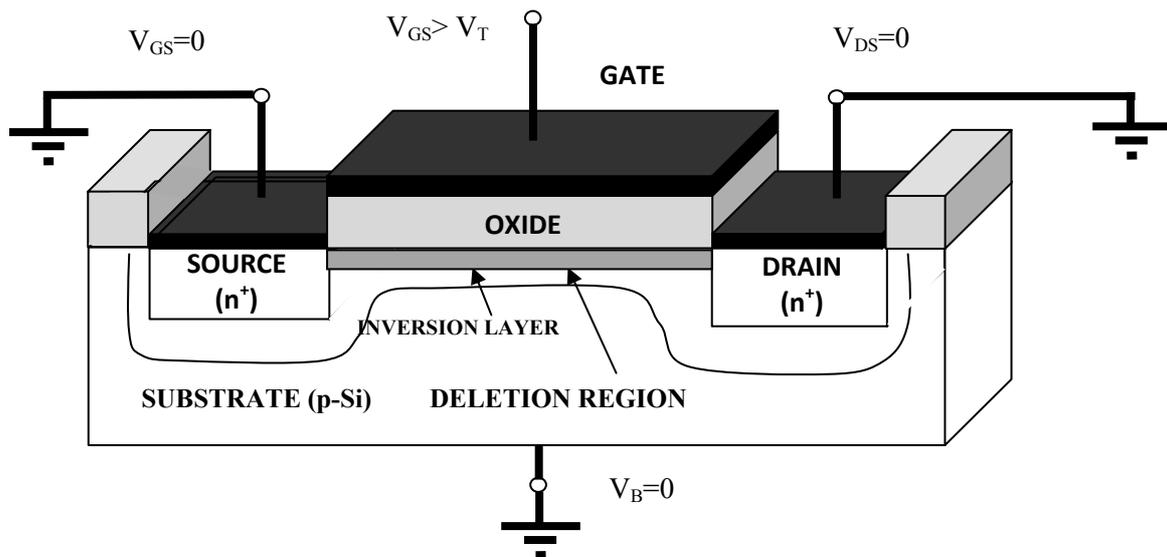


Figure I.6 Transistor N-MOS avec un canal d'inversion [7]

d. Zone résistive (ohmique):

Tant que $V_{GS} > V_T$ et $V_{GD} > V_T$ (et donc pour $V_{DS} < V_{GS} - V_T$), le canal s'étend sur toute la longueur entre la Source et le Drain et se comporte comme une résistance ($I_S = I_D \approx V_{DS}/R$) dont la valeur R est indépendante de V_{DS} , mais varie avec la tension de commande V_{GS} . La densité électronique dans le canal augmente lorsque la tension de grille augmente, donc la conductivité du canal augmente elle aussi. On dit que le transistor est en mode résistif.

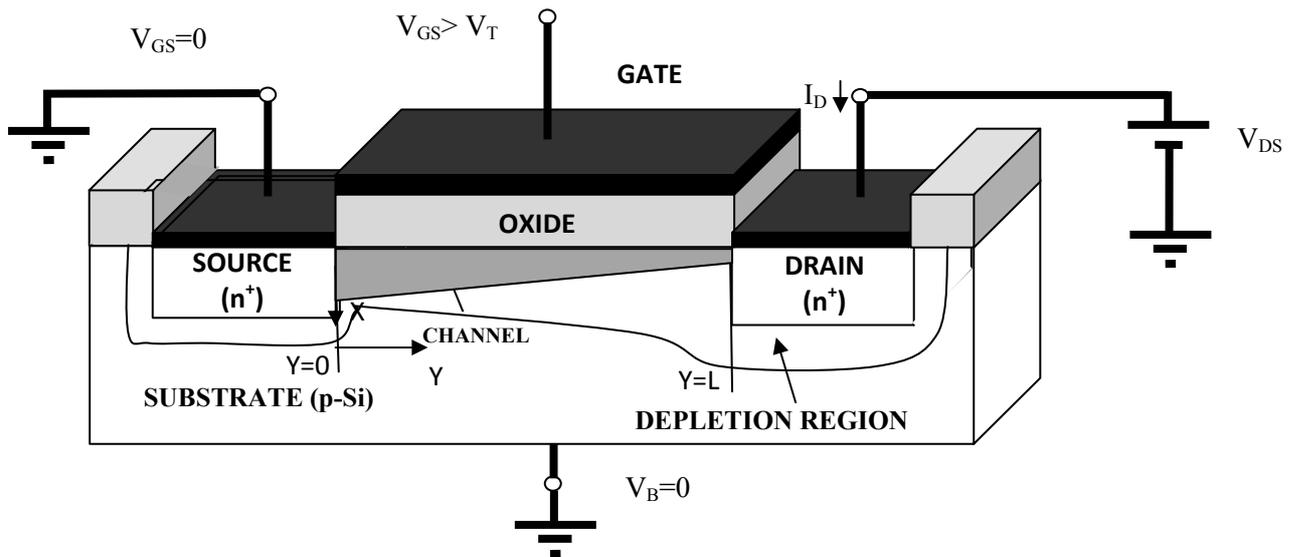


Figure I.7 Transistor N-MOS en mode résistif [7]

e. Zone de saturation:

Pour de fortes valeurs de V_{DS} on maintient V_G ($V_{GS} > V_T$) et on augmente V_D qui se rapproche de V_G . A partir d'un certain potentiel V_{Dsat} appelé tension de pincement, la condition $V_{GD} > V_T$ ne sera plus satisfaite, il n'y aura plus d'inversion de population au voisinage du Drain, et l'épaisseur de canal sera localement réduite à zéro. Au-delà de cette tension de pincement, le point de pincement se déplace vers la Source de sorte que la tension V_{Dsat} apparaît appliquée aux extrémités du canal dont la longueur est diminuée de ΔL , l'excédent de tension ($V_D - V_{Dsat}$) étant chuté dans une zone désertée (diode en inverse de forte résistivité) de longueur ΔL .

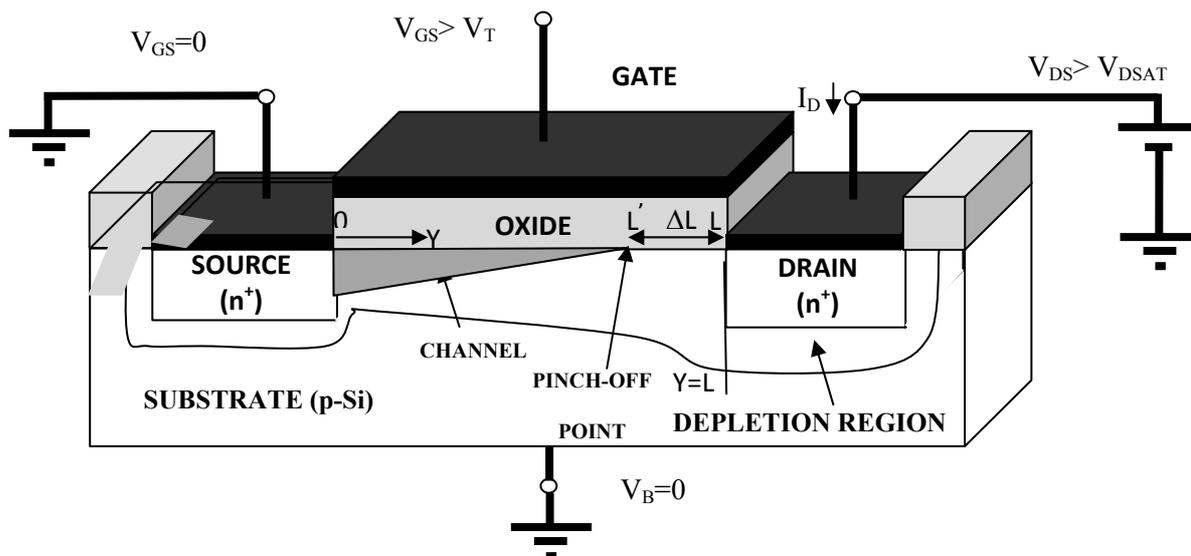


Figure I.8 Transistor N-MOS en mode satur  [7]

La pr sence de cette zone d sert e en s rie avec le canal conducteur ne diminue pas le courant car les  lectrons qui parviennent au point de pincement sont aspir s par le fort champ  lectrique pour  tre inject s dans le Drain. Dans la mesure o  $\Delta L \ll L$, le courant I_D est principalement d termin  par la conductivit  du canal et la diff rence de potentiel V_{Dsat} , et ce courant reste approximativement constant lorsque V_D exc de V_{Dsat} . Le transistor est en mode satur .

La figure (I.9) pr sente les diff rents diagrammes de bandes du semiconducteur d'une capacit  de type P en fonction de la diff rence de potentiel entre la grille et le substrat V_{GB} .

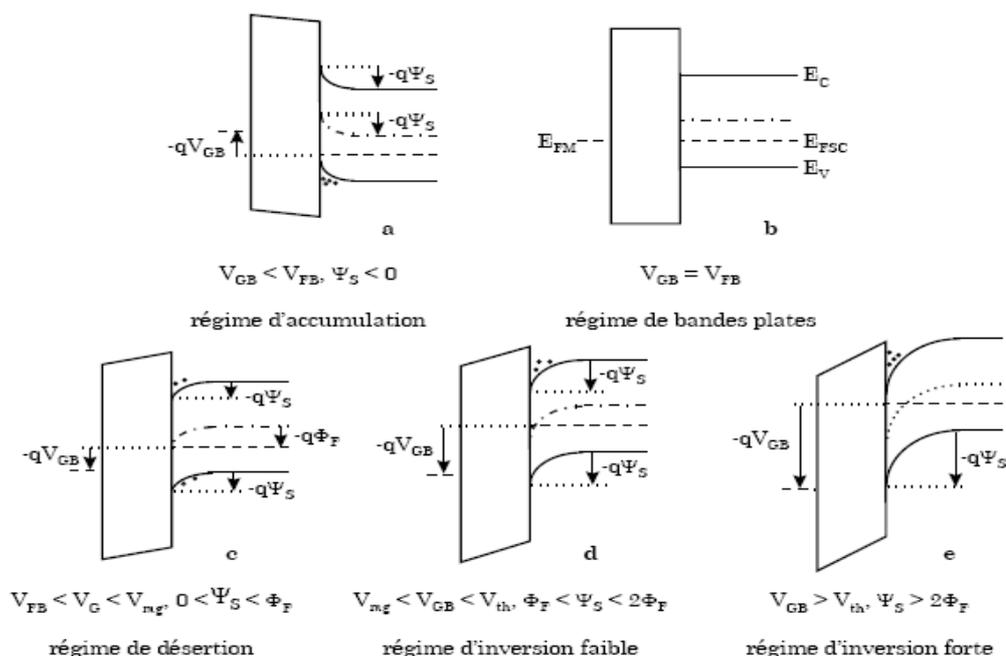


Figure I.9 diff rents diagrammes de bandes du semiconducteur d'une capacit  de type P en fonction de la diff rence de potentiel entre la grille et le substrat V_{GB} [8]

I.2.4 Principaux paramètres des MOSFETs

Les paramètres importants du transistor sont les suivants:

- Caractéristiques Courant/Tension des MOSFET:

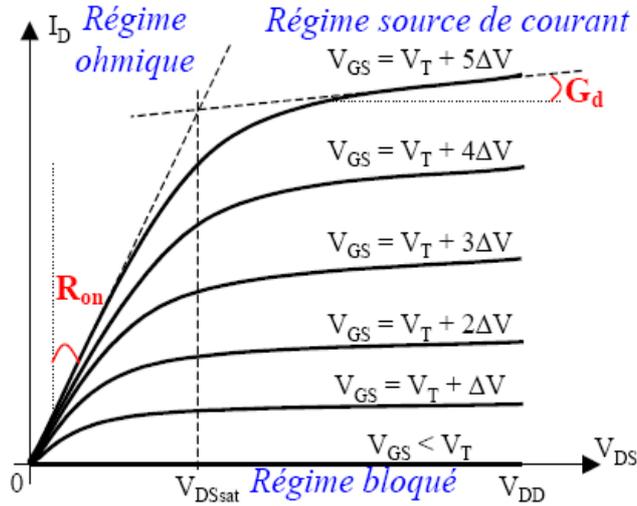


Figure I.10 Caractéristiques Courant/Tension des MOSFET

- a) $V_{GS} < V_T$ Transistor Bloqué:

$$I_D = 0 \quad (I.1)$$

- b) $V_{GS} > V_T$ et $V_{GD} > V_T \iff V_{DS} < V_{GS} - V_T$ Mode résistif:

$$I_D = \frac{W}{L_G} \mu_n C_{OX} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (I.2)$$

- c) $V_{GS} > V_T$ et $V_{GD} < V_T \iff V_{DS} > V_{GS} - V_T$ Mode saturé:

$$I_{D_{SAT}} = \frac{W}{L_G} \mu_n C_{OX} \frac{(V_{GS} - V_T)^2}{2} \quad (I.3)$$

La frontière entre le mode résistif et le mode saturé est donnée par la relation:

$$V_{GD} = V_T \iff I_D = \frac{W}{L_G} \mu_n C_{OX} \frac{(V_{DS})^2}{2} \quad (I.4)$$

Où : W et L sont la largeur et la longueur du canal;

μ_n est la mobilité des électrons (porteurs majoritaires du canal n);

C_{ox} est la capacité par unité de surface de la capacité MOS;

$C_{ox} = \epsilon_{ox} / t_{ox}$ où ϵ_{ox} est la permittivité de l'oxyde et t_{ox} son épaisseur.

Les courbes caractéristiques courant-tension ont ainsi l'allure suivante:

- La tension sous le seuil (V_{TH}) est la tension de grille nécessaire à la formation d'un canal de conduction (couche d'inversion) entre la source et le drain.

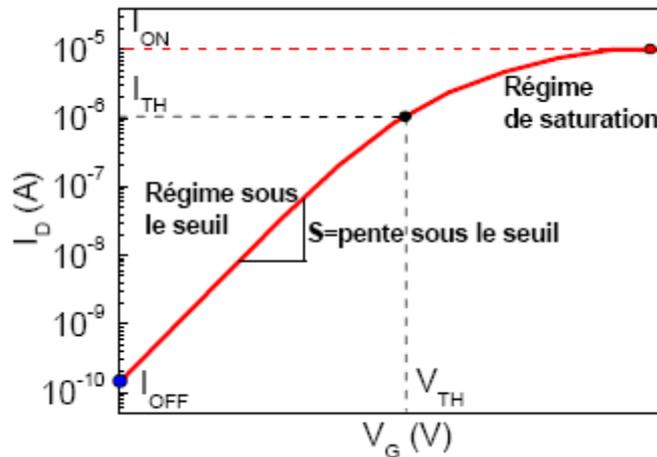


Figure I.11 la pente sous seuil (S)

- La transconductance ou gain (g_m) est définie par:

$$G_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}=CSTE} \quad (I.5)$$

doit être la plus élevée possible. La transconductance augmente très rapidement lorsque la longueur de canal devient inférieure à 100 nm.

- La conductance du canal (G_{DS}) donnée par:

$$G_{DS} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS}=CSTE} \quad (I.6)$$

- La pente sous le seuil : elle représente la tension de grille à appliquer (en régime sous le seuil) pour augmenter le courant de drain d'une décade:

$$S = \frac{\partial V_{GS}}{\partial \log I_D} \quad (I.7)$$

I.3 Effet liais a la reduction du canal

La miniaturisation des transistors définit la croissance de l'industrie des semi-conducteurs, avec comme objectif de délivrer de meilleures performances à moindre coût. Le

coût des circuits diminue ainsi d'un facteur deux tous les 18 mois. Les performances électriques des composants sont également améliorées (voir tableau(I.1)).

En diminuant la dimension des MOSFETs, le temps de passage de l'état "off" à l'état "on" diminue linéairement du fait de l'évolution du temps de réponse intrinsèque en fonction de la longueur de canal/vitesse des porteurs. La diminution des dimensions de canal engendre quelques effets indésirables, ces effets sont appelés « effet des canaux courts », en anglais « Short Channel Effect ».

Année	2004	2007	2010	2013	2016
Noeud technologique (nm)	90	65	45	32	22
Longueur de grille physique (nm)	37	25	18	13	9
Tension d'alimentation (V)	1.2	1.1	1	0.9	0.8
Epaisseur d'oxyde équivalent (nm)	1.2	0.9	0.7	0.6	0.5
Tension de seuil en saturation (V)	0.2	0.18	0.15	0.11	0.10
Courant de fuite nominal des NMOS ($\mu\text{A}/\mu\text{m}$)	0.05	0.07	0.1	0.3	0.5
Courant conducteur nominal des NMOS ($\mu\text{A}/\mu\text{m}$)	1110	1510	1900	2050	2400
Temps de réponse intrinsèque des NMOS (ps)	0.95	0.64	0.39	0.26	0.15

Tableau I.1 Prévisions ITRS des caractéristiques des MOSFETs ultimes (high performances) [9]

I.3.1 Diminution de la tension de seuil V_{TH} dans les canaux courts

la barrière de potentiel commandée par V_{GS} permet l'injection des électrons dans la zone active du transistor au niveau du canal, par contre au niveau du substrat c'est la barrière de potentiel de la jonction Source(N+)/Substrat(P) qui permet cette injection. Lorsque les épaisseurs des ZCE des jonctions caissons/canal s'étendent sur toute la longueur du canal, la barrière de potentiel dans le canal court est abaissée par rapport à sa valeur dans un canal « long ». Le nombre de porteurs présents dans le canal augmente alors. La tension de seuil à partir de laquelle se produit le phénomène d'inversion est donc plus faible [10].

Comme observé expérimentalement, la tension de seuil ne reste pas la même si les dimensions W (la largeur de canal) et L (longueur de canal) sont réduites. Ce genre de phénomène peut être modélisé en utilisant un logiciel de simulation par éléments finis à deux dimensions comme ATLAS en vue de résoudre des équations telles que les équations de Poisson et de transport. Toutefois, un modèle plus simple, développé par Yau a permis de

déterminer « graphiquement » les relations qui lient la répartition de la charge de déplétion et la tension de seuil [11]. La formule analytique suivante quantifie (après quelques petites approximations) la diminution de V_T en fonction de L_G et de V_{DS} :

$$V_T = V_{T,L_G \rightarrow \infty} - \frac{\epsilon_{si} \phi_d T_{ZCE}}{C_{OX} \cdot L_G^2} - \frac{\epsilon_{si} T_{ZCE}}{C_{OX} \cdot L_G^2} V_{DS} \quad (I.8)$$

avec : $V_{T,L_G \rightarrow \infty}$: Tension de seuil dans un canal long $V_{T,L_G \rightarrow \infty} = V_{FB} + 2\phi_F + \frac{qN_A T_{ZCE}}{C_{OX}}$ V_{FB} :

tension de bandes plates,

ϕ_F : différence entre le niveau de Fermi et le quasi niveau de Fermi en bandes plates des Électrons dans le substrat,

$$T_{ZCE} = \sqrt{\frac{2\epsilon_{si}}{qN_A}} \phi_D \quad \text{Où } \phi_D \text{ le potentiel de diffusion de la jonction drain-substrat (et Source-}$$

substrat) à l'équilibre : $\phi_D = \frac{k_B T}{q} \ln \frac{N_A N_D}{n_i^2}$

N_D est le niveau de dopage des zones de contact source et drain et N_A celui du substrat.

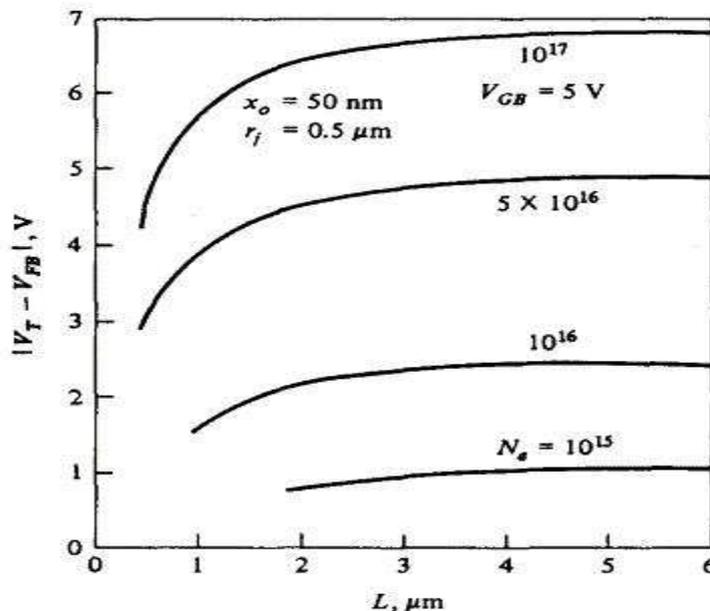


Figure I.12 : Evolution de la tension de seuil théorique en fonction de la longueur de canal selon le modèle de Yau [11].

I.3.2 DIBL (Drain Induced Barrier Lowering)

Le DIBL en anglais appelé (Drain Induced Barrier Lowering) dits phénomène de percement qui se produit lorsque les dimensions des zones désertées (ZCE) Source/Substrat et Drain/Substrat deviennent comparables à la longueur de la grille. La distribution du potentiel dans le canal dépend alors à la fois du champ transversal (contrôlé par la tension de grille), mais aussi du champ longitudinal (contrôlé par la tension de drain). un accroissement de la ZCE côté drain, ce qui provoque l'abaissement de la barrière de potentiel Source/Substrat.

Le percement favorise l'apparition de courants de fuite. Sous l'effet de V_{DS} , il peut se produire soit un percement en surface qui traduit une injection supplémentaire de porteurs dans le canal à la surface de l'oxyde, soit un percement en volume favorisant l'injection parasite de porteurs dans le volume du substrat. Ces deux types de courant de fuite ont des caractéristiques différentes.

I.3.2.1 Percement en surface

Le phénomène de DIBL (« surface DIBL ») est pris en compte lorsque le transistor travaille en régime sous seuil (ou faible inversion) et concerne le potentiel de surface. En faible inversion, le potentiel de surface dans le canal pour des dispositifs à canal long est à peu près constant et le courant est dû à la diffusion des porteurs minoritaires (Cette diffusion est due au gradient de concentration longitudinal aux jonctions). Le courant de drain dépend exponentiellement de la tension de grille. Il existe également, en régime de faible inversion, une barrière de potentiel à la jonction entre la source et le canal qui résulte de l'équilibre entre le courant de diffusion et de dérive (cas similaire à une jonction PN à l'équilibre). Si la tension au drain augmente, la couche de déplétion s'étend de plus en plus dans le canal vers la source et il se produit un abaissement de la barrière Source/Substrat. L'abaissement de la barrière à la source permet l'injection d'électrons au travers du canal (en surface) et ceci indépendamment de la tension de grille. Comme conséquence, en régime sous seuil, la grille perd le contrôle du courant de drain. Un courant sous seuil important peut être observé quand la longueur du canal est inférieure à $1.5\mu\text{m}$. Cet effet est d'autant plus marqué que la tension de drain augmente et que la longueur de canal diminue [12].

L'effet DIBL est habituellement mesuré par le décalage de la courbe de transfert en régime sous seuil ΔV_{th} divisé par le ΔV_D entre deux courbes résultant de deux tensions de drain différentes :

$$DIBL = \frac{\Delta V_{th}}{\Delta V_D} \text{ (mV/V)}$$

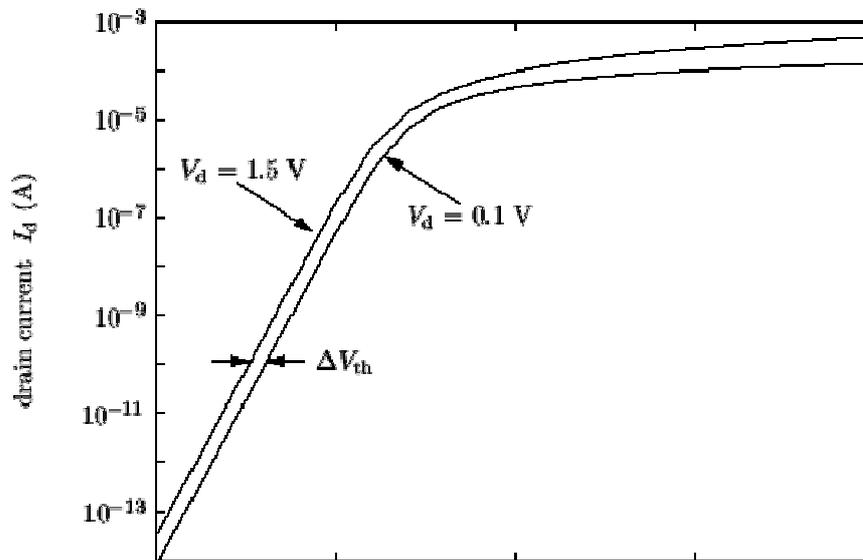


Figure I.13 : Courbes de transfert pour des tension de drain de 0.1V (régime linéaire) et 1.5V (régime de saturation).

I.3.3 L'inverse de la pente sous seuil

L'inverse de la pente sous seuil est donnée en toute généralité par:

$$S = \frac{\partial V_{GS}}{\partial \log I_D}$$

C'est à dire par la variation de la tension de grille par rapport au courant de canal sous seuil.

En technologie bulk, on obtenait pour S :

$$S = \frac{nKT}{q} \ln(10) \quad \text{où } n = 1 + \frac{C_D}{C_{OX}} \quad \text{(coefficient d'effet de substrat)}$$

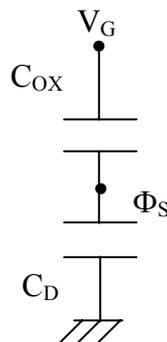


Figure I.14: Circuit capacitif équivalent d'un transistor MOS/bulk

C_D était non négligeable et par suite $n > 1$. On pouvait toutefois améliorer n en diminuant le dopage du substrat.

En technologie SOI sur film mince déplété (l'entière du film de silicium est complètement déplété avant que la tension n 'atteigne la tension de seuil dans ce cas C_{Si} est une constante), S est donné par:

$$S = \frac{nKT}{q} \ln(10) \quad \text{où} \quad n = \left(1 + \frac{C_{Si}}{C_{OX1}}\right) \frac{\frac{C_{Si}}{C_{OX2}} - \frac{C_{Si}}{C_{OX1}}}{1 + \frac{C_{Si}}{C_{OX2}}} \quad (\text{coefficient d'effet de substrat}).$$

Avec C_{Si} , la capacité du film de silicium complètement déplété

C_{OX1} , la capacité de grille avant

C_{OX2} , la capacité de grille arrière

Habituellement, pour les films minces, $C_{OX2} \ll C_{OX1}$ et $C_{OX2} \ll C_{Si}$. On obtient donc n très proche de 1 et la pente sous seuil optimale.

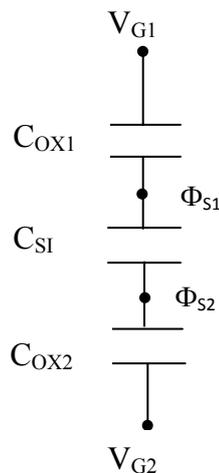


Figure I.15: Circuit capacitif équivalent d'un transistor MOS/bulk

La pente sous seuil à température ambiante est pratiquement maximale ($=60\text{mV/dec}$ pour $n=1$) en SOI (Figure I.16).

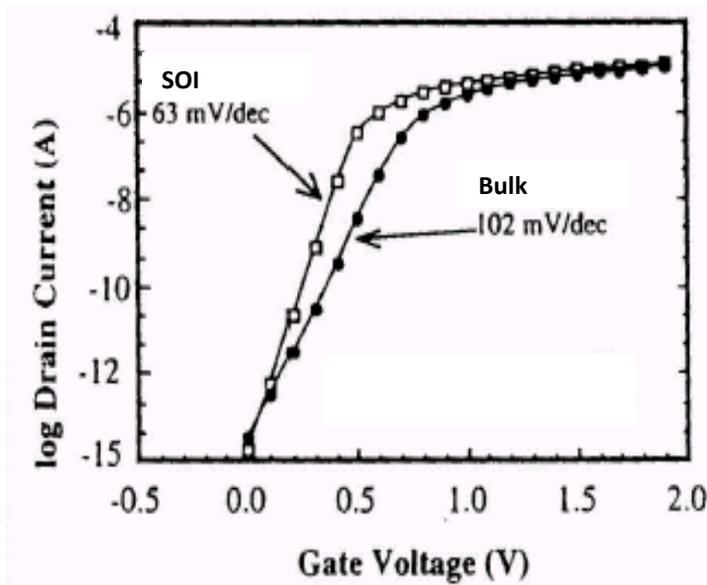


Figure I.16: Comparaison de la pente sous seuil en techno SOI et bulk [13].

I.3.4 Résistances séries parasites

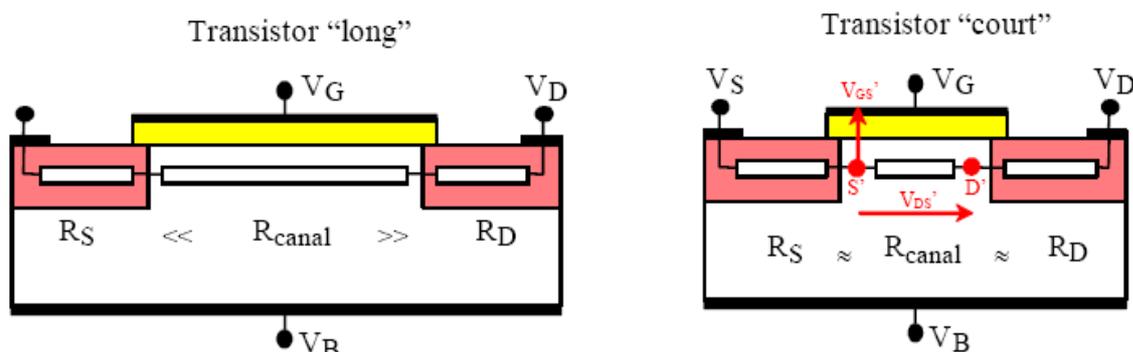


Figure I.17 : Effet de la réduction de la longueur de grille sur la résistance de canal qui devient comparable aux résistances d'accès.

Lorsque la longueur du canal diminue, sa résistance ($\propto L_G$) devient plus faible et éventuellement comparable à celle des caissons Source et Drain. L'influence des résistances d'accès modifie alors fortement les caractéristiques $I(V)$ du transistor. Les chutes de potentiel dans les caissons viennent diminuer la tension V_{DS} appliquée effectivement aux bornes du canal ainsi que la tension de grille effective V_{GS} . Cela modifie le courant I_{on} et la transconductance G_m .

En effet, il faut alors tenir compte des chutes de potentiel dans les zones d'accès. Ainsi, si $R_S = R_D$, les chutes de tension d'une part entre grille et source et d'autre part entre drain et source ne sont plus V_{GS} et V_{DS} mais :

$$V_{GS}' = V_{GS} - R_S I_D$$

$$V_{DS'} = V_{DS} - 2 R_S I_D$$

que l'on reporte dans l'expression du courant non saturé :

$$I_D = K \left[(V'_{GS} - V_T) V'_{DS} - \frac{V'^2_{DS}}{2} \right] \quad \text{avec :} \quad K = \frac{W}{L_G} \mu_n C_{OX} \quad (I.9)$$

c'est-à-dire, en négligeant les termes en $(R_S I_D)^2$:

$$I_D = \frac{K}{1 + 2KR_S(V_{GS} - V_T - \frac{V_{DS}}{2})} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (I.10)$$

Dans le cas d'une saturation par pincement, le courant de saturation s'écrit sous la forme :

$$I_{D_{SAT}} = \frac{K/2}{1 + KR_S(V_{GS} - V_T)} \left[(V_{GS} - V_T)^2 \right] \quad (I.11)$$

I.4 Architecture émergente

1.4.1 Transistors à canal de silicium contraint

Une façon d'améliorer les performances du transistor MOS est d'introduire un matériau à haute mobilité au niveau du canal de la structure, de façon à augmenter notablement le courant I_{ON} : ce sont des transistors HEMT (pour "High Electron Mobility Transistor"). On peut donc soit changer la nature du semiconducteur dans la zone de transport (des canaux silicium-germanium ou silicium-carbone sont envisagés), soit utiliser un film de silicium contraint mécaniquement, ce qui présente l'avantage de conserver l'interface Si/SiO₂ (figure (1.18)).

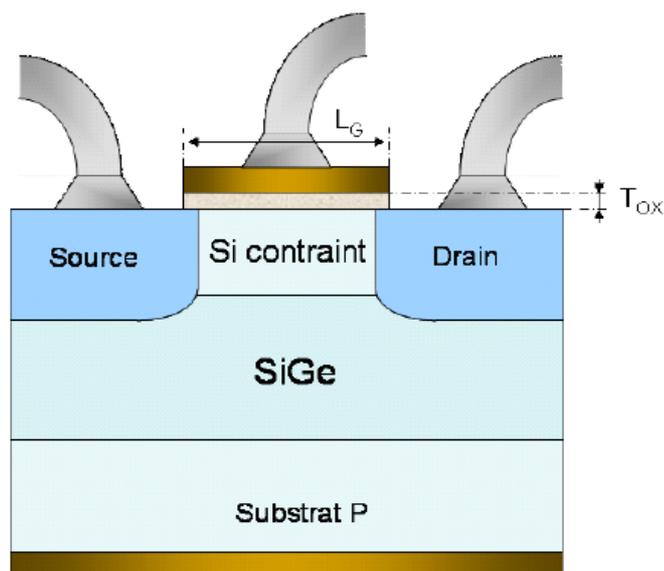


Figure I.18 Schéma d'un transistor MOS réalisé en technologie SOI

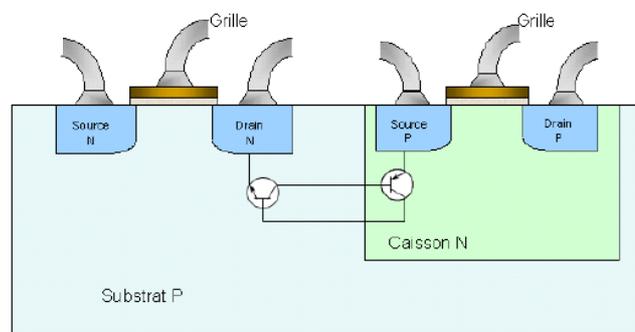
La mise sous contrainte du film de silicium actif est obtenue en faisant croître celui-ci par épitaxie sur un substrat de silicium-germanium ($\text{Si}_{1-x}\text{Ge}_x$) relaxé. La différence de maille entre ces deux matériaux induit une contrainte bi-axiale dans le film de silicium, qui a pour effet de lever les dégénérescences dans la bande de conduction (vallées Δ) et dans la bande de valence (trous lourds). Ce "splitting" des niveaux d'énergie a pour conséquence une diminution des probabilités d'interaction entre les porteurs (électrons et trous) et les phonons intervalles. Les résultats expérimentaux (confirmés par des résultats théoriques) ont mis en évidence une augmentation de la mobilité des électrons jusqu'à 80% par rapport au silicium massif [14]. Au final, le bénéfice du silicium contraint pour les transistors à canal p semble plus délicat à obtenir pour des transistors en silicium massif [15].

1.4.2 Les transistors SOI

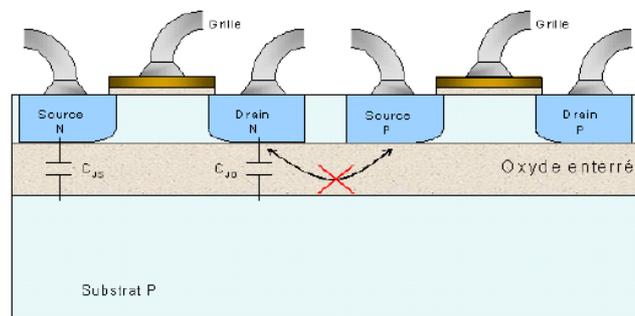
Le Silicium Sur Isolant (en anglais : SOI ou Silicon On Insulator) est une structure constituée d'un empilement d'une couche de silicium (de 50 nm à quelques μm d'épaisseur) sur une couche d'isolant. Cet isolant peut être du saphir (*Silicon-On-Sapphire*), ou du dioxyde de silicium (SiO_2). Les structures SOI MOSFET sont envisagées comme des candidats susceptibles de réussir l'intégration de composants de dimensions inférieures à 25 nm [16]. Les avantages de la technologie SOI sont multiples :

- Premièrement le canal de conduction est mince et entièrement isolé. La profondeur des jonctions est parfaitement définie et limitée par l'épaisseur du canal de silicium (figure 1.19.b).

- L'aire des jonctions en SOI est considérablement réduite (les jonctions sont verticales) ce qui conduit à de faibles courants de fuite.
- Le plus fréquent est le thyristor parasite ou effet de "latch-up", qui permet le déclenchement du thyristor parasite représenté sur la figure (1.19.a) par deux transistors bipolaires. Le déclenchement du latch-up est lié à la proximité des zones N+ et P+ de transistors NMOS et PMOS voisins. Sur le SOI, ces zones sont complètement isolées et le claquage entre ces deux zones est impossible quelle que soit la distance qui les sépare.
- L'oxyde enterré réduit ensuite les capacités parasites des régions source et drain (figure 1.19.b)). Les capacités source/substrat (C_{JS}) et drain/substrat (C_{JD}) dans la technologie SOI sont 4 à 7 fois plus faibles que sur silicium massif. Tandis que sur silicium massif C_{JS} (resp. C_{JD}) équivaut à la capacité d'une jonction polarisée en inverse, dans le SOI C_{JS} (resp. C_{JD}) est dominée par la capacité de l'oxyde enterré sous la source (resp. le drain), qui est beaucoup plus faible. La réduction des capacités parasites se répercute au niveau du circuit et améliore les performances en hautes fréquences des SOI MOSFETs par rapport au silicium massif [16].



(a)



(b)

Figure I.19 Comparaison d'une structure CMOS réalisée (a) sur Si massif ; (b) sur SOI. Illustration de l'élimination du phénomène de latch-up dans le CMOS sur SOI [17].

I.4.3 Architecture multigrille

Afin de minimiser les effets liais à la réduction de canal des dispositifs multi-grille ont été proposées, tels que des dispositifs à double ou triple grille [18], le FinFET [19] et Π -channel SOI MOSFET [20], des dispositifs à quatre grille tels que l'architecture Gate-All-Around (GAA) MOSFET [21], le transistor DELTA [22], Omega MOSFET [23] et la grille-Pi SOI MOSFET [24].

Il est bien connu que la structure à double grille (avec une grille supérieure et une autre inférieure) de silicium sur isolant (SOI) MOSFET et la structure Gate-All-Around (GAA) MOSFET sont les plus adaptées pour la suppression des effets liais aux canaux courts (short channel effect) tels que le DIBL et la dégradation de la pente sous seuil [25]. Malheureusement, le processus proposé pour la fabrication de tels dispositifs est incompatible avec la norme CMOS ou même SOI CMOS. La structure grille-Pi SOI MOSFET a été la première à être introduite dans le processus de fabrication [24].

1.4.3.1 la structure double grille (double gate)

La première publication décrivant un MOSFET SOI double grille remonte à 1984. Le composant reçu l'acronyme de XMOS à cause de sa ressemblance avec la lettre grecque Ξ [26]. Cet article prédisait les bons comportements à faibles longueurs de grille d'un tel composant. Vint ensuite le MOSFET double-grille totalement déplété dont la première réalisation fut le DELTA MOSFET pour "fully Depleted Lean channel Transistor" [27].

A ce moment, le MOSFET double-grille illustré dans la figure (I.20), qui comprend un film horizontal de silicium "sandwiché" entre deux grilles, présente une amélioration spectaculaire du contrôle électrostatique des charges du canal. Le transistor MOSFET à double grille (DG MOSFET) a été identifié par ITRS (International Technology Roadmap for semiconductors) en tant que structure la plus prometteuse qui permet davantage de graduation dimensionnelle de CMOS au-delà de 65 nm pour son courant d'entraînement plus élevé, la pente sous seuil améliorée, la conductivité pour les canaux courts et la flexibilité remarquable de conception des circuits intégrés à l'échelle nanométrique [28-29]. Le transistor double grille permet aussi de diminué les lignes de champ électrique provenant du drain [30].

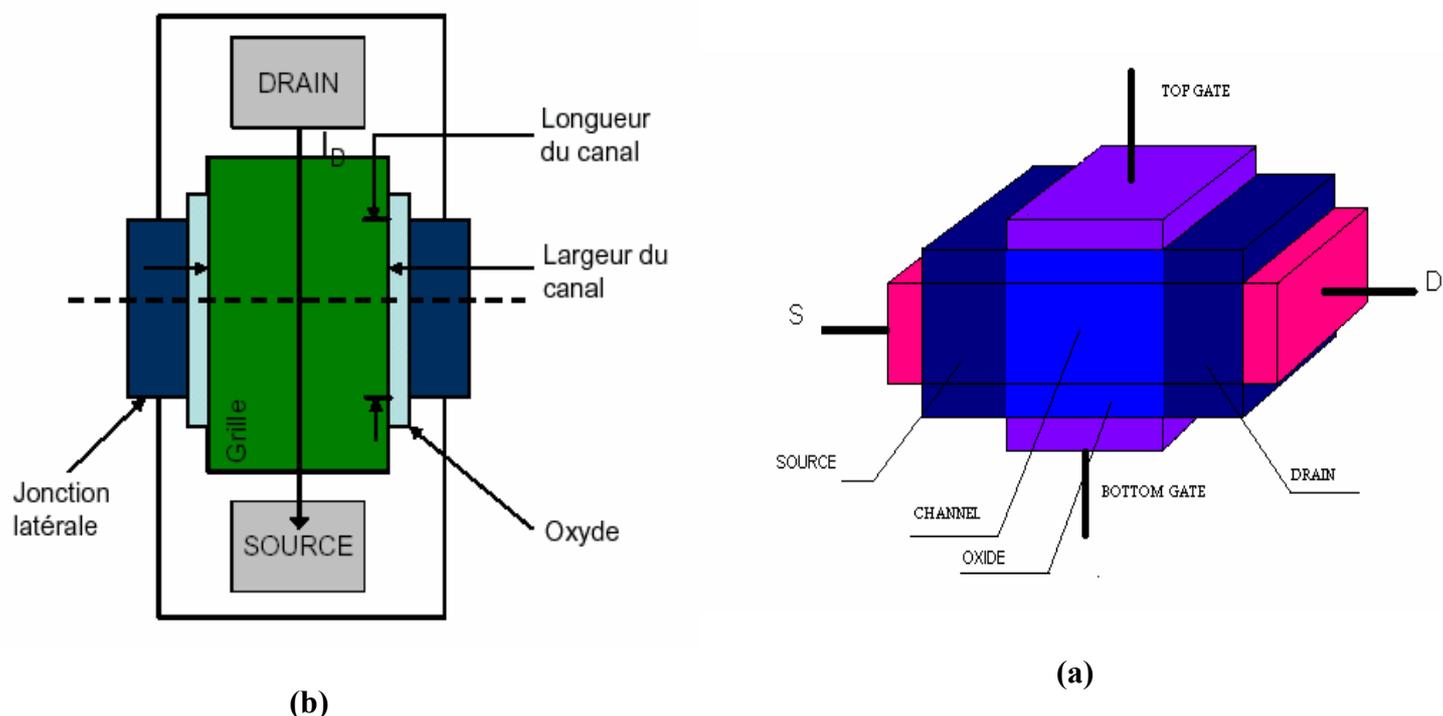


Figure I.20 : (a) Transistor DG MOSFET (b) Vue de dessus du transistor DG MOSFET [30]

1.4.3.2 la structure Gate-All-Around MOSFET (GAA)

Comme il a été évoqué précédemment la structure GAA MOSFET et la structure double grille sont deux architectures prometteuses pour la réduction de Technologie CMOS à l'échelle nanométrique [31]. Cette performance est due à L'excellent contrôle électrostatique du canal par la grille des structures DG MOSFET et GAA MOSFET, qui réduit dramatiquement les effets des canaux courts.

La structure Gatte-All-Around MOSFET également appelée « surrounding-gate MOSFET », offre un meilleur contrôle du potentiel électrostatique en comparaisant avec la structure DG MOSFET, le resserrement du contrôle dans tous les côtés permet à la structure GAA MOSFET d'être adaptée à une longueur des canaux qui peuvent être jusqu'à 35% plus courtes que celle dans la structure DG MOSFET [32].

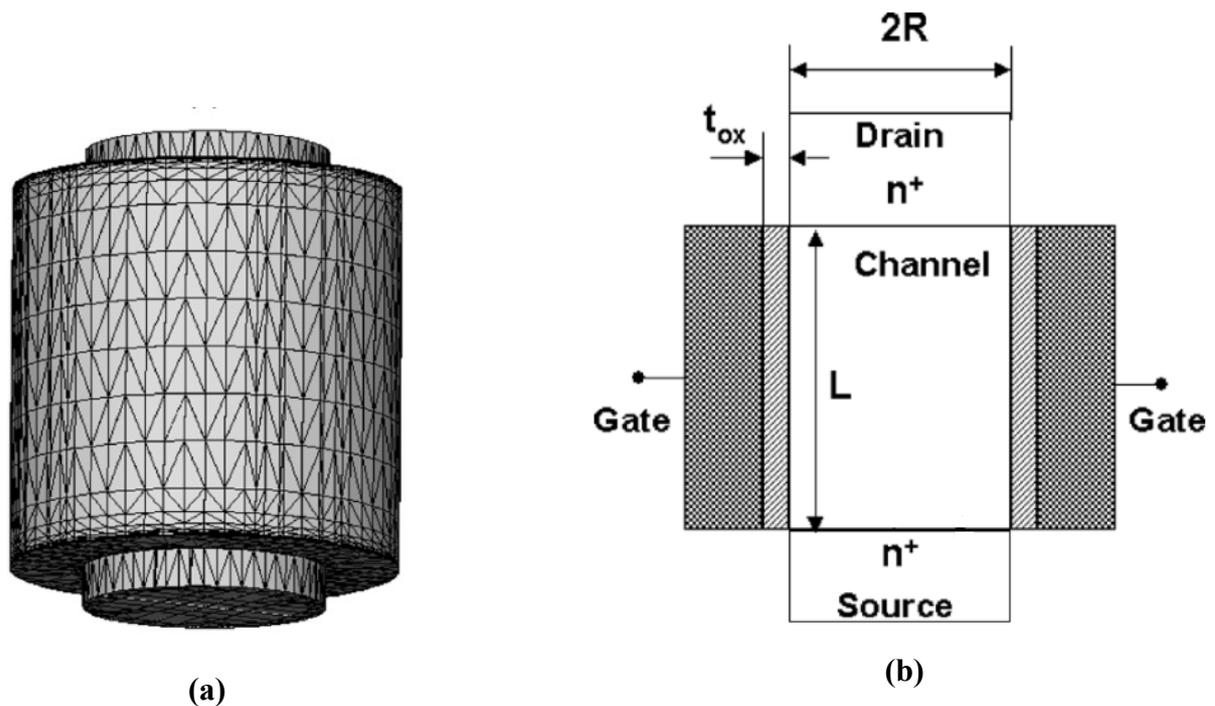


Figure I.21 : (a) Transistor GAA MOSFET (b) Coupe transversale du transistor GAA MOSFET [33]

I.5 La nanotechnologie

Dans la technologie nanométrique, une étape de lithographie à l'échelle nanométrique est requise pour fabriquer des nanostructures avec un contrôle de leur taille et de leur positionnement inférieurs au nanomètre [34].

Ces conditions très strictes de dimensions, sont-elles possibles à atteindre en utilisant les techniques de lithographie actuellement utilisées en microélectronique ?

L'étape de lithographie est cruciale en micro fabrication car c'est elle qui définit la géométrie et les cotes des structures. Les techniques de lithographie se scindent en deux familles: les procédés parallèles inspirés des techniques photographiques, basés sur l'utilisation d'une onde plane qui vient impressionner simultanément une surface sensible, et les procédés 'série', faisant appel au balayage d'un spot ou d'une sonde.

La lithographie UV et celle par rayons X appartiennent à la première famille, alors que les lithographies par faisceau d'électrons (EBL) ou par faisceau d'ions focalisés (FIBL) appartiennent à la deuxième.

Chaque technique de lithographie possède sa propre limite de résolution ultime et pratique. La limite pratique correspond à la résolution que les spécialistes espèrent atteindre en production, alors que la limite ultime correspond à ce qu'il serait possible d'atteindre théoriquement. Le Tableau I.2 [35], résume cet aspect:

Techniques	Type	Limite pratique	Limite ultime
Ultraviolet	Projection	150 nm	10 nm
Rayon X	Proximité	70 nm	10 nm
Faisceau d'électrons	Ecriture directe	30 nm	1 nm
Faisceau d'ions	Ecriture directe	30 nm	10 nm

Tableau I.2: Limites pratiques et théoriques des techniques de lithographies conventionnelles [35]

L'origine de la limite de résolution pratique pour l'utilisation de ces techniques à grande échelle (fabrication de plusieurs millions de transistors à la fois), est différente selon les techniques [36]:

UV: La résolution lm de ce procédé est directement liée à la longueur d'onde λ ainsi qu'à la distance z entre le masque et le substrat recouvert de résine, par la relation $lm = \sqrt{\lambda z}$.

Cependant au plus la longueur d'onde utilisée est courte, au plus il devient difficile de trouver des résines photosensibles.

Rayons X: Ce procédé nécessite l'utilisation d'un masque à l'échelle 1 à cause des difficultés liées à la fabrication d'optiques performantes pour ces longueurs d'onde.

La fabrication de masque à l'échelle 1 représente un coût très élevé. De plus l'alignement du masque par rapport au substrat, devient de plus en plus critique lorsque les tailles des motifs du masque diminuent.

EBL et FIBL: Ces procédés série présentent des difficultés pour être convertis en procédés parallèles, seule configuration possible afin d'obtenir la fabrication de millions de motifs en un temps raisonnable. De plus en ce qui concerne le FIBL, seul un couplage avec un SEM (Scanning Electron Microscope) permet la visualisation et le contrôle in-situ des structures réalisées. Ce couplage rend encore plus délicat la mise au point d'un procédé série. D'ailleurs jusqu'à présent, ces deux techniques sont seulement utilisées dans les étapes de fabrication ou de réparation de prototypes.

A partir de ce tableau et des remarques précédentes, on se rend compte qu'aucune technique de lithographique ne pourra de manière certaine, atteindre la résolution nécessaire pour fabriquer soit les transistors MOSFET à leur taille minimum, soit les dispositifs élémentaires pré-sentis pour remplacer les transistors dans l'ère de la nano-électronique.

Il est donc impératif de mettre au point de nouvelles techniques permettant de relever ces

défis technologiques. Une des solutions envisagées est l'utilisation des microscopies en champ proche.

Il existe 3 principales microscopies en champ proche, la microscopie à force atomique (AFM), la microscopie par effet tunnel (STM) et la microscopie en champ proche optique (SNOM). Leur point commun repose sur l'utilisation du phénomène très local, d'interactions entre une pointe de faible rayon de courbure (de 5 à 100 nm) et une surface, interactions qui apparaissent lorsque la distance pointe-échantillon est très faible (quelques nanomètres).

La modification locale d'une surface à l'échelle nanométrique est possible sous la pointe d'un microscope à champ proche (AFM, STM et SNOM). Cette technique a même été utilisée pour positionner un unique atome sur une surface [35]. Il est alors possible d'imaginer utiliser les sondes en champ proche pour la fabrication de motifs à l'échelle nanométrique et pouvant même atteindre le contrôle atome par atome [35].

Les sondes locales ont été utilisées pour graver des résines, pour induire une oxydation locale sélective sur du silicium ou sur des couches ultra minces de métaux.

I.6 Conclusion

Cette première partie a mis en évidence l'intérêt de la miniaturisation des transistors à effet de champ de type MOS en termes de performance de ces applications comme un dispositif logique ainsi que ces limites qui peuvent être imposées par la réduction dimensionnelle. En effet, de nombreux phénomènes parasites (percements, fuites tunnel...) sont susceptibles de dégrader les caractéristiques des dispositifs fortement submicroniques.

L'intérêt des procédures numériques va être clairement présenter dans le prochain chapitre. Ces méthodes numériques vont servir à montrer les effets de canal court, par une résolution d'un système d'équation Poisson-Boltzmann, afin d'étudier le comportement du transistor DG MOSFET et du transistor GAA MOSFET en régime sous seuil.

CHAPITRE II:
MÉTHODES DE RÉOLUTION
DES PROBLÈMES AUX
LIMITES

II.1 Introduction

La méthode la plus simple pour modéliser un composant semiconducteur est la modélisation analytique, qui se fait par une résolution d'un ensemble d'équations mathématiques basées sur des hypothèses simplificatrices. Bien que la connaissance des équations qui permettent de modéliser un composant semiconducteur soit parfois ancienne, plusieurs datant de plus d'un siècle, seuls très peu de cas peuvent être résolus exactement (analytiquement) par les mathématiques classiques. A partir du début du siècle et surtout après la seconde guerre mondiale deux tendances se sont fait jour pour tenter d'obtenir une solution approchée via des méthodes numériques c'est-à-dire hors résolution analytique. La méthode directement issue des mathématiciens, les différences finies, s'appuie sur des bases rigoureuses et la convergence vers la solution exacte est garantie. La méthode des éléments finis est issue des mécaniciens. Cette méthode s'est développée d'une manière très intuitive à ses débuts et rien ne prouvait a priori une convergence vers la solution exacte. De nos jours les éléments finis sont entrées de plein pied dans le monde des mathématiques. Dans de nombreux cas, on a pu montrer la convergence absolue de la méthode, mais d'un point de vue général le problème est encore ouvert.

En ce qui nous concerne, nous nous sommes plus particulièrement intéressés à la modélisation physique numérique.

L'évolution de la technologie des semiconducteurs, et la croissance de la rapidité et la puissance des calculateurs numériques, ont permis le développement des méthodes de résolution numérique des équations différentielles. Les méthodes de résolution numérique des équations différentielles incluent :

Les méthodes différentielles : dans lesquelles on procède d'abord à la discrétisation dans l'espace de l'équation différentielle considérée (méthode des éléments finis).

Les méthodes intégrales : dans lesquelles on procède d'abord au développement aussi loin que possible des calculs analytiques de l'équation différentielle à résoudre, avant sa résolution numérique (résolution numérique de l'équation de Laplace par la fonction de Greene par exemple). L'avantage de ces méthodes par rapport aux méthodes différentielles, est de réduire le temps de calcul et l'occupation de l'espace mémoire des calculateurs.

II.2 Equations aux dérivées partielles

II.2.1 Position du Problème

La résolution d'un problème aux dérivées partielles (par exemple un system d'équations différentielles du deuxième ordre (à deux dimensions)) passe par plusieurs étapes.

La première consiste à déterminer les conditions aux limites du problème à résoudre, ensuite vient l'étape de la résolution qui se fait soit par des méthodes analytiques ou par des méthodes numériques ou bien par des méthodes semianalytiques. La discrétisation du domaine de définition du problème à résoudre est une étape très importante ainsi que les méthodes de linéarisations dans le cas des systèmes non linéaire à prendre en considération lors de la résolution du problème.

II.2.2 Expression des dérivées partielles

En mathématiques, la dérivée partielle d'une fonction est la dérivée par rapport à l'une de ses variables, les autres étant gardées constantes. Cette approche est utile dans l'analyse en dimension n , la géométrie différentielle, et l'analyse vectorielle.

La dérivée partielle par rapport à la variable x est notée $\left(\frac{\partial f}{\partial x}\right)$ ou ∂f_x ou encore f_x .

Si f est une fonction de x_1, \dots, x_n et dx_1, \dots, dx_n sont les accroissements infinitésimaux de x_1, \dots, x_n respectivement, alors l'accroissement infinitésimal correspondant de f est:

$$df = \frac{\partial f}{\partial x_1} dx_1 + \dots + \frac{\partial f}{\partial x_n} dx_n$$

Si on suppose que le domaine de définition est discrétisé par la méthode des différences finies comme il est indiqué dans la figure I-1, alors la dérivée partielle est définie comme suit :

$$\begin{cases} f(x+h_1) = f(x) + h_1 \cdot f'(x) + \frac{h_1^2}{2!} \cdot f''(x) + \frac{h_1^3}{3!} \cdot f^{(3)}(x) + \dots + \frac{h_1^k}{k!} \cdot f^{(k)}(x) + \dots + \frac{h_1^n}{n!} \cdot f^{(n)}(x) \\ f(x-h_2) = f(x) - h_2 \cdot f'(x) + \frac{h_2^2}{2!} \cdot f''(x) - \frac{h_2^3}{3!} \cdot f^{(3)}(x) + \dots + (-1)^k \cdot \frac{h_2^k}{k!} \cdot f^{(k)}(x) + \dots + (-1)^n \cdot \frac{h_2^n}{n!} \cdot f^{(n)}(x) \end{cases}$$

Pour calculer $f_j^{(n)}$, on utilise les points situés de part et d'autre de x_j considérons les développements en séries de Taylor autour de x , de la fonction f
 Posons $f_{i,j} = f(x_i, y_j) = f(M)$ où M est l'un des points de la figure II.1 ci-dessous:

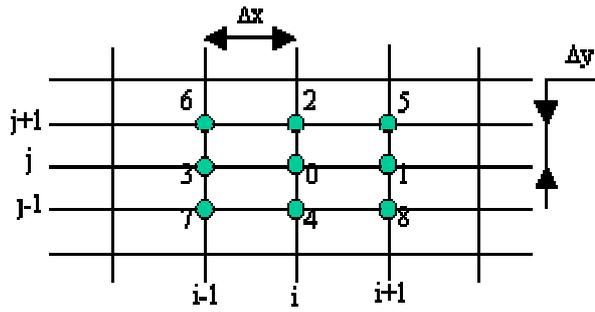


Figure II.1 : Discrétisation du domaine de définition en utilisant la méthode des différences finies

Pour $x = x_i$ et $y = y_j$, on obtient à partir du développement précédent à l'ordre 2 les dérivées

partielles premières : $\left(\frac{\partial f}{\partial x}\right)_{i,j} = \frac{f_{i+1,j} - f_{i-1,j}}{2\Delta x}$

$$\text{Soit : } f'_x(0) = \frac{f(1) - f(3)}{2\Delta x} \quad (\text{II.1})$$

On a également : $\left(\frac{\partial f}{\partial y}\right)_{i,j} = \frac{f_{i,j+1} - f_{i,j-1}}{2\Delta y}$

$$\text{Soit : } f'_y(0) = \frac{f(2) - f(4)}{2\Delta y} \quad (\text{II.2})$$

En additionnant les développements en séries de Taylor des fonctions $f(x + h_1)$ et $f(x + h_2)$ à l'ordre 2, on obtient les dérivées partielles secondes :

$$\left(\frac{\partial^2 f}{\partial x^2}\right) = \frac{1}{(\Delta x)^2} \cdot (f_{i+1,j} - 2f_{i,j} + f_{i-1,j})$$

$$\text{Soit : } f''_x(0) = \frac{1}{(\Delta x)^2} \cdot (f(1) - 2 \cdot f(0) + f(3))$$

$$\text{On aura : } \left(\frac{\partial^2 f}{\partial y^2}\right) = \frac{1}{(\Delta y)^2} \cdot (f_{i,j+1} - 2f_{i,j} + f_{i,j-1})$$

$$\text{Soit : } f''_y(0) = \frac{1}{(\Delta y)^2} \cdot (f(2) - 2 \cdot f(0) + f(4))$$

Pour l'obtention des dérivées croisées, $\frac{\partial^2 f}{\partial x \partial y}$ par exemple, on applique successivement les

équations (II.1) et (II.2):

$$\left(\frac{\partial f}{\partial x}\right)_{i,j} = \frac{1}{2\Delta x}(f_{i+1,j} - f_{i-1,j})$$

$$\left(\frac{\partial^2 f}{\partial y \cdot \partial x}\right)_{i,j} = \frac{\partial}{\partial y} \left(\frac{1}{2\Delta x}(f_{i+1,j} - f_{i-1,j}) \right) = \frac{1}{2\Delta x} \left(\left(\frac{\partial f}{\partial y}\right)_{i+1,j} - \left(\frac{\partial f}{\partial y}\right)_{i-1,j} \right)$$

$$\left(\frac{\partial^2 f}{\partial y \cdot \partial x}\right)_{i,j} = \frac{1}{\partial y} \left(\frac{1}{2\Delta x}(f_{i+1,j+1} - f_{i+1,j-1}) - \frac{1}{2\Delta y}(f_{i-1,j+1} - f_{i-1,j-1}) \right)$$

$$\left(\frac{\partial^2 f}{\partial y \cdot \partial x}\right)_{i,j} = \frac{1}{4\Delta x \Delta y} ((f_{i+1,j+1} - f_{i+1,j-1}) - (f_{i-1,j+1} - f_{i-1,j-1}))$$

Soit : $f''_{xy}(0) = \frac{1}{4\Delta x \Delta y} (f(5) - f(8) - f(6) - f(7))$

II.2.3 Conditions aux limites

Les conditions aux limites sont les valeurs qui prennent les solutions des équations aux dérivées ordinaires et des équations aux dérivées partielles sur une frontière. Il existe un grand nombre de conditions aux limites possibles, en fonction de la formulation du problème, du nombre de variables en jeu, et (de manière plus importante) de la nature de l'équation. Les conditions imposées au temps $t = 0$ sont appelées « conditions initiales ». On peut aussi imposer des conditions aux limites, par exemple, dans la limite pour $t \rightarrow \infty$. Dans l'exemple physique d'une corde vibrante attachée aux deux extrémités, les conditions aux limites prennent la forme : « quel que soit le temps t , le déplacement des points extrémaux est nul ». Les conditions aux limites de Dirichlet et de Neumann sont utilisées pour les équations différentielles partielles elliptiques, telles que l'équation de Helmholtz [30].

II.2.3.1 Les conditions aux limites de Dirichlet

Une condition aux limites de Dirichlet est imposée à une équation différentielle ou à une équation aux dérivées partielles lorsque l'on spécifie les valeurs que la solution doit vérifier sur les frontières/limites du domaine.

Dans le cas d'une équation différentielle telle que l'équation de Poisson:

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{q(N_A + n(x, y))}{\varepsilon} \quad (\text{II.3})$$

Les conditions aux limites de Dirichlet dans le cas d'un transistor DG MOSFET sont données comme suit:

$$\phi_F(0, y) = 0 \quad (\text{II.4})$$

$$\phi_F(L, y) = V_{DS} \quad (\text{II.5})$$

II.2.3.2 Les conditions aux limites de Neumann

une condition aux limites de Neumann (nommée d'après Carl Neumann) [30] est imposée à une équation différentielle ou à une équation aux dérivées partielles lorsque l'on spécifie les dérivées des valeurs que la solution doit vérifier sur les frontières/limites du domaine.

Dans le cas d'une équation différentielle telle que l'équation de Poisson d'un transistor DG MOSFET. Les conditions de Neumann sont données comme suit:

$$\epsilon_{ox} \frac{V_{F_{eff}} - \phi(x, t_{si/2})}{t_{ox}} = \epsilon_{si} \frac{\partial \phi(x, y)}{\partial y} \Big|_{y = t_{si/2}} \quad (\text{II.6})$$

$$\epsilon_{ox} \frac{V_{B_{eff}} - \phi(x, t_{-si/2})}{t_{ox}} = \epsilon_{si} \frac{\partial \phi(x, y)}{\partial y} \Big|_{y = t_{-si/2}} \quad (\text{II.7})$$

II.3 Résolution de problème aux dérivées partielles

Dans ce paragraphe, nous exposons quelques méthodes de résolution des problèmes aux limites décrivant des phénomènes physiques. Ces méthodes se rangent dans l'une des classes indiquées par la figure II.2.

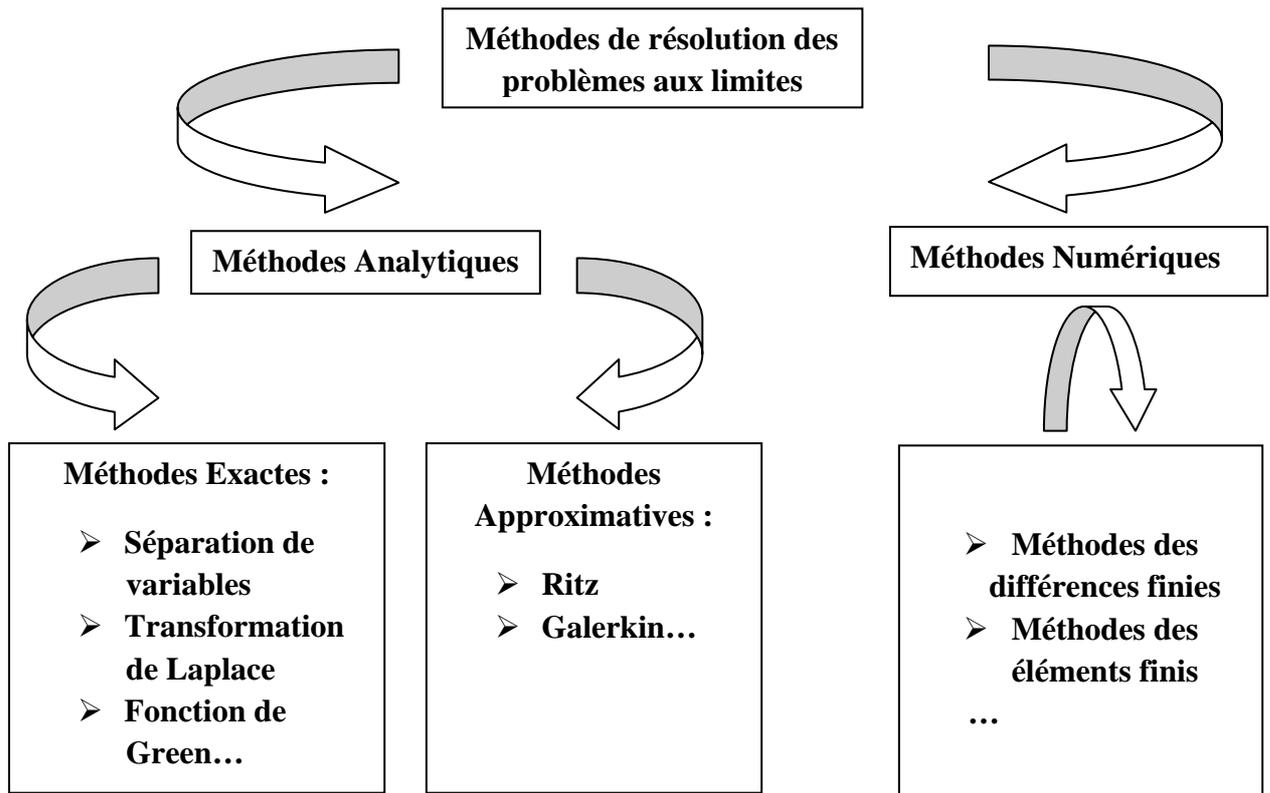


Figure II.2 : Méthodes de résolution des problèmes aux limites

II.3.1 Méthode de séparation de variables

La méthode de séparation de variables est une technique fondamentale pour résoudre analytiquement des équations aux dérivées partielles linéaires [37]. Elle consiste à :

- Transformer l'équation aux dérivées partielles à résoudre en une paire d'équations différentielles ordinaires, en supposant la solution cherchée ϕ est de la forme $F(x)G(y)$ dans le cas des problèmes statiques ou $F(x)H(y)G(t)$ dans le cas de problèmes d'évolution.
- Résoudre la paire d'équations différentielles ordinaires trouvées dans l'étape précédente, en tenant compte des conditions aux limites et initiales.
- Ajouter les solutions trouvées dans l'étape précédente pour obtenir la solution générale de l'équation aux dérivées partielles linéaire.

II. 3.2 Méthode de la transformation de Laplace

La méthode de la transformation de Laplace consiste à [38]:

- Transformer un problème aux dérivées partielles ou ordinaires en un problème aux dérivées ordinaires ou en un problème algébrique respectivement, en appliquant l'opérateur de la transformation de Laplace à l'équation différentielle à résoudre.
- Résoudre le problème transformé.
- Appliquer la transformation inverse de Laplace à la solution trouvée dans l'étape précédente pour obtenir la solution du problème initiale.

II.3.3 Méthode de Green

Considérons le problème aux limites (II. 8) où ϕ une fonction définie et suffisamment dérivable sur Ω vérifiant :

$$\begin{aligned} L(\phi) - f &= 0 && \text{sur } \Omega \\ \phi(p) &= h(p) && \text{sur } \Gamma_1 \text{ une partie de la fonction de } \Omega \\ B(\phi) &= g(p) && \text{sur } \Gamma_2 = \Omega - \Gamma_1 \end{aligned} \quad (\text{II. 8})$$

L et B sont des opérateurs différentiels.

Dans le cas où L est un opérateur linéaire. La résolution de ce problème par la méthode de Green se fait de la manière suivante [39]:

- Déterminer l'opérateur adjoint L^* de L
- Déterminer la fonction G vérifiant :

$$L^* G = \delta(\xi_1 - x_1, \xi_2 - x_2, \dots, \xi_n - x_n) \quad (\text{II.9})$$

et des conditions aux limites appropriées, où L est la fonction de Dirac et $\xi = (\xi_1, \xi_2, \dots, \xi_n)$ sont les coordonnées du point source. La fonction G ainsi obtenue est appelée fonction de Green.

- Construire la solution du problème initial, en utilisant la formule:

$$\phi(x_1, x_2, \dots, x_n) = \int \dots \int G(\xi_1 - x_1, \xi_2 - x_2, \dots, \xi_n - x_n) f(\xi_1, \xi_2, \dots, \xi_n) d\xi_1 d\xi_2 \dots d\xi_n \quad (\text{II.10})$$

L'inconvénient de cette méthode est que la construction de la fonction de Green est difficile.

II.3.4 Méthodes Approximatives

Le plus souvent, les problèmes d'intérêt pratique sont régis par des équations aux dérivées partielles ou ordinaires difficiles à résoudre par les méthodes analytiques. Ces

difficultés sont dues à l'irrégularité des domaines, les coefficients sont variables, les conditions aux limites ne sont pas appropriées, interfaces, etc. Pour surmonter cette difficulté, les méthodes approximatives s'avèrent nécessaires pour la résolution de ce type d'équations. Dans ce qui suit, nous allons examiner la méthode de Ritz.

11.3.4.1 Méthode de Ritz

La méthode de Ritz repose sur la supposition que la solution du problème aux limites (II.8) est celle qui minimise une certaine fonctionnelle $I(\phi)$, si elle existe. La solution du problème est celle qui minimise la fonctionnelle suivante [40]:

$$I(\phi) = \frac{1}{2} \langle L(\phi), \phi \rangle - \langle f, \phi \rangle \quad (\text{II.11})$$

Assumons que la solution cherchée du problème aux limites peut être approximées par:

$$\phi = \sum_{i=1}^n c_i \Psi_i = \{c\}^T \{\Psi\} = \{\Psi\}^T \{c\} \quad (\text{II.12})$$

Où les Ψ_i sont définies sur tout le domaine d'étude Ω et sont linéairement indépendantes et vérifiant les mêmes conditions aux limites que la solution exacte du problème (II. 8), les c_i sont des coefficients à déterminer et $\{.\}$ et $\{.\}^T$ désignent respectivement un vecteur colonne et un vecteur ligne.

Substituons (II.12) dans (II.11), nous obtenons :

$$I(c_1, c_2, \dots, c_n) = \frac{1}{2} \{c\}^T \int_{\Omega} \{\Psi\} L \{\Psi\}^T d\Omega \{c\} - \{c\}^T \int_{\Omega} \{\Psi\} f d\Omega \quad (\text{II.13})$$

Les c_i rendant minimale la fonctionnelle (II.12) doivent vérifier:

$$\frac{\partial I(c_1, c_2, \dots, c_n)}{\partial c_i} = 0 \quad i=1,2,\dots,n \quad (\text{II.14})$$

Dérivons (II.13) par rapport aux c_i , $i=1,2,\dots,n$ et tenons compte de (II.18), nous obtenons:

$$\begin{aligned} \frac{\partial I(c_1, c_2, \dots, c_n)}{\partial c_i} &= \frac{1}{2} \int_{\Omega} \Psi_i L \{\Psi\}^T d\Omega \{c\} + \frac{1}{2} \int_{\Omega} \{\Psi\} L \Psi_i d\Omega - \int_{\Omega} \Psi_i f d\Omega \\ &= \frac{1}{2} \sum_{j=1}^n c_j \int_{\Omega} (\Psi_i L \Psi_j + \Psi_j L \Psi_i) d\Omega - \int_{\Omega} \Psi_i f d\Omega \end{aligned} \quad i=1,2,\dots,n \quad (\text{II.15})$$

De (II.14) et (II.15) nous obtenons le système suivant:

$$\frac{1}{2} \sum_{j=1}^n c_j \int_{\Omega} (\Psi_i L \Psi_j + \Psi_j L \Psi_i) d\Omega - \int_{\Omega} \Psi_i f d\Omega = 0 \quad i=1,2,\dots,n \quad (\text{II.16})$$

Sous forme matricielle (II.16) s'écrit:

$$[s]\{c\} = \{b\} \quad (\text{II.17})$$

Où les éléments S_{ij} sont donnés par:

$$s_{ij} = \frac{1}{2} \int_{\Omega} (\Psi_i L \Psi_j + \Psi_j L \Psi_i) d\Omega \quad (\text{II.18})$$

Et les éléments de [b] sont donnés par:

$$b_i = \int_{\Omega} \Psi_i f d\Omega \quad (\text{II.19})$$

Donc une solution approximative de (II. 8) est obtenue en résolvant (II.17).

II.3.5 Méthodes numériques :

Le handicap des méthodes d'approximation est qu'elles n'offrent pas un moyen pour construire les fonctions de base Ψ_i , $i = 1, 2, \dots, n$. Un mauvais choix de ces fonctions peut:

- Augmenter le volume de calcul
- Engendrer un système mal conditionné.

L'amélioration de la précision ne peut se faire sans augmenter le nombre de fonctions de base. Pour remédier à ces problèmes, nous proposons deux méthodes numériques : méthode des différences finies et méthode des éléments finis.

II.3.5.1 Méthode des différences finies

La méthode des différences finies transforme un problème continue en un problème discret facile à résoudre [41]. Elle consiste a:

- 1) Etablir un maillage du domaine $[0,L_x] \times [0,L_y]$ dont les nœuds sont les points $(x_i, y_j) = (i\Delta x, j\Delta y)$, $i=0,1,\dots,M+1$

Où N et M sont deux entiers positifs, $\Delta x = \frac{L_x}{N+1}$ et $\Delta y = \frac{L_y}{M+1}$. Dans le cas où

$\Delta x = \Delta y$, on dit que le maillage est uniforme.

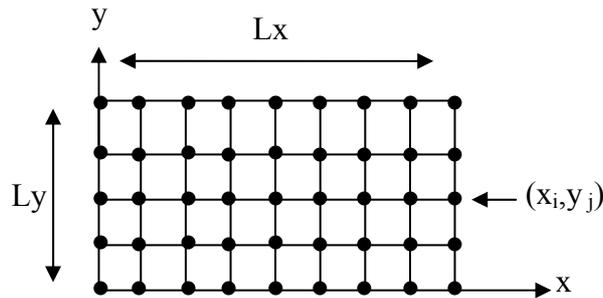


Figure II.3 Maillage du domaine d'étude

- 2) Obtenir une expression approchée L_h de l'opérateur L aux nœuds en remplaçant les dérivés partiels par des rapports aux différences finies appropriés. A titre d'exemple, une approximation du Laplacien fait intervenir cinq nœuds comme il est indiqué dans la figure II.4.

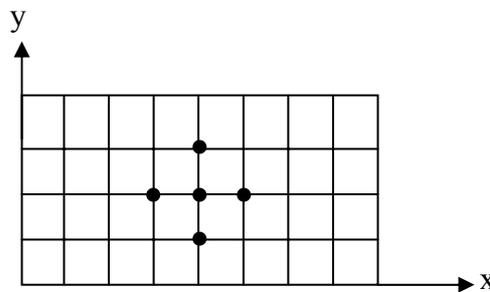


Figure II.4 Nœud intervenant dans l'approximation du Laplacien

- 3) Trouver les w_{ij} tels que : $L_h w_{ij} = f(x_i, y_j)$, $i=1,2,\dots,M$.
- 4) Les w_{ij} ainsi obtenus constituent la solution approximative de la solution exacte ϕ aux points $(x_i, y_j) = (i\Delta x, j\Delta y)$ du problème (II.8).

II.3.5.2 Méthode des éléments finis

II.3.5.2.1 Principe de la méthode

La méthode des éléments finis est fondamentalement un cas spécial des formulations intégrales. En effet, chacune des méthodes utilise une base de fonctions comme point de départ pour obtenir une solution approximative.

La grande différence réside dans le choix de la base de fonctions, dans les formulations intégrales ces fonctions de base sont définies sur le domaine tout entier, tandis que la méthode des éléments finis se base sur l'une de ces formulations appliquée à des domaines locaux discrets qui sont habituellement simples, par rapport au domaine global. Ces domaines locaux discrets sont appelés éléments. C'est pourquoi le nom de la méthode.

L'objectif de ce paragraphe est de présenter le principe de base de la méthode des éléments finis.

II.3.5.2.2 étapes de base de la méthode des éléments finis

Le principe de la méthode des éléments finis est d'approximer un problème continu par un problème discret facile à résoudre, en remplaçant le domaine d'étude continu par un nombre d'éléments de forme géométrique simple, sur chacun de ces éléments, la fonction inconnue est approximée par une combinaison linéaire de fonctions simples qui sont généralement des polynômes. En appliquant l'une des formulations intégrales et finalement en résolvant le système d'équations ainsi obtenu, nous obtenons une solution approximative de la solution exacte du problème aux limites. Donc, la résolution d'un problème aux limites par la méthode des éléments finis est constituée des étapes suivantes :

1. Discrétisation du domaine continue en sous domaines.
2. Construction de l'approximation nodale.
3. Calcul des matrices élémentaires correspondant à la formulation intégrale.
4. Assemblage des matrices élémentaires et prises en compte des conditions aux limites
5. Résolution du système d'équations.

II.3.5.2.3 discrétisation du domaine

La discrétisation du domaine d'étude Ω est la première et peut être la plus importante étape dans une analyse par éléments finis parce que la manière selon laquelle le domaine est discrétisé influe sur l'espace mémoire, le temps de calcul et la précision de calcul.

Dans cette étape, le domaine Ω tout entier est divisé en un nombre de sous domaines $\Omega^{(e)}$, ($e = 1, 2, 3, \dots, Ne$), où Ne est le nombre de sous domaines, ces domaines sont appelés éléments et pouvant prendre différentes formes, selon que le domaine est unidimensionnel, bidimensionnel, ou tridimensionnel. En plus il ne doit y avoir ni recouvrement ni trou entre deux éléments ayant une frontière commune.



Figure II.5 Discretisation d'un segment de droite

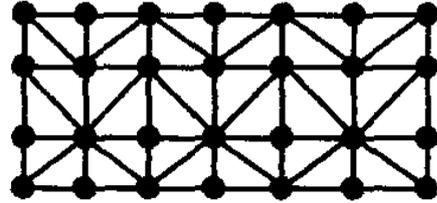


Figure II.6 Discretisation d'un domaine rectangulaire

II.3.5.2.4 Approximation par éléments finis

La seconde étape dans une analyse par éléments finis et qui est aussi d'une grande importance consiste à définir, sur chaque élément fini, des fonctions d'interpolation (de forme), $\Psi_1^{(e)}$, $\Psi_2^{(e)}$, ..., $\Psi_n^{(e)}$, telles que :

1. La fonction inconnue $\phi^{(e)}$ soit approchée par une combinaison linéaire de ces fonctions d'interpolation :

$$\phi^{(e)} \approx \tilde{\phi}^{(e)} = \sum_{i=1}^n \phi_i^{(e)} \Psi_i^{(e)} = \{\phi^{(e)}\}^T \{\Psi^{(e)}\} = \{\Psi^{(e)}\}^T \{\phi^{(e)}\} \quad (\text{II.20})$$

Où n est le nombre de nœuds dans un élément, $\phi_i^{(e)}$ les valeurs de ϕ aux nœuds de l'élément considéré, $\{\phi^{(e)}\}$ et $\{\Psi^{(e)}\}^T$ sont respectivement des vecteurs colonnes et lignes des $\Psi_i^{(e)}$. Dans ce cas, (II.20) est dite approximation nodale.

2. La fonction $\tilde{\phi}^{(e)}$ prend, aux nœuds de l'élément, les mêmes valeurs que la fonction inconnue $\phi^{(e)}$ et qu'on appelle valeurs nodales.
3. Les fonctions $\tilde{\phi}^{(e)}$ doivent être continues sur les éléments correspondant.
4. Les fonctions $\tilde{\phi}^{(e)}$ doivent satisfaire des conditions de continuités sur les frontières entre éléments.

La fonction $\tilde{\phi}^{(\varepsilon)}$ ainsi construite est appelée fonction d'approximation.

II.3.5.2.4.a Construction des fonctions d'interpolation

Dans ce qui suit, nous donnons une méthode systématique pour construire les fonctions d'interpolation (forme) : $\Psi_1^{(\varepsilon)}, \Psi_2^{(\varepsilon)}, \dots, \Psi_n^{(\varepsilon)}$,

L'approximation nodale (II.20) est construite à partir d'une approximation générale [15] :

$$\tilde{\phi}^{(\varepsilon)}(M) = \{P(M)\}^T \{a\}, \forall M \in \Omega^{(\varepsilon)} \quad (\text{II.21})$$

Où:

$\{P(M)\}^T$ est un vecteur ligne dont les composantes $P_i(M)$, $i = 1, 2, \dots, n$ sont connues et constituent une base, en générale polynomiale.

$\{a\}$ vecteur colonne des paramètres de l'approximation (paramètres généralisés), ils n'ont pas de signification physique. En évaluant (II.21) aux nœuds $M_i (i = 1, 2, \dots, n)$ et en supposant que $\tilde{\phi}^{(\varepsilon)}(M_i) = \phi_i^{(\varepsilon)}$, $i = 1, 2, \dots, n$, nous obtenons :

$$\{\phi^{(\varepsilon)}\} = [T]\{a\} \quad (\text{II.22})$$

Où

$$[T] = \begin{bmatrix} P_1(M_1) & \dots & P_n(M_1) \\ \vdots & \ddots & \vdots \\ P_1(M_n) & \dots & P_n(M_n) \end{bmatrix} \text{ est une matrice de type } n \times n.$$

Multiplions (II.22) par l'inverse $[T]^{-1}$ de la matrice $[T]$, nous obtenons le vecteur $\{a\}$ des paramètres généralisés:

$$\{a\} = [T]^{-1} \{\phi^{(\varepsilon)}\} \quad (\text{II.23})$$

$\{\phi^{(\varepsilon)}\}$ est un vecteur colonne dont les composants sont les valeurs nodales de la fonction inconnue de ϕ aux nœuds. En portant (II.23) dans l'expression de l'approximation (II.21) et en tenant compte de (II.20) nous obtenons le vecteur de ligne des fonctions d'interpolation $\Psi_1^{(\varepsilon)}, \Psi_2^{(\varepsilon)}, \dots, \Psi_n^{(\varepsilon)}$:

$$\{\Psi^{(\varepsilon)}(M)\}^T = \{P(M)\}^T [T]^{-1} \quad (\text{II.24})$$

II.3.5.2.5 Calcul des matrices élémentaires

Nous présentons maintenant la démarche générale utilisée pour construire les équations matricielles élémentaires. Pour ce faire, nous utilisons comme point de départ la formulation intégrale de Galarkine:

$$\int_{\Omega} \Psi(L\phi - f) d\Omega = 0 \quad (\text{II.25})$$

Où:

$\Psi = \delta\phi$ [42], avec $\delta\phi$ est une variation de ϕ . Remplaçons l'intégrale dans (II.25) par une somme d'intégrales sur chaque éléments $\Omega^{(e)}$, nous obtenons:

$$W = \sum_{e=1}^{Ne} \int_{\Omega^{(e)}} \delta\phi^{(e)} (L\phi^{(e)} - f) d\Omega = 0 \quad (\text{II.26})$$

Posons:

$$W^{(e)} = \int_{\Omega^{(e)}} \delta\phi^{(e)} (L\phi^{(e)} - f) d\Omega \quad (\text{II.27})$$

L'équation (II.27) est appelée forme intégrale élémentaire. Pour calculer les $W^{(e)}$, $e=1,2,\dots, Ne$, nous avons besoin des approximations nodales de $\tilde{\phi}^{(e)}$ et de $\delta\tilde{\phi}^{(e)}$ suivantes:

$$\tilde{\phi}^{(e)} = \{\Psi^{(e)}\}^T \{\phi^{(e)}\} \quad (\text{II.28})$$

$$\delta\tilde{\phi}^{(e)} = \{\Psi^{(e)}\}^T \{\delta\phi^{(e)}\} \quad (\text{II.29})$$

Dans ce cas, (II.27) devient :

$$W^{(e)} = \int_{\Omega^{(e)}} \{\Psi^{(e)}\}^T \{\delta\tilde{\phi}^{(e)}\} (L(\{\Psi^{(e)}\}^T \{\phi^{(e)}\}) - f) d\Omega \quad (\text{II.30})$$

$$W^{(e)} = \{\delta\tilde{\phi}^{(e)}\}^T ((\int_{\Omega^{(e)}} \{\Psi^{(e)}\} L \{\Psi^{(e)}\}^T d\Omega \{\phi^{(e)}\} - \int_{\Omega^{(e)}} \{\Psi^{(e)}\} f d\Omega) \quad (\text{II.31})$$

Sous forme matricielle (III.12) s'écrit:

$$W^{(e)} = \{\delta\tilde{\phi}^{(e)}\}^T ([K^{(e)}] \{\phi^{(e)}\} - \{b^{(e)}\}) \quad (\text{II.32})$$

Où:

$[K^{(e)}]$: matrice élémentaire dont les coefficients sont données par:

$$K_{ij}^{(e)} = \int_{\Omega^{(e)}} \Psi_i^{(e)} L \Psi_j^{(e)} d\Omega \quad (\text{II.33})$$

$\{b^{(e)}\}$: vecteur colonne élémentaire des excitations dans la $i^{\text{ème}}$ composante est donnée par:

$$b_i^{(e)} = \int_{\Omega^{(e)}} \Psi_i^{(e)} d\Omega \quad (\text{II.34})$$

$\{\phi^{(e)}\}$: vecteur colonne élémentaire des variables nodales.

$\{\delta\phi^{(e)}\}^T$: le vecteur ligne élémentaire des variations des variables nodales.

La forme intégrale globale (II.26) s'obtient en additionnant les formes élémentaires (II.32) :

$$\sum_{e=1}^{N_e} W^{(e)} = \sum_{e=1}^{N_e} \{\delta\phi^{(e)}\}^T ([K^{(e)}]\{\phi^{(e)}\} - \{b^{(e)}\}) = 0 \quad (\text{II.35})$$

En utilisant la technique d'assemblage nous obtenons la forme matricielle globale:

$$W = \{\delta\phi\}^T ([K]\{\phi\} - \{b\}) = 0 \quad , \text{ pour tout } \delta\phi \quad (\text{II.36})$$

$[K]$: matrice globale

$\{b\}$: vecteur colonne global des excitations

$\{\phi\}$: vecteur colonne global de toutes les variables nodales

$\{\delta\phi\}$: vecteur colonne des variables nodales

L'équation (III.15) entraîne:

$$[K]\{\phi\} - \{b\} = 0 \quad (\text{II.37})$$

II.4 Méthode de newton Raphson

Comme nous avons vu, la modélisation d'un problème par les méthodes numériques est basée sur la résolution du système matriciel non- linéaire. Donc l'objectif de cette partie est de décrire la méthode de newton Raphson qui est considéré comme une méthode très

efficace pour résoudre les systèmes non- linéaires. Comme exemple d'application, nous allons chercher la résolution de l'équation de Poisson par la méthode de Newton.

L'équation de Poisson à une dimension s'écrit:

$$\frac{d^2V(z)}{dz^2} = -\frac{\rho(z)}{\varepsilon_{Si}} \quad (\text{II.38})$$

L'équation va être linéarisée par la méthode des éléments finis, elle va s'écrire:

$$\frac{V(z_{k+1}) - 2V(z_k) + V(z_{k-1}))}{\Delta z^2} = -\frac{1}{\varepsilon_{Si}} \rho(z_k) \quad (\text{II.39})$$

On peut donc écrire l'équation de Poisson sous la forme:

$$F(V) = 0 \Leftrightarrow MV + \frac{\Delta z^2}{\varepsilon_{Si}} \rho = 0 \quad (\text{II.40})$$

Avec :M c'est une matrice

Pour la résoudre, nous allons lui appliquer la méthode itérative de Newton-Raphson dont nous donnons ici un bref rappel théorique [43]:

Soit un système de N équations à N inconnues:

$$f(x) = 0 \Leftrightarrow \begin{cases} f_1(x_1, \dots, x_i, \dots, x_N) = 0 \\ f_i(x_1, \dots, x_i, \dots, x_N) = 0 \\ f_N(x_1, \dots, x_i, \dots, x_N) = 0 \end{cases}$$

On part d'une solution x_0 voisine de la solution recherchée x et l'on cherche la valeur de l'incrément u à ajouter x_0 pour atteindre x , on peut alors réécrire l'équation précédente de la manière suivante :

$$f(x) = f(x_0 + u) \approx f(x_0) + J(x_0)u = 0 \quad (\text{II.41})$$

Où $J(x_0)$ est la matrice Jacobinne $J(x)$ du système évaluée en $x = x_0$. Son expression est :

$$J(x) = \begin{bmatrix} \partial f_1 / \partial x_1 & \dots & \partial f_1 / \partial x_i & \dots & \partial f_1 / \partial x_N \\ \dots & \dots & \dots & \dots & \dots \\ \partial f_i / \partial x_1 & \dots & \partial f_i / \partial x_i & \dots & \partial f_i / \partial x_N \\ \dots & \dots & \dots & \dots & \dots \\ \partial f_N / \partial x_1 & \dots & \partial f_N / \partial x_i & \dots & \partial f_N / \partial x_N \end{bmatrix}$$

Ainsi, $J(x_0)u = -f(x_0) \quad (\text{II.42})$

et donc : $u = -J(x_0)^{-1} \times f(x_0) \quad (\text{II.43})$

On poursuit le processus jusqu'à ce que la convergence soit atteinte, c'est-à-dire lorsque x sera suffisamment proche de x_0 . Appliquée à l'équation de Poisson, la dernière équation devient :

$$\Delta V = -J^{-1} \times F(V) \quad (\text{II.44})$$

Ou :

$$J = \frac{dF(V)}{dV} = M + \frac{\Delta z^2}{\varepsilon_{si}} \cdot \frac{d\rho}{\Delta V} \cdot I \quad (\text{II.45})$$

I étant la matrice Identité de la dimension de la matrice M.

Le calcul de $\frac{d\rho}{dV}$ se fait en dérivant numériquement par rapport au potentiel le vecteur

Composé par les valeurs de la densité de charge.

On obtient ainsi la valeur de l'incrément ΔV à appliquer au potentiel V pour la Prochaine itération.

II.4.1 Test de convergence

La méthode de Newton-Raphson est appliquée jusqu'à ce que la convergence soit atteinte, condition réalisée lorsque la quantité rajoutée au potentiel de l'itération précédente est inférieure à une certaine valeur. La valeur de cette dernière constitue le critère d'arrêt de la méthode.

La convergence de la méthode est difficile à obtenir, mais généralement elle converge, si le vecteur initial est un bon estimé du vecteur solution recherché du système [30].

II.5 Conclusion

Dans ce chapitre, nous avons rappelé quelques méthodes de résolutions telles que la méthode de Green, la méthode de séparation de variables et la méthode de Laplace qui sont des méthodes exactes, la méthode de Ritz qui est une méthode approximative, et la méthode des éléments finis qui est une méthode numérique. Le rappel des méthodes exactes nous permettront de bien apprécier les avantages de la méthode des éléments finis qu'on a choisi d'utiliser pour le développement de notre code de calcul. Tandis le rappel de la méthode de Ritz nous aidera à bien comprendre son fondement.

Pour la résolution numérique du système non linéaire formé par le couplage des équations de Poisson et de Boltzmann un processus itératif a été utilisé. Un potentiel d'essai est choisi (un potentiel initial obtenu par exemple à partir d'un modèle analytique simple). La solution numérique du problème est obtenue quand le potentiel calculé est suffisamment proche du potentiel d'essai, c'est à dire la différence entre le dernier potentiel calculé à l'issue de la n^{ème} itération devient négligeable.

CHAPITRE III:
MODÉLISATION NUMÉRIQUE
DES TRANSISTORS DG/GAA
MOSFETS

III.1 Introduction

Pendant que le transistor MOSFET approche les limites physiques et technologiques, différentes architectures tel que les transistors multi-grille (DG et GAA MOSFET) sont parmi les candidats les plus prometteurs pour la technologie CMOS nanométrique. L'une des particularités de ce type architecture est leurs très bonne immunité face aux effets canaux courts. Le DG et le GAA MOSFETs permettent de mieux contrôler le potentiel du canal et de résister au courant tunnel source-drain. La simulation est de plus en plus importante pour comprendre la physique des dispositifs électroniques en profondeur, et d'évaluer les performances limites du transistor multi-grille [44]. Employant ces architectures pour les applications numériques devient plus avantageux. L'inverse de la pente sous seuil est le paramètre électrique clé qui indique l'impact de l'effet des canaux courts sur les performances des transistors MOSFETs [45]. La connaissance de la loi de variation de l'inverse de la pente sous seuil(S) dans les transistors MOSFETs en fonction des différents paramètres géométriques (la longueur de grille, l'épaisseur/diamètre du canal, l'épaisseur de l'isolant,...) joue un rôle très important dans les domaines de conception et de la modélisation des circuits intégrés.

Donc, ce chapitre est consacré au développement d'un modèle numérique basé sur la méthode des éléments finis permettant de décrire la loi de variation de l'inverse de la pente sous seuil (S) en fonction des différents paramètres géométriques et électriques des transistors DG/GAA MOSFETs.

III.2 Méthodologie de modélisation

La figure III.1 illustre une section transversale du transistor DG MOSFET et du transistor GAA MOSFET. La source et le drain sont fortement dopées ($\cong 10^{20} \text{ cm}^{-3}$), le canal est pratiquement non dopé ($\cong 10^{16} \text{ cm}^{-3}$). Tous les calculs ont été effectués à la température ambiante. Le modèle numérique de l'inverse de la pente sous seuil (S) pour les deux types d'architectures (DG/GAA MOSFETs) est développé en se basant sur l'analyse du potentiel électrostatique dans le canal qui est obtenu par la résolution du système d'équations non-linéaire bidimensionnel (2D) Poisson-Boltzmann.

La répartition du potentiel dans le canal du transistor DG/GAA MOSFET est gouvernée par l'équation de poisson qui est de la forme suivante :

$$(DG) \quad \frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial z^2} = \frac{q(N_A + n(x, z))}{\epsilon_{Si}} \quad (III.1.a)$$

$$(GAA) \quad \frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \phi}{\partial r} \right) + \frac{\partial^2 \phi}{\partial z^2} = \frac{q(N_A + n(r, z))}{\epsilon_{Si}} \quad (III.1.b)$$

Où :

ϕ : Le potentiel électrostatique.

n : la concentration d'électrons libres suit la distribution classique de Boltzmann:

$$n = n_i e^{\beta(\phi - \phi_F)} \quad (III.1.c)$$

ϕ_F : La différence entre le niveau de Fermi et le niveau quasi-Fermi d'électrons.

q : la charge électronique.

ϵ_{Si} : La constante diélectrique de silicium.

N_A : le dopage du canal.

β : la tension thermique.

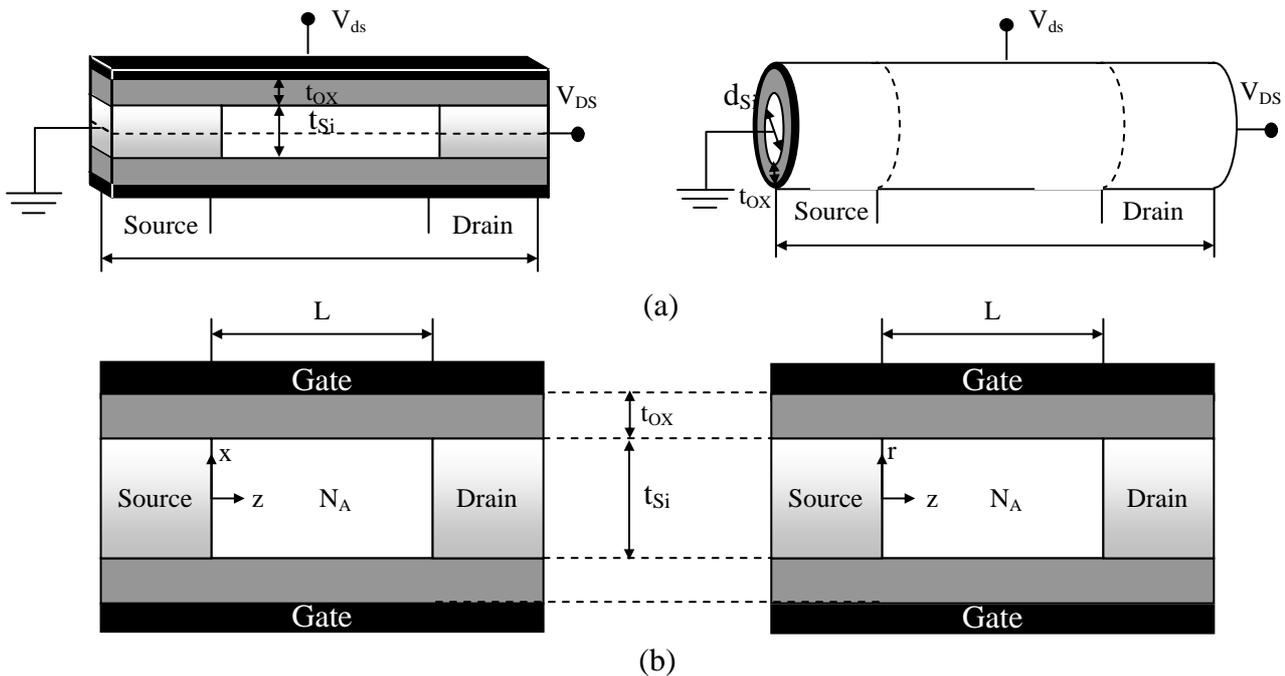


Figure III.1 Transistors GAA et DG MOSFETs (a) Structure 3D (b) Section transversale

Les conditions aux limites pour le potentiel ϕ devient satisfaire la continuité du potentiel et la composante normale de vecteur du déplacement électrique aux interfaces Si/SiO₂.

$$(DG): \quad \varepsilon_{ox} \frac{V_{Feff} - \phi(x,0)}{t_{ox}} = \varepsilon_{si} \frac{\partial \phi(x,y)}{\partial y} \Big|_{y=0} \quad (III.2.a)$$

$$\varepsilon_{ox} \frac{V_{Beff} - \phi\left(x, \frac{t_{si}}{2}\right)}{t_{ox}} = \varepsilon_{si} \frac{\partial \phi(x,y)}{\partial y} \Big|_{y=\frac{t_{si}}{2}} \quad (III.2.b)$$

$$\phi(0,y) = V_{bii} \quad (III.2.c)$$

$$\phi(L,y) = V_{bii} + V_{DS} \quad (III.2.d)$$

$$(GAA): \quad C_{ox} (V_{GS} - \phi_{ms} - \phi(x, \pm \frac{t_{Si}}{2})) = \varepsilon_{Si} \frac{\partial \phi(x,r)}{\partial r} \Big|_{r=\frac{t_{Si}}{2}} \quad (III.2.e)$$

$$\phi(0,r) = V_{bi} \quad (III.2.f)$$

$$\phi(L,r) = V_{bi} + V_{DS} \quad (III.2.g)$$

Où :

V_{bii} : la tension de jonction entre la source / drain et le silicium intrinsèque (canal) :

$$V_{bi} = \frac{k_B T}{q} \ln \left(\frac{N_{D/S}}{n_i} \right)$$

$N_{D/S}$: La concentration du dopage de la source et le drain.

V_{DS} : La tension drain-source.

V_{Feff} et V_{Beff} sont présentées, pour simplifier les notations, tel que :

$$V_{Feff} = V_{GS} - (\phi_{MF} - \phi_i) \quad (III.3.a)$$

$$V_{Beff} = V_{GS} - (\phi_{MB} - \phi_i) \quad (III.3.b)$$

Où :

ϕ_i : Le travail de sortie du silicium intrinsèque.

Le champ électrique dans la direction verticale (y) est symétrique par rapport au centre du canal (y=0) qui correspond au transistor DG MOSFET symétrique.

On a donc pour les deux types à étudier le problème suivant :

(DG) :

Un problème bidimensionnel du second ordre défini à l'intérieur du canal par l'équation (III.1.a) et par les conditions aux limites (les équations (III.2.a) et (III.2.b)) aux interfaces Si/SiO₂ (condition de Cauchy) et (les équations (III.2.c) et (III.2.d)) des cotés Source/Drain (condition de Dirichlet)

(GAA) :

Un problème bidimensionnel du second ordre défini à l'intérieur du canal par l'équation (III.1.b) et par les conditions aux limites (équation (III.2.e)) aux interfaces Si/SiO₂ (condition de Cauchy) et (les équations (III.2.f) et (III.2.g)) des cotés Source/Drain (condition de Dirichlet).

La forme intégrale pour le formalisme éléments finis est:

$$(DG): \quad R(\phi) = - \iint \left[\frac{\partial w}{\partial x} \frac{\partial \phi}{\partial x} + \frac{\partial w}{\partial z} \frac{\partial \phi}{\partial z} - w \frac{q(N_A + n(x, z))}{\epsilon_{si}} \right] dA = 0 \quad (III.4.a)$$

$$(GAA): \quad R(\phi) = - \iint \left[w \frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \phi}{\partial r} \right) + \frac{\partial w}{\partial z} \frac{\partial \phi}{\partial z} - w \frac{q(N_A + n(r, z))}{\epsilon} \right] dA = 0 \quad (III.4.b)$$

L'assemblage de cette équation sur le domaine de résolution aboutit au système matriciel:

$$R(\phi) = [C][\phi] - [B] - [F(\phi)] = 0 \quad (III.5)$$

[C]: la matrice de raideur ;

[ϕ]: le vecteur des potentiels inconnus ;

[B]: le vecteur résultant de la condition $\partial\phi/\partial n$ sur la frontière ;

[$F(\phi)$]: Le vecteur des sources du champ.

Les termes élémentaires du système (3.5) sont calculés par:

(DG):

$$C_{ij} = \iint_{\Omega} \nabla w_i \nabla w_j dx dz \quad (III.6.a)$$

$$F_i = \int w_i \left(\frac{q(N_A + n)}{\epsilon_{SI}} \right) dx dz \quad (III.6.b)$$

$$B_j = \int_{\Gamma} w \frac{\partial w}{\partial n} \partial \Gamma \quad (III.6.c)$$

(GAA):

$$C_{ij} = \iint_{\Omega} \nabla w_i \nabla w_j dr dz \quad (III.6.e)$$

$$F_i = \int w_i \left(\frac{q(N_A + n)}{\epsilon_{SI}} \right) drdz \quad (\text{III.6.f})$$

$$B_j = \int_{\Gamma} w \frac{\partial w}{\partial n} \partial \Gamma \quad (\text{III.6.g})$$

Les éléments du vecteur [B] sont non nuls sur les frontières Si/SiO2 (interface isolant / semi-conducteur).

Le système non linéaire (III.5) est résolu par la méthode de Newton-Raphson (voir chapitre II), où la matrice Jacobienne [J] pour notre problème est donnée comme:

$$J_{ij} = \frac{\partial R_i}{\partial \phi_j} = K_{ij} + \sum_{k=1}^r \frac{\partial K_{ik}}{\partial \phi_j} \Psi_k \frac{\partial F_i}{\partial \phi_j} \quad (\text{III.7})$$

Cette expression peut être donnée sous forme matricielle comme:

$$[J] = [K] + [\Delta F] \quad (\text{III.8})$$

$$\Delta F_{ij} = \frac{\partial F_i}{\partial \phi_j} \quad (\text{III.8.a})$$

Il est à noter que l'élément de maillage utilisé dans notre étude est triangulaire à trois noeuds (figure III.2).

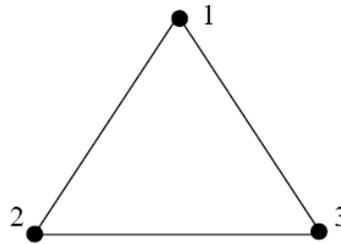


Figure III.2 Élément triangulaire à trois noeuds de maillage utilisé dans notre cas

Le maillage de notre domaine d'étude (le canal du DG/GAA MOSFET) est assuré par le logiciel PDETOOL qui est un outil informatique sous MATLAB, ou ce dernier permet la génération d'un maillage adapté (figure III.3)

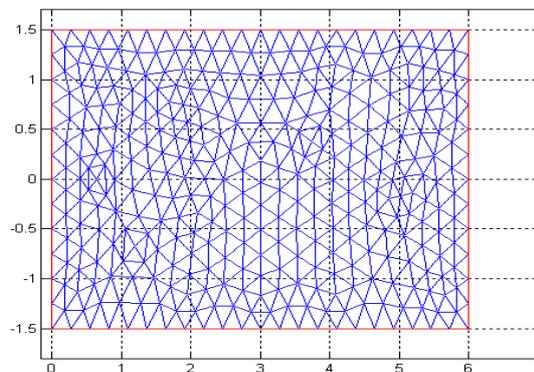


Figure III.3 Génération du maillage adapté

III.2.1 Présentation du modèle et aspects numériques

III.2.1.a calcul numérique

L'organigramme présenté par la figure III.4 illustre le procédé de résolution utilisé pour le développement de notre code de calcul. La méthode de Newton Raphson a été utilisée pour la résolution du système d'équations Boltzmann-Poisson, cette méthode de résolution est une méthode itérative.

La première étape du procédé de résolution de notre code de calcul est l'introduction des caractéristiques physiques qui décrivent notre problème (q, N_A, n_i, \dots), en suite on fait intervenir les conditions aux limites convenables pour chaque structure (DG/GAA MOSFET), après vient l'introduction du potentiel d'essai qui est une étape très importante pour assurer une convergence de l'algorithme, dans notre cas on a choisi un potentiel d'essai à partir d'un modèle analytique simple [30]. Après la génération du maillage qui est assuré par le PDETOOL, la résolution du système équations Poisson-Boltzmann se fait par la méthode de Newton Raphson. La solution numérique du problème est obtenue quand le potentiel calculé est suffisamment proche du potentiel d'essai, c'est-à-dire la différence entre le dernier potentiel d'essai et le potentiel calculé à l'issue de la $n^{\text{ème}}$ itération devient négligeable c'est-à-dire la condition de convergence est vérifiée si non, on passe alors à l'itération suivante $\phi_k \rightarrow \phi_{k+1}$.

Après avoir déterminé la variation du potentiel électrostatique dans le canal (des transistors DG MOSFET et GAA MOSFET), le potentiel minimum $\phi_m(x)$ dans le cas du DG MOSFET et $\phi_m(r)$ dans le cas du GAA MOSFET, est déterminé à partir du potentiel électrostatique soit par une approche analytique [30], ou par une méthode numérique. Dans notre cas le potentiel minimum a été déterminé numériquement sans passer par des approximations analytiques.

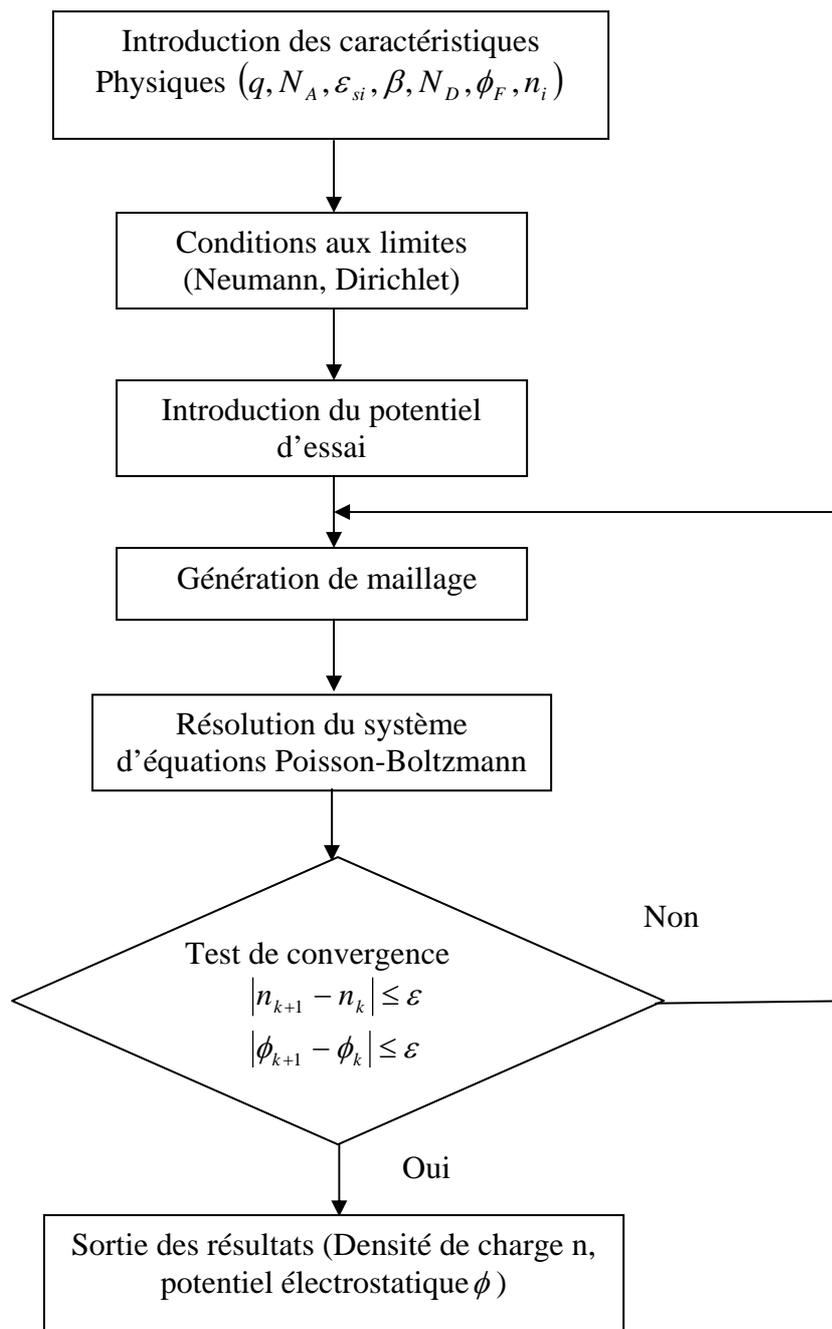


Figure III.4 Organigramme général de la procédure numérique de la résolution du système d'équations Boltzmann-Poisson.

III.2.1.b Modélisation de l'inverse de la pente sous seuil (S).

L'inverse de la pente sous seuil est donné de manière générale par :

$$S = \frac{\partial V_{GS}}{\partial \log I_D} \quad (III.9)$$

C'est à dire par la variation de la tension de grille par rapport au courant de canal sous seuil.

En supposant que le courant de drain (I_D) est proportionnel aux porteurs libres montant à la cathode virtuelle (c.-à-d., où le potentiel électrostatique du canal atteint son minimum $\psi_m(y)$), l'expression (III.9) peut être transformée en :

$$\text{DG : } S = \left[\frac{\int_0^{t_{si}/2} \exp(\phi_m/V_T) \left(\frac{\partial \phi_m}{\partial V_{GS}} \right) dx}{\int_0^{t_{si}/2} \exp(\phi_m/V_T) dx} \right]^{-1} V_T \ln(10), \quad (III.10.a)$$

$$\text{GAA : } S = \left[\frac{\int_0^{t_{si}/2} \exp(\phi_m/V_T) \left(\frac{\partial \phi_m}{\partial V_{GS}} \right) dr}{\int_0^{t_{si}/2} \exp(\phi_m/V_T) dr} \right]^{-1} V_T \ln(10), \quad (III.10.b)$$

Par conséquent, le développement d'un modèle de S est basé sur la détermination du potentiel minimum dans le canal $\phi_m(r)$ pour l'architecture GAA MOSFET et $\phi_m(x)$ pour l'architecture DG MOSFET et sa dépendance de la tension de la grille (V_{GS}).

Donc, le calcul du potentiel du canal nous permet de déterminer la variation du potentiel minimum de canal en fonction de la tension de grille (V_{GS}). Dans notre étude ce potentiel a été déterminé numériquement par la résolution de l'équation

GAA :

$$\frac{\partial \phi(z, r)}{\partial r} = 0. \quad (III.11.a)$$

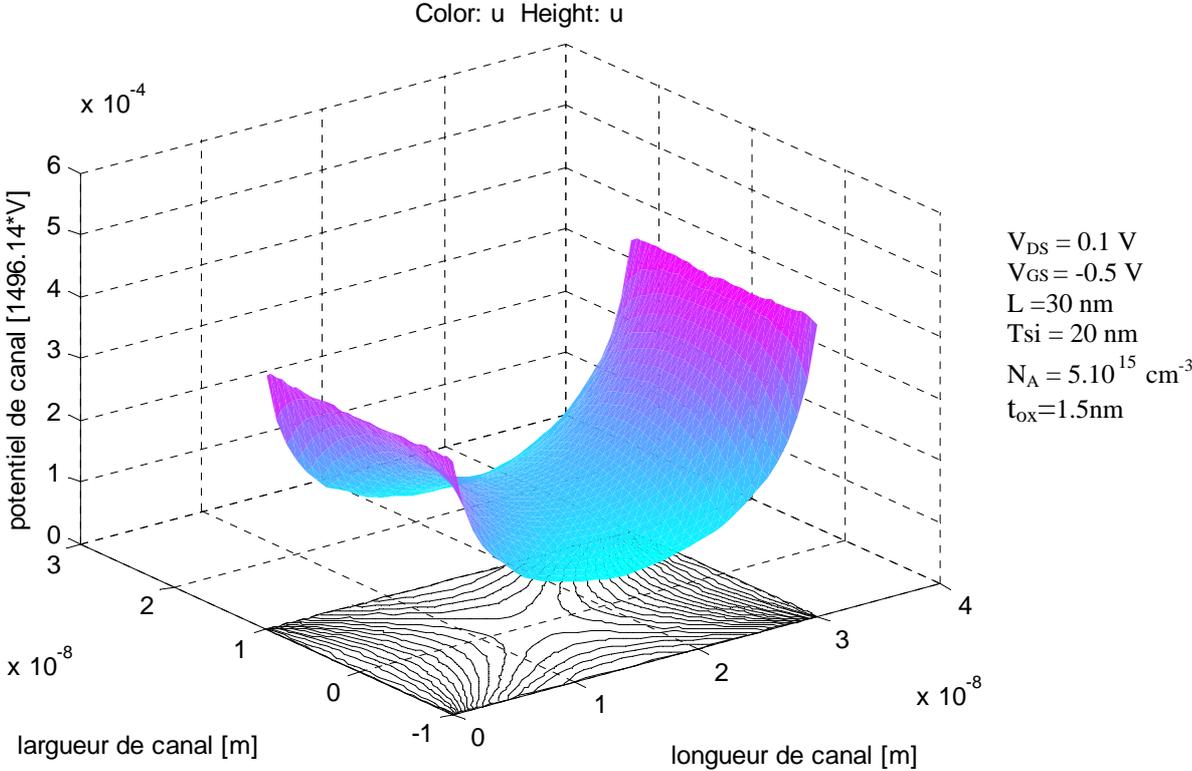
DG:

$$\frac{\partial \phi(z, x)}{\partial x} = 0 \quad (III.11.b)$$

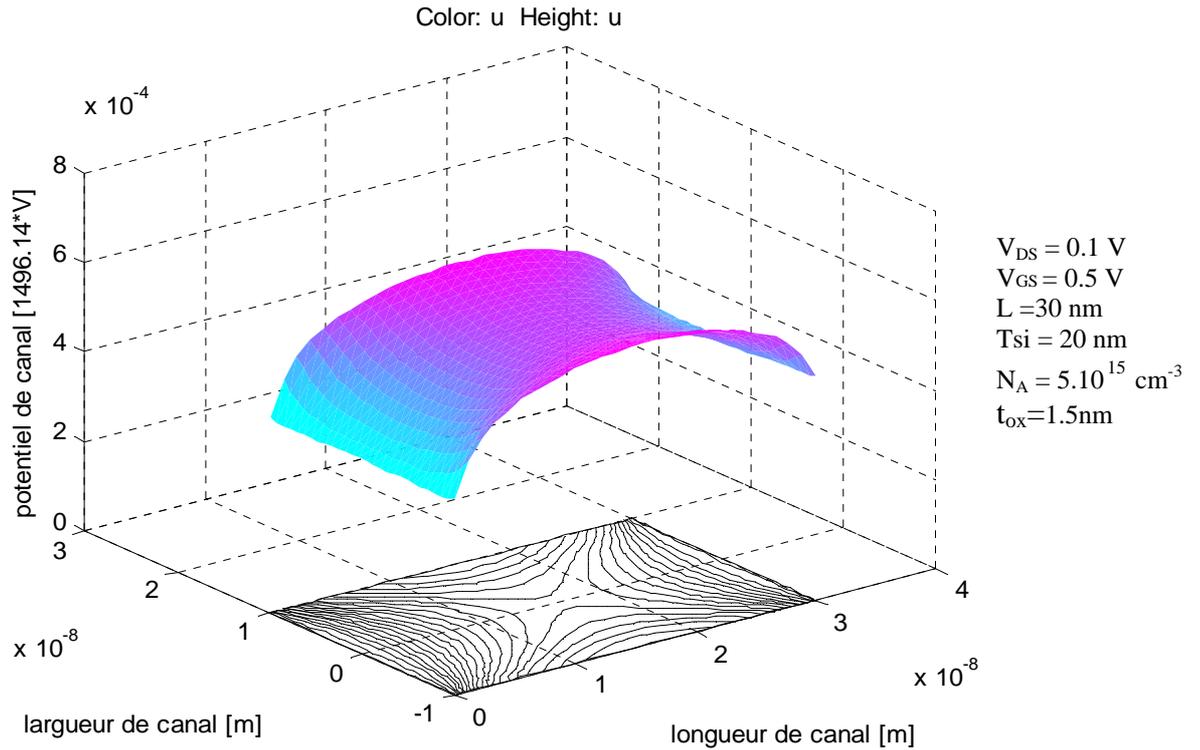
III.3 Présentation et interprétation des résultats

III.3.1 Présentation des résultats

Les figures III.5 et III.6 représentent, respectivement, les variations du potentiel de canal pour différentes tensions de polarisation de la grille V_{GS} des transistors DG/GAA MOSFETs.

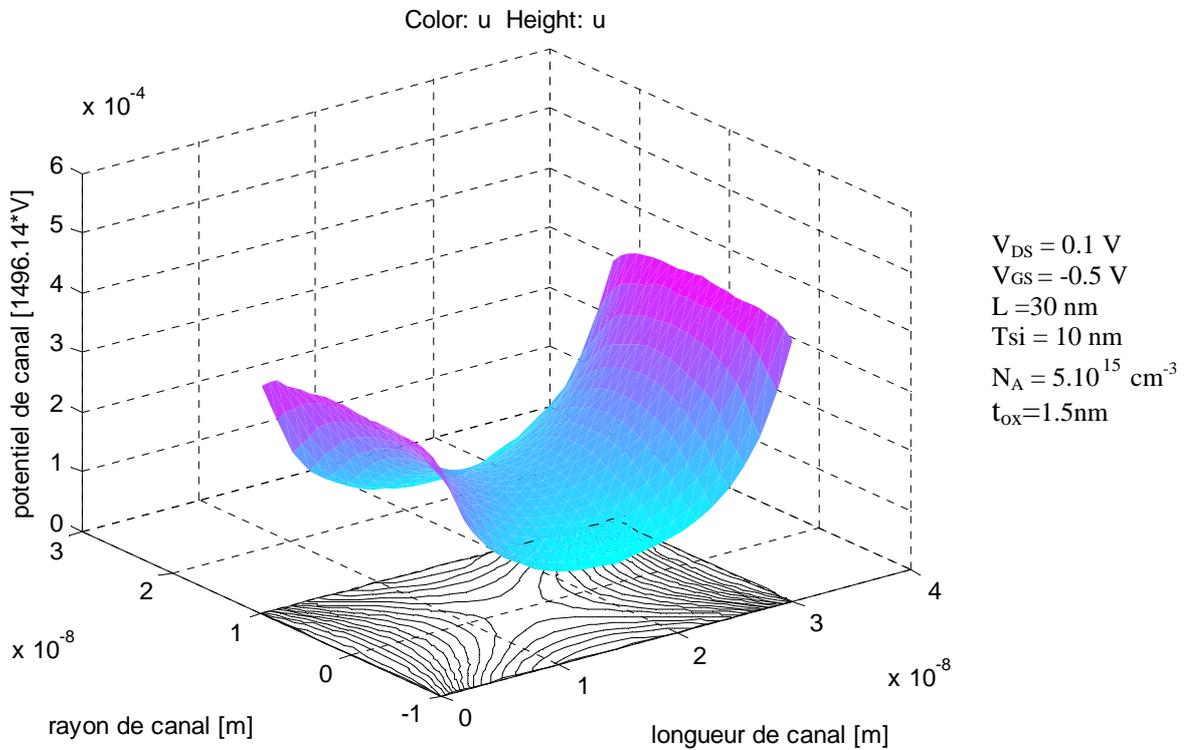


(a)

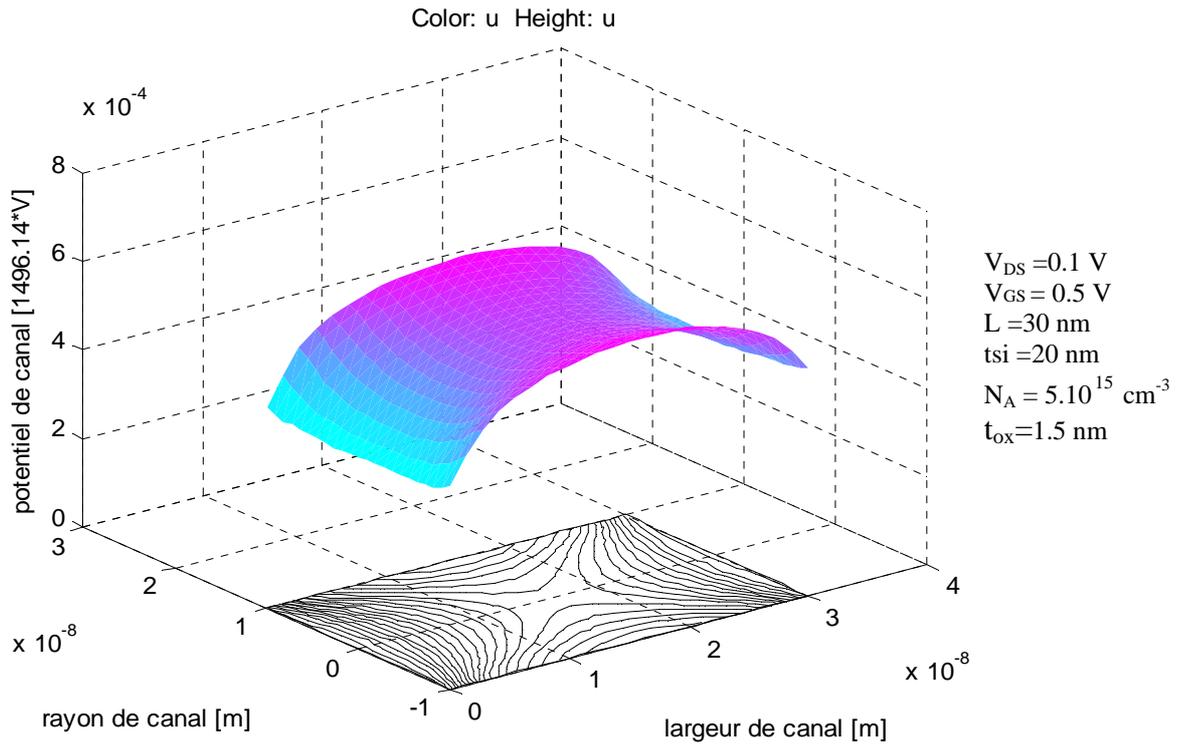


(b)

Figure III.5 Variation de potentiel du canal d'un transistor DG MOSFET pour différentes tensions de polarisation V_{GS} .



(a)



(b)

Figure III.6 Variation de potentiel du canal d'un transistor GAA MOSFET pour différentes tensions de polarisation V_{GS}

La variation du potentiel minimum dans le canal $\phi_m(x)$ pour un transistor DG MOSFET et $\phi_m(r)$ pour le GAA MOSFET en fonction de la tension de commande (V_{GS}) est donnée par les figures III.7 III.8.

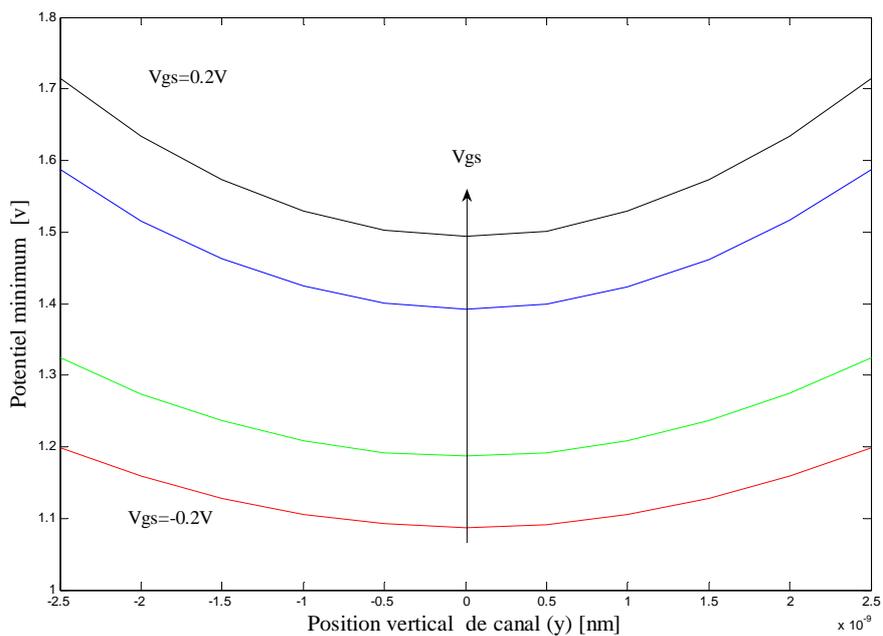


Figure III.7 Variation du potentiel minimum $\phi_m(x)$ pour le transistor DG MOSFET symétrique ($t_{si}=10$ nm, $L=30$ nm, $t_{ox}=1.5$ nm)

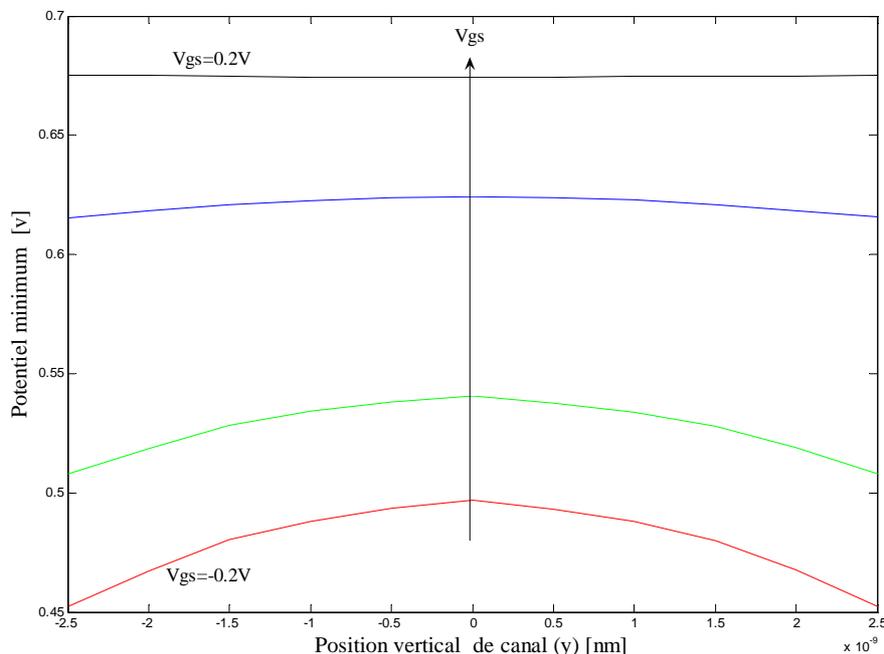


Figure III.8 Variation du potentiel minimum $\phi_m(r)$ pour le transistor GAA MOSFET ($t_{si}=10$ nm, $L=30$ nm, $t_{ox}=1.5$ nm)

L'extraction du potentiel minimum de canal $\phi_m(x)$ dans le cas du DG MOSFET et $\phi_m(r)$ pour le GAA MOSFET a permis d'avoir un modèle numérique qui permet de décrire l'évolution de la loi de variation de l'inverse de la pente sous seuil (S) en fonction des différents paramètres (la longueur du canal L, le dopage N_A , l'épaisseur t_{si} du canal, la tension de contrôle V_{GS}, \dots). Ce modèle a été développé sans aucune hypothèse simplificatrices, ce qui a permis d'avoir des résultats beaucoup plus précis.

Le tableau III.1 illustre la variation de l'inverse de la pente sous seuil (S) en fonction de dopage pour transistor DG MOSFET.

Dopage du canal [cm^{-3}]	5.10^{15}	10^{16}	10^{17}	5.10^{17}	10^{18}	5.10^{18}
S [mV/dec]	80.1	80.1	79.8	78.6	77.5	71.8

Tableau III.1 l'inverse de la pente sous seuil en fonction de dopage pour le transistor DG MOSFET ($t_{si}=10$ nm, $L=30$ nm, $t_{ox}=1.5$ nm)

Le tableau III.2 illustre la variation de l'inverse de la pente sous seuil (S) en fonction de dopage pour transistor GAA MOSFET.

Dopage du canal [cm^{-3}]	5.10^{15}	10^{16}	10^{17}	5.10^{17}	10^{18}	5.10^{18}
S [mV/dec]	66.7	66.7	66.7	66.7	66.5	65.5

Tableau III.2 l'inverse de la pente sous seuil en fonction de dopage pour le transistor GAA MOSFET ($t_{\text{si}}=10 \text{ nm}$, $L=30 \text{ nm}$, $t_{\text{ox}}=1.5 \text{ nm}$)

La figure III. 9 représente la variation de l'inverse de la pente sous seuil (S) en fonction du dopage N_A pour un transistor DG MOSFET (pour $L=30 \text{ nm}$, $t_{\text{si}}=10 \text{ nm}$, $t_{\text{ox}}=1.5 \text{ nm}$).

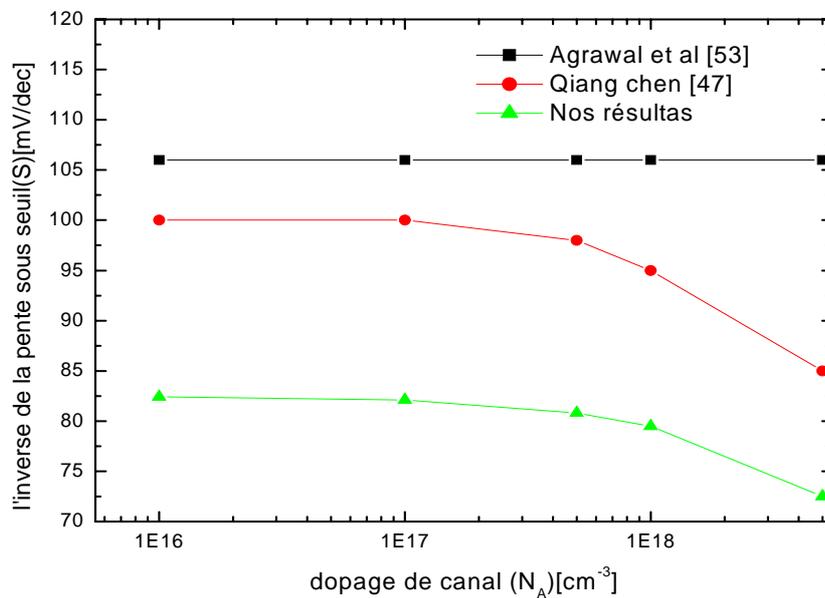


Figure III.9 Variation de l'inverse de la pente sous seuil (S) en fonction du Dopage N_A (DG MOSFET $t_{\text{si}}=10\text{nm}$, $t_{\text{ox}}=1.5\text{nm}$)

La figure III. 10 représente la variation de l'inverse de la pente sous seuil (S) en fonction du dopage N_A pour un transistor GAA MOSFET pour les mêmes paramètres (pour $L=30$ nm, $t_{si}=10$ nm, $t_{ox}=1.5$ nm).

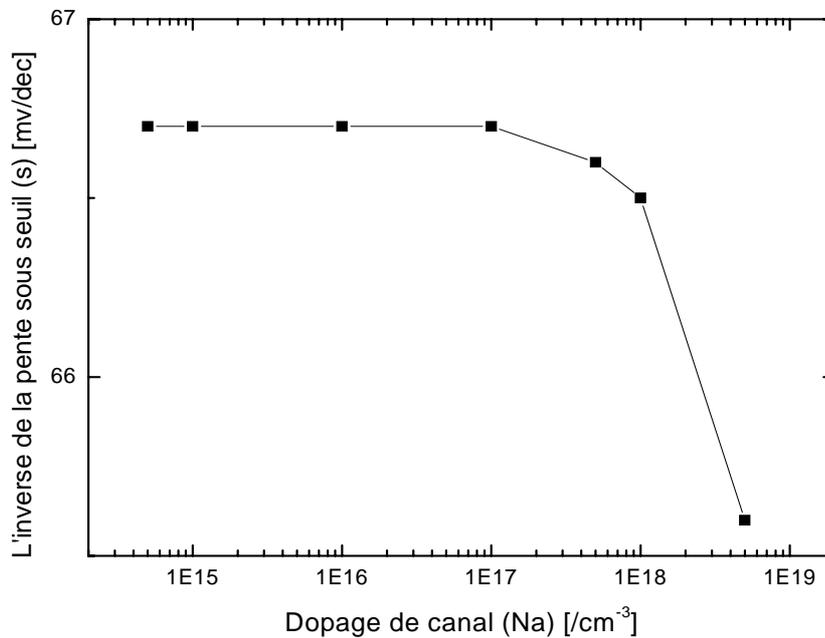


Figure III.10 Variation de l'inverse de la pente sous seuil (S) en fonction du Dopage N_A (GAA MOSFET $t_{si}=10\text{nm}, t_{ox}=1.5\text{nm}$)

La variation de l'inverse de la pente sous seuil S en fonction de la longueur du canal (L) et de l'épaisseur (t_{si}) pour un canal faiblement dopé ($\cong 5.10^{15} \text{ cm}^{-3}$), et pour une épaisseur d'oxyde ($t_{ox}=1.5$ nm) est donnée par les Tableaux III.3 et III.4 pour les deux architectures (DG/GAA MOSFETs).

	L=10nm	L=20nm	L=30nm	L=40nm	L=50nm	L=60nm	L=80nm	L=110nm
$t_{si}=10$ nm	145.1	86.0	69.1	63.1	60.7	59.7	59.1	59.0
$t_{si}=20$ nm	153.8	101.1	82.5	73.0	67.2	63.7	60.6	59.3
$t_{si}=30$ nm	155.7	103.6	87.2	78.6	73.0	68.9	63.7	60.4

Tableau III.3 L'inverse la pente sous seuil (S) en fonction de l'épaisseur (t_{si}) et la longueur de canal (L) du DG MOSFET

	L=10nm	L=20nm	L=30nm	L=40nm	L=50nm	L=60nm	L=80nm	L=110nm
$t_{si}=10$ nm	131.4	81.0	66.7	61.9	60.2	59.5	59.2	59.2

$t_{si}=20$ nm	137.8	94.1	78.6	70.5	65.6	62.7	60.1	59.1
$t_{si}=30$ nm	143.5	98.6	84.1	76.5	71.6	68.0	63.4	60.4

Tableau III.4 L'inverse la pente sous seuil (S) en fonction de l'épaisseur (t_{si}) et la longueur de canal (L) du GAA MOSFET

	L=10nm	L=20nm	L=30nm	L=40nm	L=50nm	L=60nm	L=80nm	L=110nm
$t_{ox}=1.5$ nm	155.7	103.6	87.2	78.6	73.0	68.9	63.7	60.4
$t_{ox}=3$ nm	274.8	145.7	110.7	93.1	82.2	75.2	68.7	61.8
$t_{ox}=5$ nm	274.8	145.7	110.7	93.1	82.2	75.2	68.7	61.8

Tableau III.5 Variation de l'inverse la pente sous seuil (S) en fonction de la longueur de canal (L) et l'épaisseur de l'oxyde (t_{ox}) du DG MOSFET ($t_{si}=30$ nm)

	L=10nm	L=20nm	L=30nm	L=40nm	L=50nm	L=60nm	L=80nm	L=110nm
$t_{ox}=1.5$ nm	96.3	65.3	60.4	59.4	59.3	59.2	59.2	59.2
$t_{ox}=3$ nm	126.3	71.4	62.1	61.7	59.6	59.2	59.2	59.2
$t_{ox}=5$ nm	231.7	85.4	64.0	60.3	59.4	58.8	58.7	58.6

Tableau III.6 L'inverse la pente sous seuil (S) en fonction de la longueur de canal (L) et l'épaisseur de l'oxyde (t_{ox}) du GAA MOSFET ($t_{si}=30$ nm)

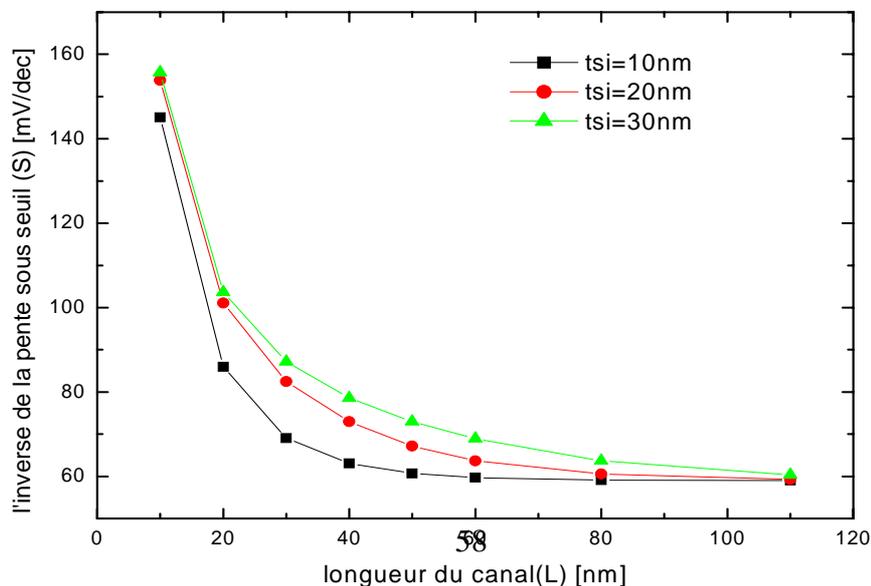


Figure III.11 Variation de l'inverse de la pente sous seuil (S) en fonction de la Longueur de canal (L) d'un transistor DG MOSFET symétrique pour différentes épaisseurs du canal ($N_A=5.10^{15} \text{ cm}^{-3}$, $t_{ox}=1.5 \text{ nm}$)

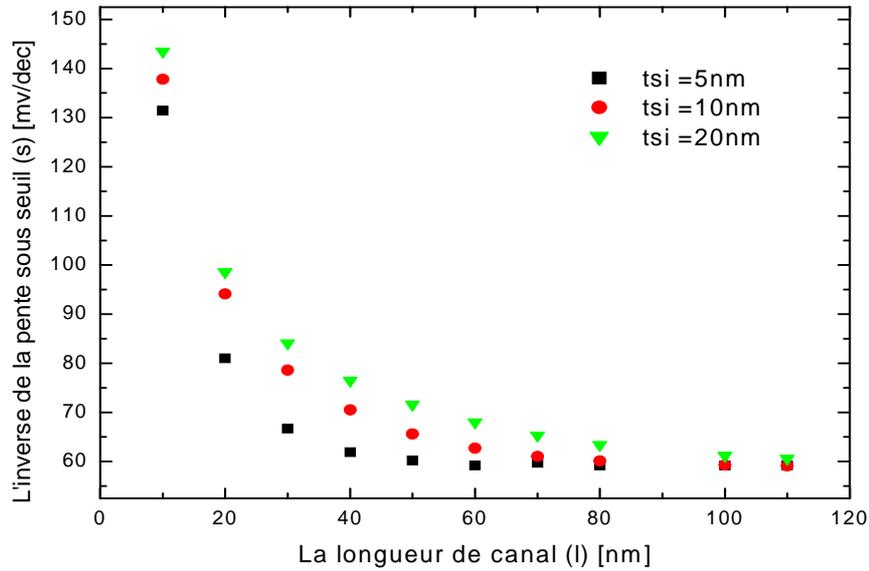


Figure III.12 Variation de l'inverse de la pente sous seuil (S) en fonction de la Longueur de canal (L) d'un transistor GAA MOSFET pour différentes épaisseurs du canal ($N_A=5.10^{15} \text{ cm}^{-3}$, $t_{ox}=1.5 \text{ nm}$)

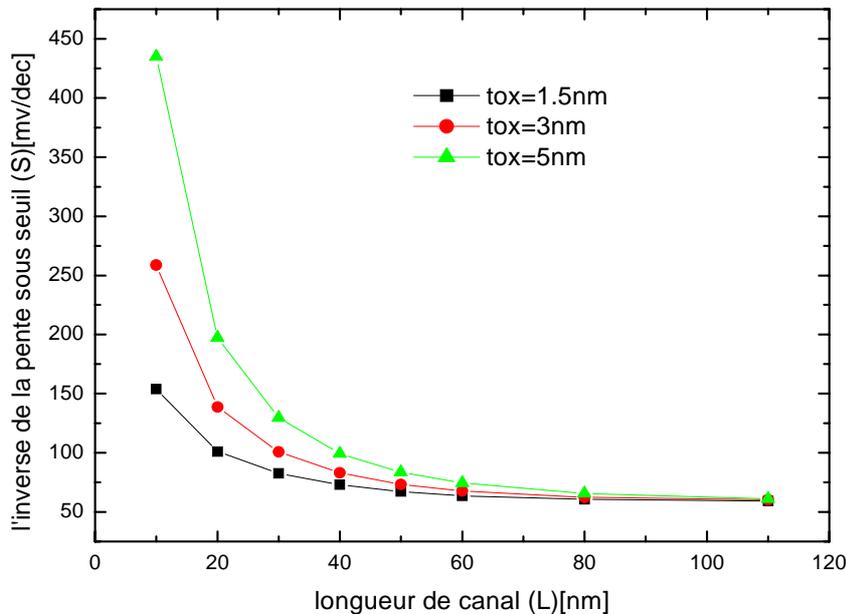


Figure III.13 Variation de l'inverse de la pente sous seuil (S) en fonction de la

Longueur de canal (L) et de l'épaisseur de l'oxyde (t_{ox}) du DG MOSFET ($t_{si}=30nm$)

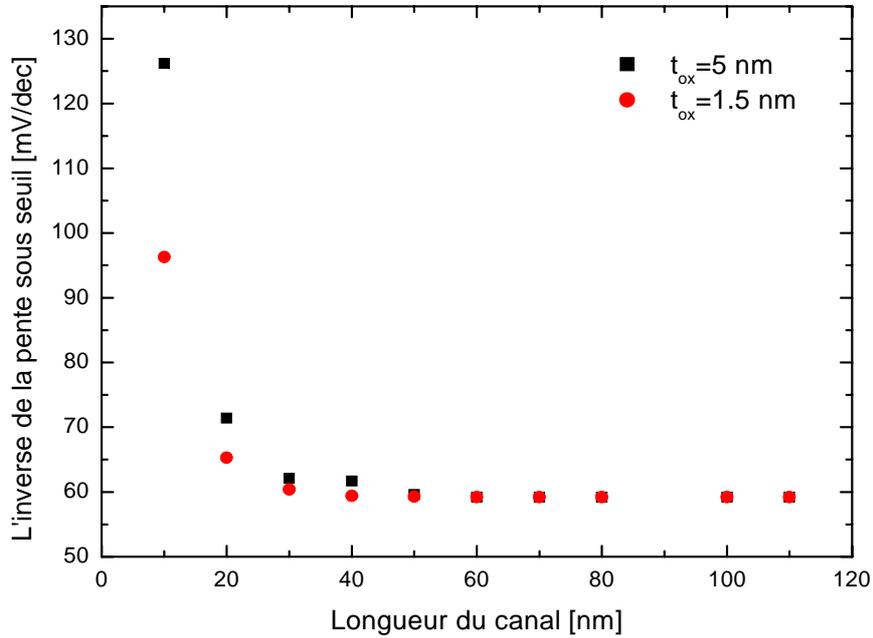


Figure III.14 Variation de l'inverse de la pente sous seuil (S) en fonction de la Longueur de canal (L) et de l'épaisseur de l'oxyde (t_{ox}) du GAA MOSFET ($t_{si}=30nm$)

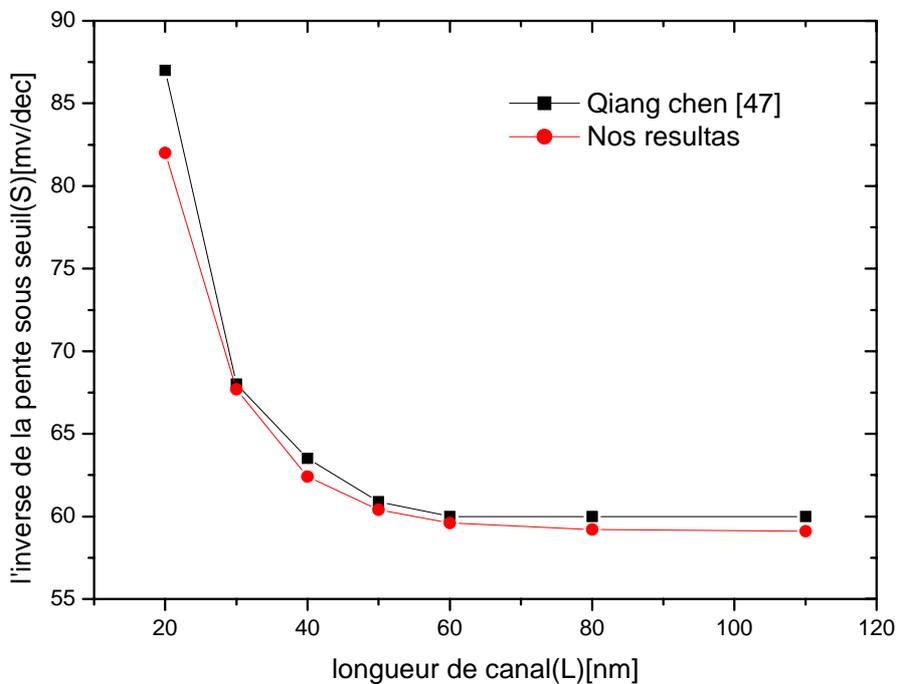


Figure III.15 comparaison entre nos résultats et les résultats obtenus par Qiang Chen de la variation de la pente sous seuil (S) en fonction de la longueur de canal (L)

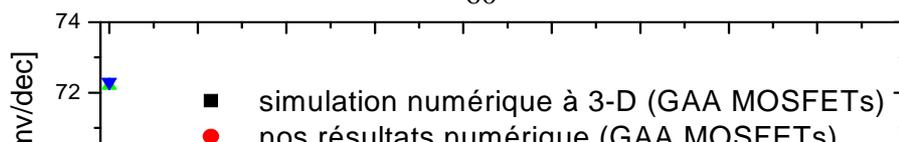


Figure III.16 Variation de l'inverse de la pente sous seuil (S) de la longueur de canal (L) pour les deux architectures (DG/GAA MOSFETs) avec validation des résultats [46]

III.3.2 Interprétation des résultats

Les figures III.9 et III.10 illustre la variation de l'inverse de la pente sous seuil (S) en fonction du dopage de canal des deux architectures DG/GAA MOSFETs, on remarque une diminution de (S) pour des valeurs de dopage élevées ($N_A=10^{18} \text{ cm}^{-3}$) ceci est due au potentiel de surface $\phi_m(x=\pm t_{si})/ \phi_m(r=\pm R)$ qui est beaucoup plus grand que le potentiel central $\phi_m(x=0)/ \phi_m(r=0)$ et la conduction globale est fortement confinée dans les surfaces. Comme conséquence du confinement des lignes de courant par rapport aux grilles, ces dernières assurent un contrôle efficace du canal ayant pour résultat un (S) amélioré. Pour des valeurs faibles de dopage ($N_A=5.10^{15} \text{ cm}^{-3}$) le profil de potentiel est pratiquement déterminé par la résolution de l'équation de Laplace $\Delta\phi=0$. En conclusion, le chemin de conduction effectif ne dépend plus de N_A ; ce qui conduit à une Valeur constante de (S).

Contrairement à l'expression analytique de Qiang Chen et al [47], établie sur la base de nombreuses hypothèses simplificatrices, la notre a été déduite à partir d'un modèle numérique plus élaboré, Il est censé d'être plus réaliste donc plus précis.

Le transistor GAA MOSFET montre un (S) plus amélioré par Comparaison avec le transistor DG MOSFET puisque le chemin de conduction efficace dans le transistor GAA tend à se former de près de la surface Si/SiO₂. Comme conséquence, la grille enrobée assure un contrôle du canal mieux que l'architecture DG (figure III.14).

Afin de valider nos résultats le modèle numérique de l'inverse de la pente sous seuil (S) que nous avons développé pour un transistor DG MOSFET et pour un transistor GAA MOSFET ont été comparé à d'autres résultats (figures III.9, III.15 et III.16).

La variation de (S) en fonction de la longueur de la grille joue un rôle particulier. Dans ce cas, on distingue deux domaines de variation de (S) en fonction de la longueur de la grille:

Les canaux courts

Pour des longueurs du canal supérieures à une certaine valeur critique (aux environs de 100nm pour une épaisseur du canal $t_{si}=30\text{nm}$) l'inverse de la pente sous seuil affiche une très faible décroissance avec l'augmentation de la longueur du canal pour les deux architectures DG et le GAA. Comparé aux résultats obtenus avec le paramètre du dopage, l'effet de ce paramètre est donc secondaire.

En conclusion, le chemin de conduction effectif ne dépend plus de la longueur du canal, Ce qui conduit à une valeur constante de (S) .

Les canaux fortement courts

Pour des longueurs du canal inférieure à 100nm, les résultats de (S) montrent une évolution exponentielle avec une valeur minimale de (S) égale à 61 mV/dec (figure III.14). Cette augmentation de (S) peut être attribuée à un effet de l'apparition du courant tunnel source/drain qui affaiblit le contrôle du canal.

Afin de valider notre code de calcul, les résultats obtenus par ce dernier ont été comparés avec des résultats générés par un code de calcul professionnel 3D [46], où un très bon accord a été remarqué.

III.4 influence du profil du dopage :

Dans ce paragraphe, nous considérons un profil de dopage de type gaussien de largeur variable centré plus ou moins loin de l'interface source-drain/canal, le rôle des non uniformités de dopages décrit par l'expression suivante :

$$N_x = (N_{sd} - N_b) \exp\left(\frac{-x^2}{\sigma^2}\right) + N_b \quad \text{cm}^{-3} \quad (\text{III.7})$$

Où $N_{sd} = 2.10^{20} \text{ cm}^{-3}$, $N_b = 0$ et $\sigma = 2\sqrt{\log_{10} e}$

N_{sd} : Dopage de la source-drain.

N_b : Dopage du substrat (bulk).

σ : l'écart type de la gaussienne.

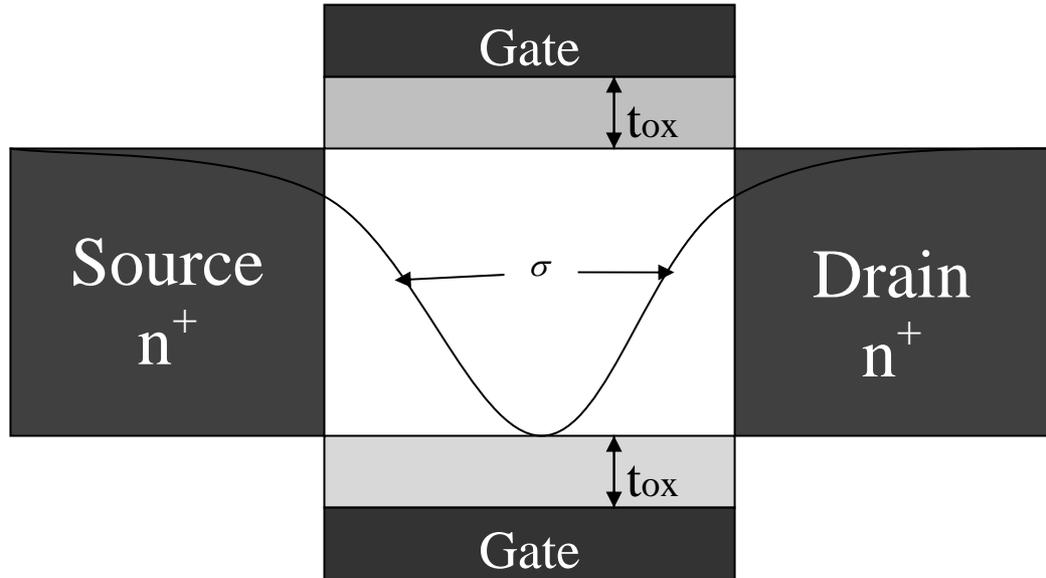


Figure III.17 profil du dopage gaussien

Afin d'améliorer les performances de fonctionnement du DG/GAA MOSFET, nous avons proposé d'utiliser un profil du dopage de type gaussien (concentration non uniforme du dopage), voir la figure (III.17)

Le tableau ci-dessous nous indique l'amélioration de l'inverse de la pente sous seuil avec le dopage gaussien ce qui conduit à une amélioration des performances du transistor DG/GAA MOSFET.

	Profil du dopage uniforme	Profil du dopage gaussien
S [mV/dc]	157.1	96.7

Tableau III.7 l'évolution de la pente sous seuil en fonction du type du dopage du transistor DG MOSFET ($L=15\text{nm}$, $t_{\text{si}}=20\text{nm}$, $N_A=5.10^{15} \text{ cm}^{-3}$ et $t_{\text{ox}}=1.5\text{nm}$)

	Profil du dopage uniforme	Profil du dopage gaussien
S [mV/dc]	134.7	81.6

Tableau III.8 l'évolution de la pente sous seuil en fonction du type du dopage du transistor GAA MOSFET ($L=15\text{nm}$, $t_{\text{si}}=20\text{nm}$, $N_{\text{A}}=5.10^{15}\text{ cm}^{-3}$ et $t_{\text{ox}}=1.5\text{nm}$)

III.5 Conclusion

Dans ce chapitre, on a comparé les performances de l'architecture à grille enrobée (GAA) avec celles de l'architecture à double grille. Notre étude a été basée sur l'effet des différents paramètres géométriques et électriques sur l'inverse de la pente sous seuil (S). Un modèle numérique de l'inverse de la pente sous seuil a été développé à partir de la résolution du système d'équations bidimensionnel et non linéaire Poisson-Boltzmann dans la région de canal en utilisant la méthode des éléments finis. La comparaison des deux architectures montre que le transistor GAA MOSFET présente des performances supérieures à l'égard du transistor DG MOSFET [46].

CHAPITRE IV:
MODÉLISATION NUMÉRIQUE
DES TRANSISTORS DG/GAA
MOSFETS EN PRÉSENCE DES
DÉFAUTS

IV.1 Introduction

Pendant que le transistor MOSFET approche les limites physiques et technologiques, de nombreuses structures de dispositif sont largement explorés. Parmi elles, le transistor multi-grille (DG/GAA MOSFET) a attiré une large attention à la fois du secteur de l'industrie des semiconducteurs et des milieux universitaires. La simulation est de plus en plus importante pour comprendre la physique des dispositifs électroniques en profondeur, et d'évaluer les performances limites du transistor multi-grille [44]. Employant ces architectures pour les applications numériques devient plus avantageux si ces dernières sont fabriquées avec du silicium recristallisé due à la grande flexibilité d'intégration des processus [48], [49]. Il y'a eu plusieurs rapports sur le nano MOSFET fabriqué avec du silicium recristallisé à haute densité d'intégration des circuits numériques [48]. Il a été aussi signalé qu'un nombre élevé des défauts cristallins tels que les dislocations et les défauts de grain qui sont observés dans la structure cristalline de silicium [50]. Ces défauts sont dus à l'unique procédure de la fabrication basée sur la recristallisation du silicium amorphe suivie par un recuit à basse température. Comme il a été indiqué dans le chapitre précédent le paramètre électrique clé qui indique l'impact de l'effet du canal court sur le fonctionnement d'un transistor MOSFET pour les applications numériques est l'inverse de la pente sous seuil (S).

Dans ce chapitre, on étudie l'effet des pièges sur l'inverse de la pente sous seuil (S) en fonction de différents paramètres (longueur de canal (L), l'épaisseur du canal (t_{si}),...) du transistor DG/GAA MOSFET.

IV.2 Défauts dans la structure MOS

On appellera défauts les sites électriquement actifs du silicium ou de l'oxyde, pouvant perturber localement les densités de charges ou le champ vu par les porteurs. Sur la Figure VI.1, on peut distinguer les différents types de défauts qui peuvent apparaître dans la structure MOS. Il faut tenir compte des états d'interface (pièges de charges positives/négatives ou pièges neutres) le plus souvent constitués par des liaisons pendantes Si-Si₃ appelées centre Pb dans la littérature [51] ; mais aussi des défauts de l'oxyde (Charges fixes près de l'interface, des ions mobiles dans le volume ou encore pièges de charges) [51].

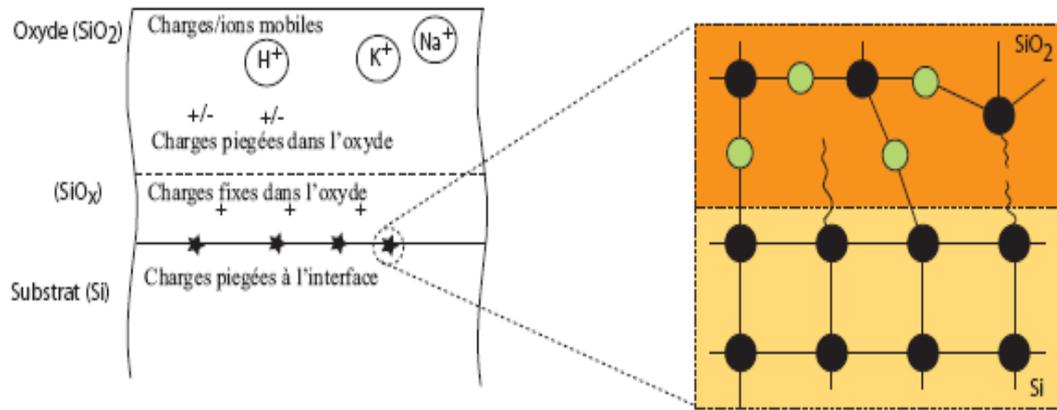


Figure IV.1 Schéma représentant une structure Métal Oxyde Semiconducteur avec les différents pièges de charges. [51]

IV.3 Analyse numérique

Les deux structures GAA MOSFET et DG MOSFET sont examinées dans ce chapitre. La source et le drain sont fortement dopés ($\cong 10^{20} \text{ cm}^{-3}$), le canal est pratiquement non dopé ($\cong 10^{16} \text{ cm}^{-3}$). Les calculs ont été effectués à la température ambiante. Le diagramme de bande d'énergie utilisé dans notre analyse est montré sur la Figure IV.2, où la densité de deux types de pièges est représentée. La densité de charge des pièges variables en fonction du potentiel de canal donnée par la zone noire (Figure IV.2), et la densité de charge des pièges fixes uniforme représentée par la zone grise (Figure IV.2).

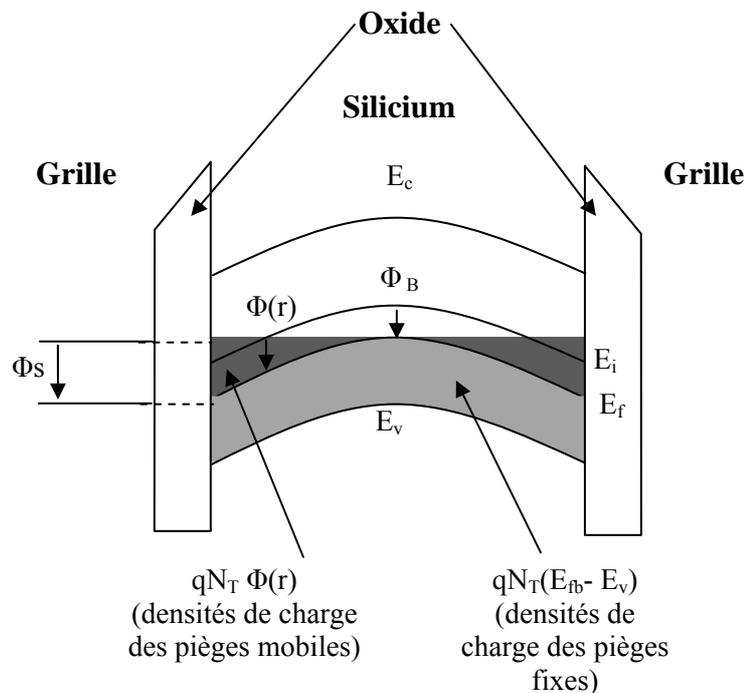


Figure IV.2 Diagramme de bande du DG/GAA MOSFET

La variation du potentiel électrostatique dans le canal donnée par l'équation de Poisson en fonction de la densité d'état des pièges pour les deux architectures étudiées (DG MOSFET et GAA MOSFET) est donnée comme suit :

$$(DG) \quad \frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial z^2} = \frac{q(N_A + n(x, z) + N_T \phi)}{\epsilon} \quad (IV.1)$$

$$(GAA) \quad \frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \phi}{\partial r} \right) + \frac{\partial^2 \phi}{\partial z^2} = \frac{q(N_A + n(r, z) + N_T \phi)}{\epsilon} \quad (IV.2)$$

Les conditions limites pour les deux architectures GAA MOSFET et DG MOSFET en incluant la présence des défauts restent inchangées (même conditions avec le cas sans défauts (voir chapitre III)).

Nous supposons que les états de pièges neutres sont uniformément réparties dans la bande interdite du silicium (figure IV.2). Par conséquent, la densité des pièges dans le substrat est exprimée par la relation suivante:

$$n_T = - \int_{E_v}^{E_c} N_T f(E) dE \quad (IV.3)$$

La forme intégrale pour le formalisme éléments finis est:

$$(DG): \quad R(\phi) = - \iint \left[\frac{\partial w}{\partial x} \frac{\partial \phi}{\partial x} + \frac{\partial w}{\partial z} \frac{\partial \phi}{\partial z} - w \frac{q(N_A + n(x, z) + N_T \phi)}{\epsilon_{si}} \right] dA = 0 \quad (IV.4.a)$$

$$(GAA): \quad R(\phi) = - \iint \left[w \frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \phi}{\partial r} \right) + \frac{\partial w}{\partial z} \frac{\partial \phi}{\partial z} - w \frac{q(N_A + n(r, z) + N_T \phi)}{\epsilon} \right] dA = 0 \quad (IV.4.b)$$

L'assemblage des deux équations (IV.4.a) et (IV.4.b) sur le domaine de résolution aboutit au système matriciel:

$$R(\phi) = [C][\phi] - [B] - [F(\phi)] = 0 \quad (IV.5)$$

[C]: la matrice de raideur ;

[ϕ]: Le vecteur des potentiels inconnus ;

[B]: le vecteur résultant de la condition $\partial \phi / \partial n$ sur l'interface ;

[$F(\phi)$]: Le vecteur des sources du champ.

Les termes élémentaires du système (IV.5) sont calculés par:

(DG):

$$C_{ij} = \iint_{\Omega} \nabla w_i \nabla w_j dx dz \quad (IV.5.a)$$

$$F_i = \int w_i \left(\frac{N_A + n(x, z) + N_T \phi}{\epsilon_{SI}} \right) dx dz \quad (IV.5.b)$$

$$B_j = \int_{\Gamma} w \frac{\partial w}{\partial n} \partial \Gamma \quad (IV.5.c)$$

(GAA):

$$C_{ij} = \iint_{\Omega} \nabla w_i \nabla w_j dr dz \quad (IV.6.a)$$

$$F_i = \int w_i \left(\frac{N_A + n(r, z) + N_T \phi}{\epsilon_{SI}} \right) dr dz \quad (IV.6.b)$$

$$B_j = \int_{\Gamma} w \frac{\partial w}{\partial n} \partial \Gamma \quad (IV.6.c)$$

Les éléments du vecteur [B] sont non nuls sur les frontières Si/SiO₂ (interface isolant / semi-conducteur).

Le système non linéaire (IV.5) est résolu par la méthode de Newton-Raphson, où la matrice Jacobinienne [J] pour notre problème est donnée comme:

$$J_{ij} = \frac{\partial R_i}{\partial \phi_j} = K_{ij} + \sum_{k=1}^r \frac{\partial K_{ik}}{\partial \phi_j} \Psi_k \frac{\partial F_i}{\partial \phi_j} \quad (IV.7)$$

Cette expression peut être donnée sous forme matricielle comme:

$$[J] = [K] + [\Delta F] \quad (IV.8)$$

$$\Delta F_{ij} = \frac{\partial F_i}{\partial \phi_j} \quad (IV.8.a)$$

Le potentiel de surface est déterminé après avoir résolu les système d'équations IV.1 et IV.2 par la méthode de Newton-Raphson pour le transistor DG MOSFET et GAA MOSFET.

Les expressions de l'inverse de la pente sous seuil (S) sont établies auparavant (voir chapitre III, expressions III.10.a et III.10.b).

Le paragraphe suivant présente les différents résultats de notre modélisation.

IV.4 Présentation et interprétation des résultats

IV.4.1 Présentation des résultats

En se basant sur la même méthodologie de modélisation suivie auparavant (modélisation sans défauts), on aura les résultats montrés par les tableaux ci-dessous:

	L=10nm	L=20nm	L=30nm	L=40nm	L=50nm	L=60nm	L=80nm	L=110nm
$T_{SI}=10\text{nm}$	145.1	86.0	69.1	63.1	60.7	59.7	59.1	59.0
$T_{SI}=20\text{nm}$	153.8	101.1	82.5	73.0	67.2	63.7	60.6	59.3
$T_{SI}=30\text{nm}$	155.7	103.6	87.2	78.6	73.0	68.9	63.7	60.4

Tableau IV.1 Les valeurs de l'inverse de la pente sous seuil (S) en fonction de l'épaisseur (t_{si}) Et la longueur de canal (L) du DG MOSFET sans défaut ($N_A=5.10^{15}$, $t_{ox}=1.5\text{nm}$)

	L=10nm	L=20nm	L=30nm	L=40nm	L=50nm	L=60nm	L=80nm	L=110nm
$T_{SI}=10\text{nm}$	137.1	93.9	69.8	63.6	61.7	60.8	60.4	60.3
$T_{SI}=20\text{nm}$	145.2	97.3	82.7	72.5	68	65.4	63.2	59.5
$T_{SI}=30\text{nm}$	146.5	100.1	84.7	76.8	72.2	69.2	66	64.3

Tableau IV.2 L'influence des défauts sur l'inverse de la pente sous seuil du DG MOSFET ($N_T=5.10^{17}\text{cm}^{-3}\text{V}^{-1}$)

	L=10nm	L=20nm	L=30nm	L=40nm	L=50nm	L=60nm	L=80nm	L=110nm
$T_{SI}=10\text{nm}$	137.4	84	69.8	64.7	62.9	62.1	61.7	61.7
$T_{SI}=20\text{nm}$	145.2	97.5	81.1	73.4	69.4	67.2	65.3	64.8
$T_{SI}=30\text{nm}$	146.5	100.1	85.1	77.6	73.3	70.7	67.5	66.7

Tableau IV.3 L'influence des défauts sur l'inverse de la pente sous seuil du DG MOSFET ($N_T=10^{18}\text{cm}^{-3}\text{V}^{-1}$)

	L=10nm	L=20nm	L=30nm	L=40nm	L=50nm	L=60nm	L=80nm	L=110nm
$T_{SI}=10\text{nm}$	131.4	81.0	66.7	61.9	60.2	59.5	59.2	59.2
$T_{SI}=20\text{nm}$	137.8	94.1	78.6	70.5	65.6	62.7	60.1	59.1
$T_{SI}=30\text{nm}$	143.5	98.6	84.1	76.5	71.1	68.0	63.4	60.6

Tableau IV.4 L'influence des défauts sur l'inverse de la pente sous seuil du GAA MOSFET ($N_A=5.10^{15}$, $t_{ox}=1.5\text{nm}$)

	L=10nm	L=20nm	L=30nm	L=40nm	L=50nm	L=60nm	L=80nm	L=110nm
$T_{SI}=10\text{nm}$	145.1	86.0	69.1	63.1	60.7	59.7	59.1	59.0
$T_{SI}=20\text{nm}$	153.8	101.1	82.5	73.0	67.2	63.7	60.6	59.3
$T_{SI}=30\text{nm}$	155.7	103.6	87.2	78.6	73.0	68.9	63.7	60.4

Tableau IV.5 Les valeurs de l'inverse de la pente sous seuil (S) en fonction de l'épaisseur (t_{si}) Et la longueur de canal (L) du GAA MOSFET sans défaut ($N_T=5.10^{17} \text{ cm}^{-3}\text{V}^{-1}$)

	L=10nm	L=20nm	L=30nm	L=40nm	L=50nm	L=60nm	L=80nm	L=110nm
$T_{SI}=10\text{nm}$	133.4	81.6	67.7	63.1	61.6	60.8	60.5	60.5
$T_{SI}=20\text{nm}$	137.8	94.1	78.6	71.4	67.3	64.9	62.8	62.0
$T_{SI}=30\text{nm}$	143.5	98.6	84.1	76.5	72.0	69.2	67.2	64.5

Tableau IV.6 L'influence des défauts sur l'inverse de la pente sous seuil du GAA MOSFET ($N_T=10^{18} \text{ cm}^{-3}\text{V}^{-1}$)

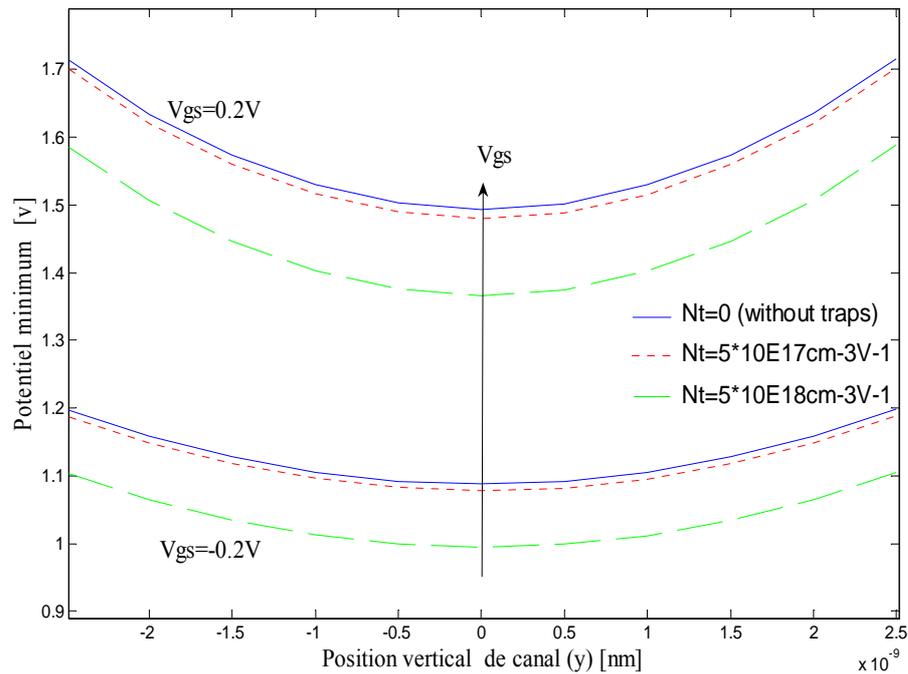


Figure IV.3 Variation du potentiel minimum dans le canal pour différentes valeurs de V_{GS} avec la présence des défauts (DG MOSFET) [52].

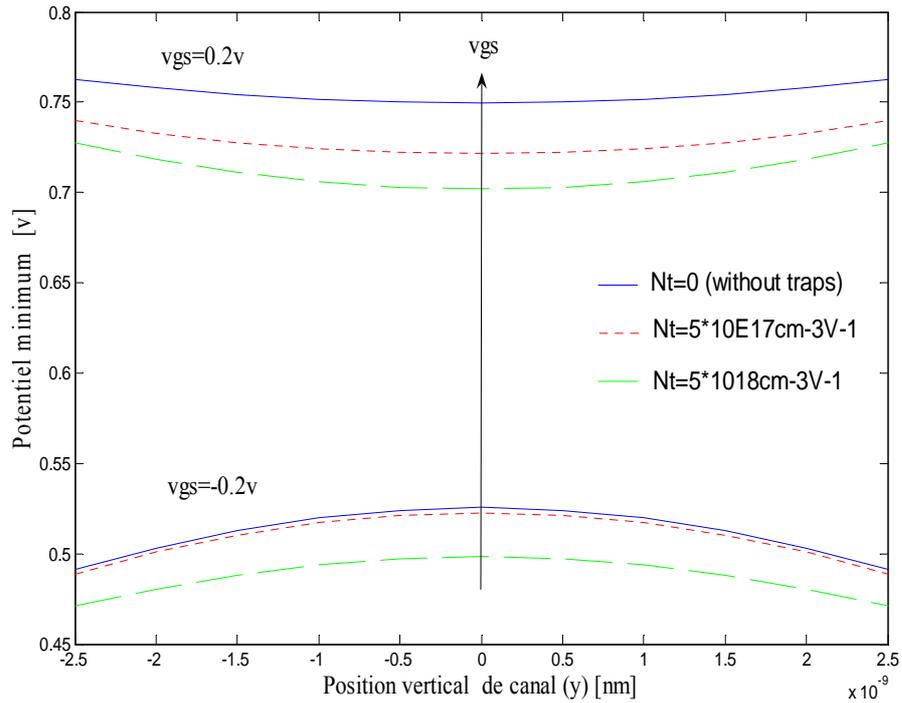


Figure IV.4 Variation du potentiel minimum dans le canal pour différentes valeurs de V_{GS} avec la présence des défauts du transistor GAA MOSFET [52].

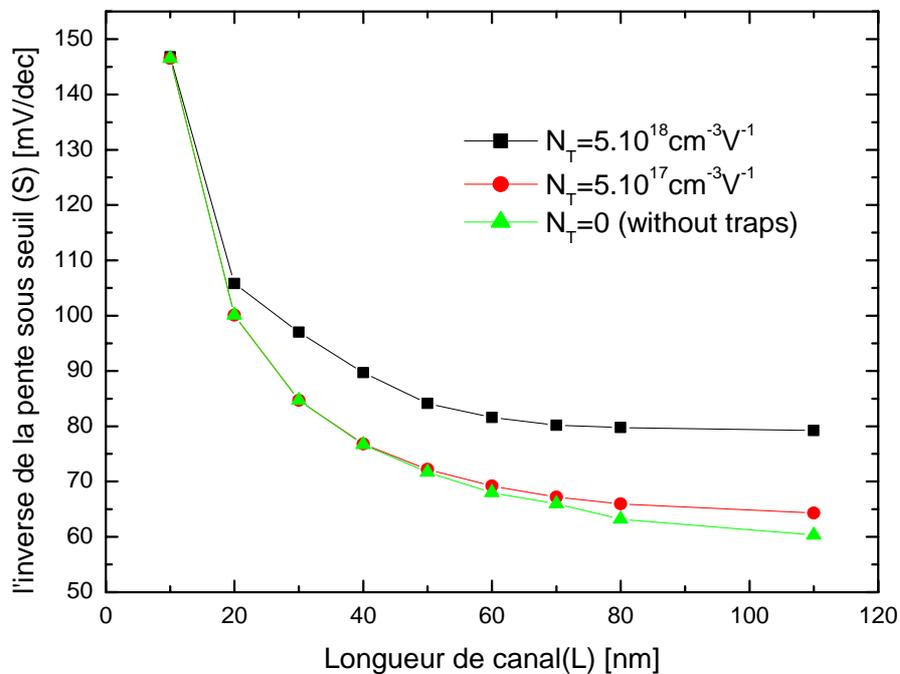


Figure IV.5 L'effet de présence des défauts sur l'inverse de la pente sous seuil (S) en fonction de la longueur de grille (L) pour le transistor DG MOSFET[52].

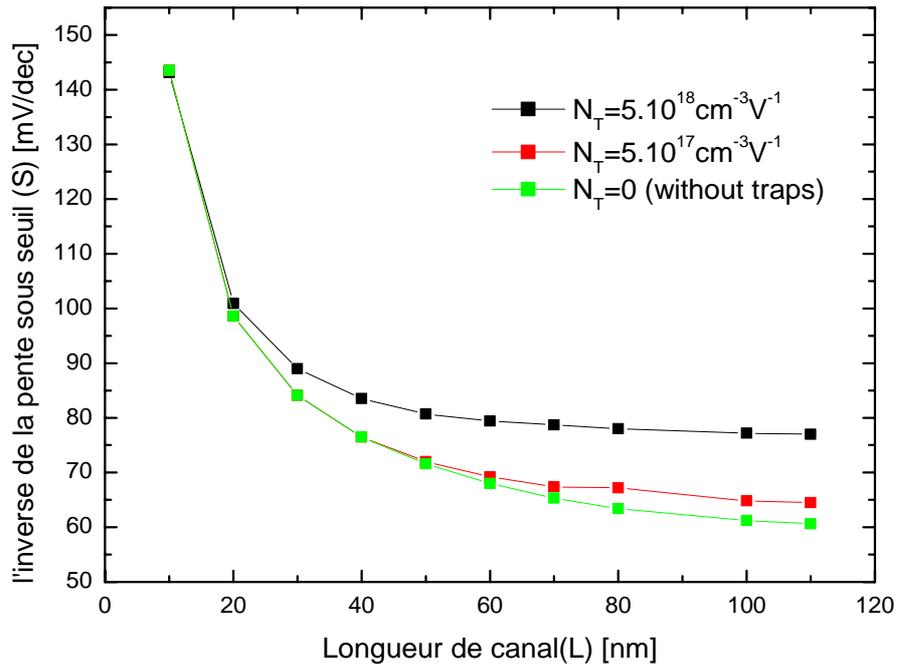


Figure IV.6 L'effet de présence des défauts sur l'inverse de la pente sous seuil (S) en fonction de la longueur de grille (L) pour le transistor GAA MOSFET [52].

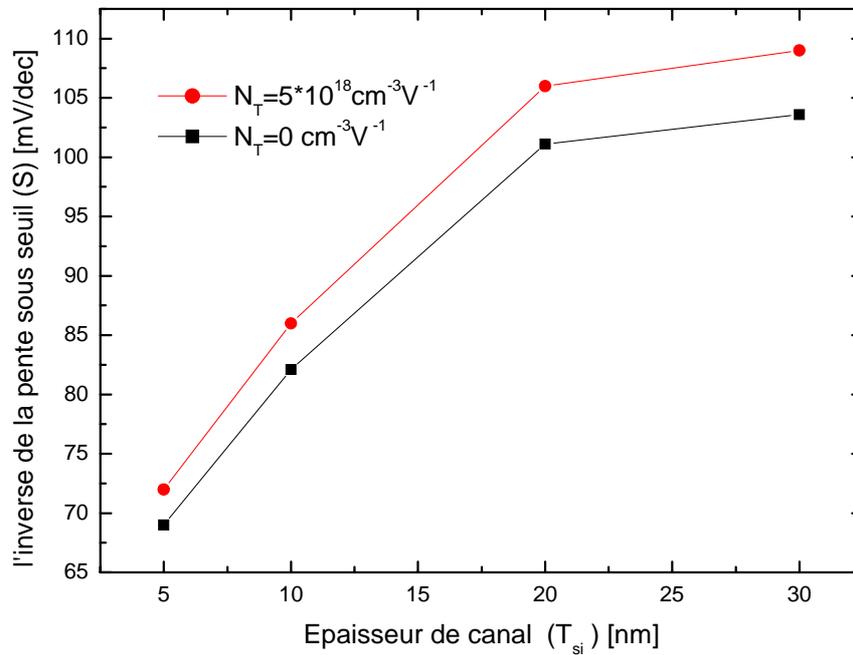


Figure IV.7 L'effet de présence des défauts sur l'inverse de la pente sous seuil (S) en fonction de l'épaisseur du canal (t_{si}) pour le transistor DG MOSFET [52].

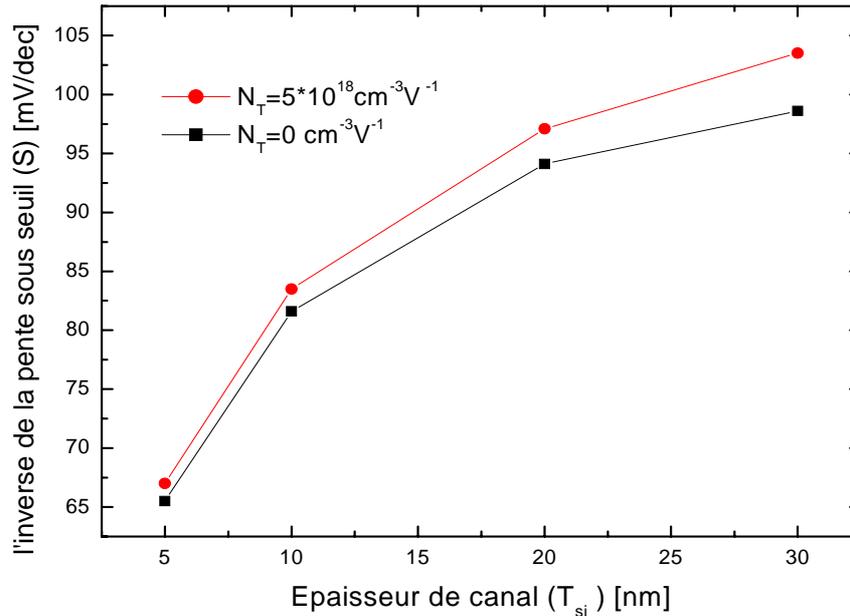


Figure IV.8 L'effet de présence des défauts sur l'inverse de la pente sous seuil (S) en fonction de l'épaisseur du canal (t_{si}) pour le transistor GAA MOSFET [52].

IV.4.2 Interprétation des résultats

Une petite valeur de l'inverse de la pente sous seuil est nécessaire pour fournir une valeur adéquate du courant on-to-off, de tel sorte qu'un transistor DG/GAA MOSFET peut fonctionner comme un commutateur. Le transistor DG/GAA MOSFET à canal long complètement dépeuplé a une valeur idéale de l'inverse de la pente sous seuil (S). Les résultats obtenus montrent la loi de variation de l'inverse de la pente sous seuil (S) en fonction de la longueur de grille avec la présence des défauts. Il peut être remarqué que l'inverse de la pente sous seuil (S) augmente rapidement à mesure que la longueur de canal du transistor DG/GAA MOSFET diminue ainsi la valeur idéal peut être obtenu quand $N_T = 0$ avec une longueur de canal $L > 100\text{nm}$. Lorsque le canal est complètement dépeuplé (régime de déplétion) avec $N_T = 0$, la charge totale se compose d'accepteur ionisé et ne varie pas en fonction du potentiel. Par conséquent, la capacité de déplétion devient nulle entraînant $S = 60\text{mV/dec}$. Dans le cas où $N_T \neq 0$ c'est-à-dire en présence des défauts (pièges), l'augmentation de la charge influe sur la largeur de la zone de déplétion et par conséquent une augmentation de la capacité de déplétion C_D . Il est à noter que (S) ne peut pas atteindre sa valeur idéale (60mV/dec) en présence des défauts contrairement au transistor sans défauts. En régime de déplétion (canal complètement dépeuplé), l'inverse de la pente sous seuil (S) continue à diminuer avec la diminution du diamètre (GAA)/ l'épaisseur du silicium (DG). Le nombre des défauts est proportionnel avec le diamètre de canal (GAA) / l'épaisseur de canal (DG). Le

nombre des défauts est diminué pour canaux courts, parce que les défauts sont annihilés à la surface pendant le processus de recristallisation [50]. Donc Pour des longueurs de canal très courtes ($L < 30\text{nm}$) l'effet de présence des défauts est presque négligeable (figures IV.5 et IV.6).

IV.5 Conclusion

Un modèle numérique a été développé pour prédire et comparer les performances du transistor DG et GAA MOSFETs. Nous avons observé une dégradation de l'inverse de la pente sous seuil lorsque la densité de charge des pièges augmente. La réduction des dimensions des deux architectures a montré une diminution de la dégradation engendrée par la présence des défauts à l'interface Si/SiO₂.

CONCLUSION GÉNÉRALE

CONCLUSION GENERALE

La miniaturisation du transistor MOSFET nécessite une modélisation qui permet de prendre en compte les effets de la réduction de canal dans le but d'évaluer de nouvelles architectures prometteuses. Dans le cadre de projet de ce mémoire, nous avons présenté une contribution à l'étude et la modélisation du transistor MOSFET fortement submicronique. On s'intéresse principalement à l'élaboration des modèles numériques basés sur la méthode des éléments finis permettant:

- l'étude de la variation de l'inverse de la pente sous seuil en fonction de la longueur du canal, du dopage et de l'épaisseur du canal des structures DG/GAA MOSFETs;
- l'étude de l'impact de la miniaturisation sur les caractéristiques électriques des dispositifs MOSFETs émergents et plus particulièrement sur les architectures multi-grilles (DG/GAA MOSFETs).

Dans le premier chapitre, nous avons établi les équations de base qui régissent le comportement des transistors MOS et le principe de fonctionnement des transistors MOSFETs à l'échelle micrométrique. L'influence de réduction des dimensions sur le comportement des transistors a été décrite par le phénomène de réduction de canal en plus d'autres phénomènes ont été exposés (DIBL, injection d'électrons chauds,...) qui réduisent les performances électriques des dispositifs.

Dans le deuxième chapitre, on a cité quelques outils mathématiques pour la résolution numérique des problèmes physiques. Plus précisément, on a présenté la méthode des éléments finis pour aborder la résolution approchée d'équations beaucoup plus générales et on a terminé par la méthode de Newton Raphson.

La modélisation numérique des transistors DG/GAA MOSFETs en régime sous seuil, l'étude de l'effet du profil du dopage qui constitués l'essentiel de notre travail font l'objet du troisième chapitre suivi d'une présentation et discussion des différents résultats obtenus.

Le dernier chapitre a été dédié à l'analyse de l'inverse de la pente sous seuil en présence des défauts.

En perspective, l'étude des architectures prometteuses à l'échelle atomique (quantique), nécessite le développement de d'autres codes de calcul qui prennent en considération les effets quantiques, par ce que le code de calcul qui a été développé dans ce travail n'est plus valable pour des dimensions de canal inférieur à 5 nm.

**RÉFÉRENCES
BIBLIOGRAPHIQUES**

Bibliographie

- [1] **J.E. Lilienfeld**, Amplifier for electric currents, US Patent No. 1,877,140, application filed December 8, 1928, granted September 13, 1932.
- [2] **John Bardeen et al**, three electrode circuit element, U.S. Patent No. 2,524,035, Issued October 3, 1950. Filed June 17, 1948.
- [3] **Jack Kilby**, Miniaturized Electronic Circuits, U.S. Patent No. 3,138,743, June 23, 1964.
- [4] **Bo Lojek**, History of semiconductor engineering, Springer, 2007.
- [5] **William Aspray**, Chasing Moore's Law Information Technology Policy In The United States, SciTech Publishing, ISBN 1891121332, 2004.
- [6] **Gray-Meyer**, Analysis and Design of Analog Integrated Circuits (Gray-Meyer) with solutions, 2001
- [7] **B. Razavi**, Design of analog CMOS integrated circuits, Mc Graw Hill, Boston, 2001.
- [8] **Sandrine Bernardini**, modélisation des structures métal-oxyde-semiconducteur (MOS) : applications aux dispositifs memoires, Thèse de doctorat en électronique, universite d'Aix-Marseille I, 2004.
- [9] **M. Bescond, K. Nehari, N. Cavassilas, D. Munteanu, M. Lannoo, and J.L. Autran**, Quantum transport in modeling of nanoscale MOSFETs, Proceedings of Ultimate Lithography and Nanodevice Engineering conference, Agelonde (France), Juin 2004 (Invited paper).
- [10] **Sang-Hyun Oh, Don Monroe, and J. M. Hergenrother**, Analytic Description of Short-Channel Effects in Fully-Depleted Double-Gate and Cylindrical, Surrounding-Gate MOSFETs, IEEE Electron Device Letters, Vol. 21, N^o. 9, September 2000.
- [11] **L.D. Yau**, A Simple Theory to Predict the threshold Voltage of Short-Channel IGFET's, IEEE J. of Solid State Electron., vol. 9, n^o3, pp. 256-263, 1974.
- [12] **Jérôme Saint-Martin**, étude par simulation Monte Carlo d'architectures de MOSFET ultracourts à grille multiple sur soi, Université De Paris-Sud (France), 2004.
- [13] **O. Seiki , P.J.Tsang et al.**, Design and Characteristics of the Lightly Doped Drain- Source (LDD) Insulated Gate Field-Effect Transistor, IEEE Transactions on Electron Devices, vol. 27, n^o8, pp. 1359-1367, 1980.

- [14] **K. Rim, J.L. Hoyt, and J.F. Gibbons**, Fabrication and analysis of deep submicron strained-Si n-MOSFET's, *IEEE Trans. Electron Dev.* 47, 1406, 2000.
- [15] **F. Payet, N. Cavassilas, and J.L. Autran**, Simulation of hole phonon-velocity in strained Si/SiGe metal-oxide-semiconductor transistor, *J. Appl. Phys.* 95, 717, 2004.
- [16] **D. Munteanu**, Modélisation et caractérisation des transistors SOI : du pseudo-MOSFET au MOSFET submicronique ultra-mince, Thèse INPG, 1999.
- [17] **Marc Bescond**, modélisation et simulation du transport quantique dans les transistors mos nanométriques, thèse de doctorat, 26 novembre 2004.
- [18] **J. P. Colinge, X. Baie, V. Bayot, and E. Grivei**, A silicon-on-insulator quantum wire, *Solid-State Electron.*, vol. 39, no. 1, pp. 49–51, 1996.
- [19] **X. Huang, W. C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y. K. Choi, K. Asano, V. Subramanian, T. J. King, J. Bokor, and C. Hu**, Sub 50 nm FinFET: PMOS, in *IEDM Tech. Dig.*, 1999, pp. 67–70.
- [20] **Z. Jiao and C. A. T. Salama**, A fully depleted channel SOI nMOSFET, in *Proc. Electrochem. Soc.* 2001–3, 2001, pp. 403–408.
- [21] **J. P. Colinge, M. H. Gao, A. Romano-Rodriguez, H. Maes, and C. Claeys**, Silicon-on-insulator gate-all-around device, in *IEDM Tech.Dig.*, 1990, pp. 595–598.
- [22] **D. Hisamoto, T. Kaga, Y. Kawamoto, and E. Takeda**, A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET, in *IEDM Tech. Dig.*, 1989, pp. 833–836.
- [23] **F.-L. Yang**, 25 nm CMOS Omega FETs, in *IEDM Dig.*, 2002, pp. 255–258.
- [24] **J. T. Park, J. P. Colinge, and C. H. Diaz**, Pi-gate SOI MOSFET, *IEEE Electron Device Lett.*, vol. 22, pp. 405–406, Aug. 2001.
- [25] **Weize Xiong, Gabriel Gebara, Joyti Zaman, Michael Gostkowski, Billy Nguyen, Greg Smith, David Lewis, C. Rinn Cleavelin, Rick Wise, Shaofeng Yu, Michael Pas, Tsu-Jae King, and J. P. Colinge**, Improvement of FinFET Electrical Characteristics by Hydrogen Annealing, *IEEE Electron Device Letters*, Vol. 25, N^o 8, 2004
- [26] **T. Sekigawa, and Y. Hayashi**, Calculated threshold voltage characteristics of an XMOS transistor having an additional bottom gate, *Solid-State electron.* 27-827, 1984.
- [27] **D. Hisamoto, T. Kaga, Y. Kawamoto, and E. Takeda**, A fully depleted lean-channel transistor (DELTA)- a novel vertical ultra thin SOI MOSFET, *IEDM Tech. Digest*, p.833, 1989.

- [28] **Qiang Chen, Bhavna Agrawal, and James D. Meindl**, A Comprehensive Analytical Subthreshold Swing (S) Model for Double-Gate MOSFETs, IEEE Transaction Electron Devices, vol. 49, N° 6, June 2002.
- [29] **Z. Ren, R. Venugopal, S. Datta, M. Lundstrom, D. Jovanovic, and J. Fossum**, The ballistic nanotransistor: A simulation study, IEDM Tech. Dig., pp. 715–718, 2000.
- [30] **Fayçal Djeflal**, Modélisation et simulation prédictive du transistor MOSFET fortement submicronique. Application à la conception des dispositifs intégrés, Thèse de Doctorat, Université de Batna, Avril 2006.
- [31] **Benjamín Iñiguez, Tor A. Fjeldly, Antonio Lázaro, François Danneville, and M. Jamal Deen**, Compact-Modeling Solutions For Nanoscale Double-Gate and Gate-All-Around MOSFETs , IEEE Transactions On Electron Devices, VOL. 53, N°9, September 2006.
- [32] **Hamdy Mohamed Abd Elhamid**, compact modeling of multiple gate MOS devices, Thèse de Doctorat, University of Rovira I Virgili Tarragona-Spain, 2007.
- [33] **D. Jiménez, B. Iñiguez, J. Suñé, L. F. Marsal, J. Pallarès, , J. Roig, and D. Flores**, Continuous Analytic $I-V$ Model for Surrounding-Gate MOSFETs, IEEE Electron Device Letters, vol. 25, N° 8, August 2004.
- [34] **A.Strass**, Nano-MOSFETs for future ULSI applications, Solid State Technology, 65- 74, 1996.
- [35] **A.N. Broers**, Fabrication limits of electron beam lithography and UV, X-ray and ion beam lithographies, Phil. Trans. R.Soc.Lond. A, 291-311, 1995.
- [36] **M. Henini**, Molecular Beam Epitaxy From Research to Mass-Production-Part1, III-V Review, Vol 9.
- [37] **M. A. Pinsky**, Partial Differential Equation and Boundary Value Problems with applications, Mc Graw Hill, 1998.
- [38] **E. Kreyszig**, Advanced Engineering Mathematics, Jhon Wiley and Sons, 1983.
- [39] **M. D. Greeberg**, Application of Green's functions in science and engineering, Prentice Hall, New Jersey, 1971.
- [40] **J. Jin**, Finite Element Method in Electromagnetics, John Wiley and Sons, 1983.
- [41] **Nassima Brioua**, Elaboration d'un code de calcul de champ 2D dans les structures électromagnétiques utilisant la méthode des éléments finis, Thèse de Magistère, Université de Batna, 2003.

- [42] **G. Dhatt, G. Touzot**, une presentation de la méthode des éléments finis, Presses de l'Université Laval, 1981.
- [43] **M. Boumaharat, A. Gourdin**, Méthodes Numériques Appliquées, Office des Publications Universitaires, 1993.
- [44] **J.T. Park, J.P. Colinge**, A scaling theory for fully-depleted, surrounding-gate MOSFET's: including effective conducting path effect, IEEE.Trans. Electron. Dev. 49(12) (2002) 2229.
- [45] **F. Djeffal, Z. Dibi, M.L. Hafyane, A. Benhaya**, Design and simulation of a nanoelectronic DG MOSFET current source using artificial neural networks Materials. Sc and Eng C. 27 (2007) 1116.
- [46] **F. Djeffal, M.A. Abdi, Z. Dibi, M. Chahdi, A. Benhaya**, A neural approach to study the scaling capability of the undoped Double-Gate and cylindrical Gate All Around MOSFETs, Materials Sciences &Engineering B, Elsevier, vol 147, Issues (3), 2008.
- [47] **Qiang Chen, Bhavna Agrawal, and James D. Meindl**, A Comprehensive Analytical Subthreshold Swing (S) Model for Double-Gate MOSFETs, IEEE Transaction Electron Devices, vol. 49, no. 6, June 2002.
- [48] **X. Lin, C. Feng, S. Zhang, W.H. Ho, M. Chan**, Characterization of double gate MOSFETs fabricated by a simple method on a recrystallized silicon film, Solid-State. Electronics. 48(2004) 2319.
- [49] **X. Zeng, Z. Xu, J.K.O. Sin, Y. Dai, C. Wang**, IEEE. Trans. Electron. Dev.48 (2001).
- [50] **H-J. Cho, J. D Plummer**, Modeling of Surrounding Gate MOSFETs With Bulk Trap States, IEEE. Trans. Electron. Dev.54 (2007)169.
- [51] **Thierry Di Gilio**, Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13 μm - 2nm, Thèse de Doctorat, l'Institut Supérieur de l'Electronique etdu Numérique (ISEN) à Toulon, 2006.
- [52] **M.A. Abdi, F. Djeffal, M.L. Hafiane and D. Arar**, Numerical analysis of Double Gate and Gate All Around MOSFETs with Bulk Trap States, Journal of Materials Science: Materials in Electronics, Springer, to appear in April 2008.
- [53] **B. Agrawal**, Comparative scaling opportunities of MOSFET structures for gigascale integration (GSI), Ph.D. dissertation, Rensselaer Polytech. Inst., Troy, NY, 1994.

ANNEXE A



A neural approach to study the scaling capability of the undoped Double-Gate and cylindrical Gate All Around MOSFETs

F. Djeflal^{a,*}, M.A. Abdi^a, Z. Dibi^a, M. Chahdi^b, A. Benhaya^a

^a LEA, Department of Electronics, University of Batna, Algeria

^b LEPCM, Department of Physics, University of Batna, Algeria

Received 12 June 2007; received in revised form 19 July 2007; accepted 31 August 2007

Abstract

The Double-Gate and Gate All Around MOSFETs are two of the most promising candidates for the scaling of CMOS technology down to nanometer range. The excellent electrostatic control of the channel by the gate reduces dramatically short channel effects, such as charge sharing and DIBL. So, the objective of this work is to investigate and compare the scaling capability of the undoped DG and GAA MOSFETs using the artificial neural networks (ANNs). The optimization of this latter is based on the development of numerical models of subthreshold swing (S) for short channel Double-Gate and Gate All Around MOSFETs under various modes of operation based on a two-dimensional analysis of electrostatics in the channel region by solving the two-dimensional Poisson equation with the mobile charge term included, and apply the physical insights gained from these models to investigate the impact of process variations on device characteristics. This study leads to the conclusion that cylindrical geometry is superior to the equivalent Double-Gate structure both in terms of the electrostatic control of the channel and the current ratio I_{on}/I_{off} , indicating that the subthreshold slope is better controlled by the GAA MOSFET.

© 2007 Elsevier B.V. All rights reserved.

Keywords: Artificial neural network; DG MOSFET; GAA MOSFET; Subthreshold swing; Scaling capability; Graphical abacus

1. Introduction

Multi-gate MOS transistors are widely recognized as one of the most promising solution for meeting the roadmap requirements for ultimate nanometer scale [1]. A wide variety of multi-gate architectures, including Double-Gate (DG), Gate All Around MOSFETs (GGA), have been proposed in the recent literature [2]. The Double-Gate MOSFET architecture is a potential solution to overcome short channel effects (SCE) in the 65-nm International Technology Roadmap for Semiconductors (ITRS) node [1,2]. The advantages advocated for DG MOSFETs include: ideal subthreshold slope; volume inversion [3] (for symmetric DG); setting of threshold voltage by the gate work function thus avoiding dopants and associated number fluctuation effects; etc. There are two main types of DG MOSFETs: (1) a symmetric type with both gates of identical work functions so that the two surface channels turn on at the same gate voltage and (2) an asymmetric type with different work functions for

the gates and only one channel turns on at the threshold voltage [4]. The Gate All Around MOSFETs in which the gate oxide and the gate electrodes wrap around the channel region exhibit excellent transconductance and short channel behaviour because the strong confinement of the electric field from the Gate All Around the channel [5]. This device is particularly beneficial when it is used as a switching device in arrayed structures such as high-density dynamic random access memory (DRAM) and static random memory (SRAM) cells where a small device geometry and low leakage current are essential [6]. If the design parameters of GAA MOSFETs are optimized, it is expected that the short channel effects are adequately suppressed. Schematic representations of different multi-gate architectures are shown in Fig. 1.

Basing on the importance of these both architectures, in this paper we investigate the fully-depleted DG and GAA MOSFETs at miniaturization limits compatible with the 45 nm ITRS node and, in doing so, we tackle the coupled Boltzmann–Poisson equations within both a 2D box and a cylindrical domain. More specifically, we solve a 2D Poisson equation coupled with as many Boltzmann equations as the number of mesh points within the domain of modelling. Assuming a concept of effective conducting path [7], the numerical model explains the dependence

* Corresponding author. Tel.: +213 73796503; fax: +213 33 924540.
E-mail address: faycaldzdz@hotmail.com (F. Djeflal).

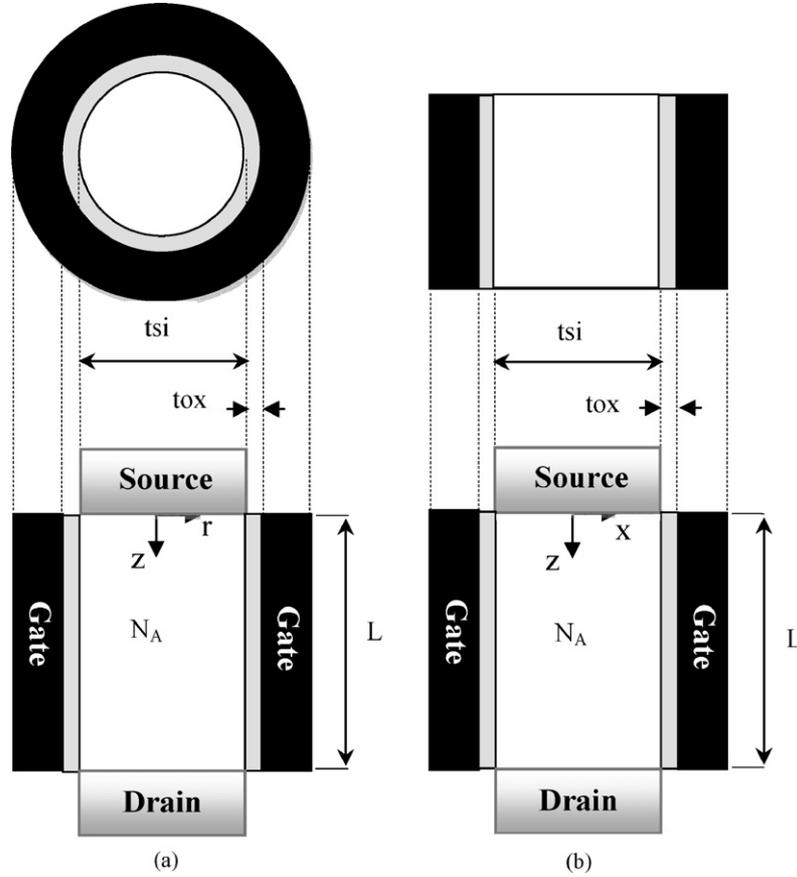


Fig. 1. Cross sections structures and coordinates. (a) Gate All Around and (b) Double-Gate structures are shown. Uniform channel doping and metal-like source/drain regions are used in all simulations.

of subthreshold swing (S) according to the doping of the channel and the effect of the various electrical and geometrical parameters. The database used for the optimization of the neural network is built based on a numerical model of the subthreshold swing (S) developed using the finite elements method (FEM). ANN structure obtained from this optimization will be used to study the scaling capability of both architectures DG and GAA MOSFETs.

2. Modelling mythology

2.1. Numerical computations

Refer to Fig. 1 by accounting for the angular symmetry of the GAA MOSFET, the Poisson equations for potential ϕ in the above structures take the form

$$\text{DG structure : } \frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial z^2} = \frac{q(N_A + n(x, z))}{\epsilon} \quad (1)$$

$$\text{GAA structure : } \frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \phi}{\partial r} \right) + \frac{\partial^2 \phi}{\partial z^2} = \frac{q(N_A + n(r, z))}{\epsilon} \quad (2)$$

where the electrostatic potential ϕ is referenced to the Fermi level. The free electron concentration n follows the classic Boltzmann distribution as $n = n_i e^{(\phi - \phi_F)/V_T}$ where V_T is the thermal

voltage (KT/q), n_i represents the intrinsic electron concentration and ϕ_F is the difference between the Fermi level and the electron quasi-Fermi level to account for the non-equilibrium condition, satisfying the following boundary conditions for both cases (DG and GAA):

DG structure:

$$\phi_F(0, x) = 0 \quad (3a)$$

$$\phi_F(L, x) = V_{DS} \quad (3b)$$

GAA structure:

$$\phi_F(0, r) = 0 \quad (4a)$$

$$\phi_F(L, r) = V_{DS} \quad (4b)$$

V_{DS} being the drain voltage.

The boundary conditions for ϕ are found by satisfying the continuity of both the potential and the normal component of the electric displacement at the Si/SiO₂ interfaces; and continuity of the potential at the source/drain sides:

DG structure:

$$\epsilon_{ox} \frac{V_{\text{Beff}} - \phi(z, t_{Si/2})}{t_{ox}} = \epsilon_{Si} \frac{\partial \phi(z, x)}{\partial x} \Big|_{x = t_{Si/2}} \quad (5a)$$

$$\epsilon_{ox} \frac{V_{\text{Beff}} - \phi(z, t_{-Si/2})}{t_{ox}} = \epsilon_{Si} \frac{\partial \phi(z, x)}{\partial x} \Big|_{x = t_{-Si/2}} \quad (5b)$$

$$\phi(0, x) = V_{bi} \quad (5c)$$

$$\phi(L, x) = V_{bi} + V_{DS} \quad (5d)$$

where V_{bi} is the junction voltage between the source/drain and intrinsic silicon, $V_{bi} = (KT/q)\ln(N_{D/S}/n_i)$, $N_{D/S}$ the source/drain doping concentration and V_{DS} is the drain-to-source voltage. V_{Feff} and V_{Beff} , represent the effective voltages at the front and bottom gates.

GAA structure:

$$C_{ox} \left(V_{GS} - \phi_{ms} - \phi \left(x, \pm \frac{t_{Si}}{2} \right) \right) = \epsilon_{Si} \frac{\partial \phi(x, r)}{\partial r} \Big|_{r=(t_{Si}/2)} \quad (6a)$$

$$\phi(0, r) = V_{bi} \quad (6b)$$

$$\phi(L, r) = V_{bi} + V_{DS} \quad (6c)$$

where V_{GS} is the gate voltage and ϕ_{ms} is the gate work function referenced to intrinsic silicon.

Determination of the potential ϕ requires Eqs. (1) and (2) to be coupled with a transport equation for both architectures (DG or GAA). Thus, this is a two-dimensional nonlinear problem of the second order defined inside the channel by the Eqs. (1) and (2) and the boundary conditions at the Si/SiO₂ interfaces (Cauchy condition) and the continuity of the potential at the source/drain sides (Dirichlet condition).

The integral form of our two-dimensional nonlinear problem by finite elements formalism without boundary conditions for each architecture is given as

$$\begin{aligned} DG : \quad R(\phi) \\ = - \iint \left[\frac{\partial w}{\partial x} \frac{\partial \phi}{\partial x} + \frac{\partial w}{\partial z} \frac{\partial \phi}{\partial z} - w \cdot \frac{q(N_A + n(x, z))}{\epsilon_{Si}} \right] dA = 0 \end{aligned} \quad (7a)$$

$$\begin{aligned} GAA : \quad R(\phi) = - \iint \left[w \frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \phi}{\partial r} \right) + \frac{\partial w}{\partial z} \frac{\partial \phi}{\partial z} \right. \\ \left. - w \frac{q(N_A + n(r, z))}{\epsilon_{Si}} \right] dA = 0 \end{aligned} \quad (7b)$$

This leads to the matrix system:

$$[R(\phi)] = [K][\phi] - [F(\phi)] = 0 \quad (7c)$$

where $[R(\phi)]$ is the residual vector, $[K]$ the stiffness matrix, $[\phi]$ the vector of the unknown potentials and $[F]$ is the vector of the field sources. The nonlinear system (7c) is solved for each architecture by the Newton–Raphson method. Subthreshold swing, defined as the change of gate voltage needed for an order-of-magnitude change in the subthreshold drain current, is expressed as

$$S = \frac{\partial V_{GS}}{\partial \log I_D} \quad (8)$$

Assuming that the drain current (I_D) is proportional to the total amount of free carriers at the virtual cathode, where the channel potential reaches its minimum ($\phi_m(x)$ and $\phi_m(r)$), (8) can be

transformed for both architectures [7,8] to

$$DG : \quad S = \left[\frac{\int_0^{t_{Si}/2} \exp(\phi_m/V_T) \left(\frac{\partial \phi_m}{\partial V_{GS}} \right) dx}{\int_0^{t_{Si}/2} \exp(\phi_m/V_T) dx} \right]^{-1} V_T \ln(10) \quad (9a)$$

$$GAA : \quad S = \left[\frac{\int_0^{t_{Si}/2} \exp(\phi_m/V_T) \left(\frac{\partial \phi_m}{\partial V_{GS}} \right) dr}{\int_0^{t_{Si}/2} \exp(\phi_m/V_T) dr} \right]^{-1} V_T \ln(10) \quad (9b)$$

Therefore, the key to development of an (S) model is to find out the minimum channel potential and its dependence on the gate voltages. The calculation of the channel potential by the finite elements method enables us to determine the variation of the minimum potential, where the minimum channel potential can be found through $\partial \phi(x, z)/\partial z = 0$ for DG architecture and

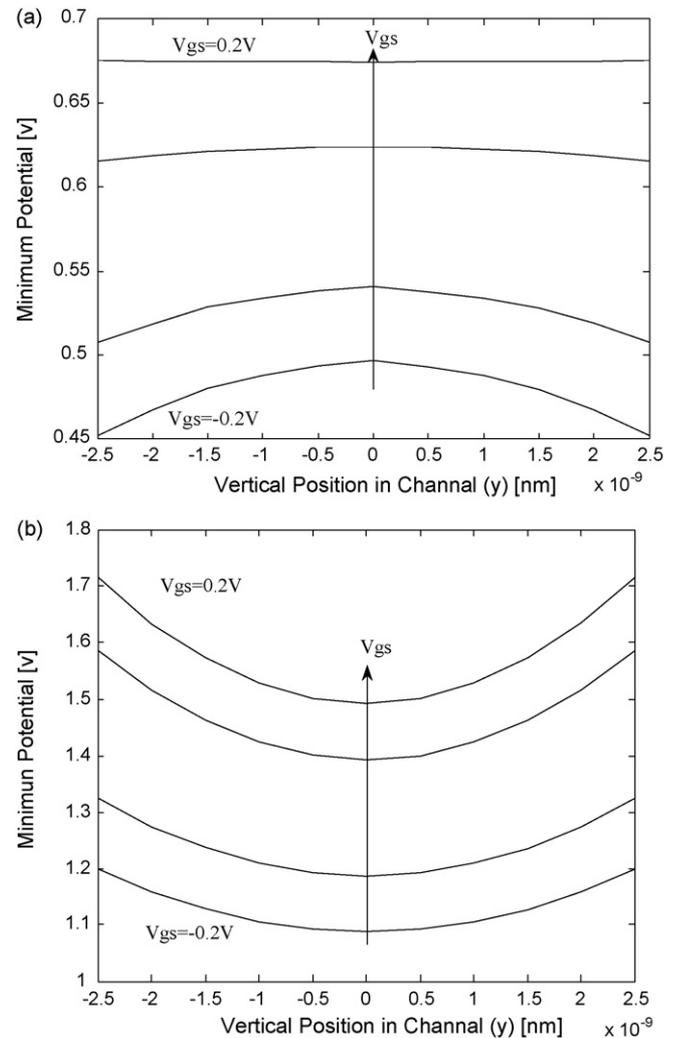


Fig. 2. Variation of the minimum channel potential for various gate voltages (V_{GS}) for (a) Gate All Around and (b) Double-Gate structures ($t_{Si} = 5$ nm, $t_{ox} = 1.5$ nm, $L = 10$ nm and $N_A = 10^{16}$ cm⁻³).

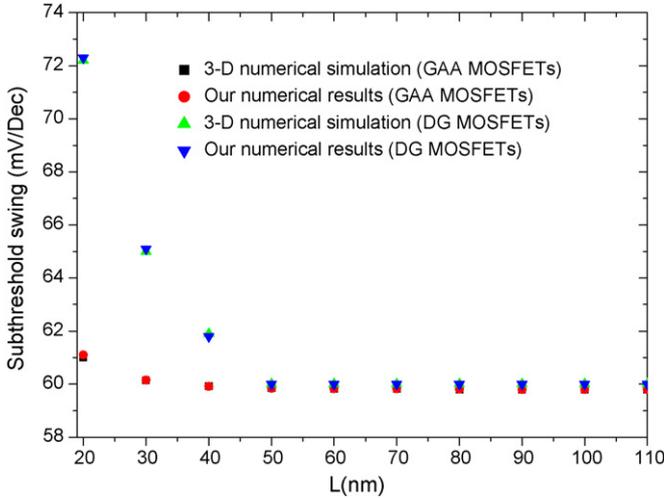


Fig. 3. The subthreshold swing for both architectures with $t_{Si}=5$ nm and $t_{ox}=1.5$ nm.

$\partial\phi(r,z)/\partial z=0$ for GAA architecture. Fig. 2 represents the variations of the minimum channel potential ($\phi_m(x)$ and $\phi_m(r)$) for various gate voltages (V_{GS}).

In order to validate our numerical model, we have compared our results with 3-D numerical simulation results [8] for different channel lengths where a good agreement is observed for both architectures (Fig. 3). Basing on the efficiency proven by our numerical model to study the DG MOSFETs in subthreshold domain and the difficulty imposed at the moment by the constraints of the nanotechnology to form an experimental database [9], we have used our numerical model in order to form the database which will be used to optimize our radial basis function neural networks (RBFNNs) that have several advantages over conventional computing methods. Those advantages are robustness to input and system noise, learning from examples, ability to memorize, handling situations of incomplete information and corrupted data, performing in real-time and computing speed.

2.2. Neural computations

Artificial neural network-based methods have been widely used for modelling various complex non-linear processes (signal processing, classification and speech recognition). The model based on artificial neural network [10] assumes that input and output patterns of a given problem are related by a set of neurons organized in hidden layers. Each neuron called processing unit forward the input values to the output pattern using simple mathematical rules. Radial basis function (RBF) networks are a relatively new class of ANNs. In several investigations [11,12], their suitability for nonlinear system modelling has been demonstrated. They consist of an input, one hidden and an output layer which are interconnected in a feedforward way from the input to the output layer. Our multiple-input/single-output (MISO) structure of an RBF network is shown in Fig. 4, where x is the input vector given as function of gate length L , oxide thickness t_{ox} , silicon thickness t_{Si} , channel doping concentration N_A , and device architecture DG/GAA, subthreshold swing S is the output vector

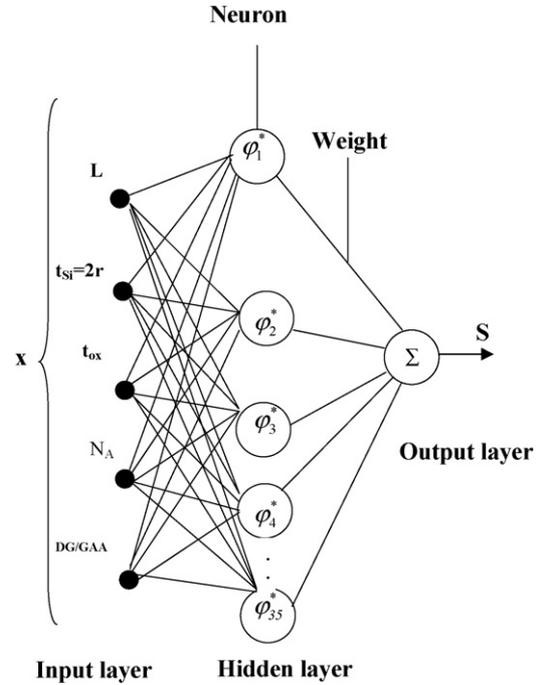


Fig. 4. The optimized RBF structure considered in this study.

and φ_i^* is the radial basis function. Applying the network structure shown in Fig. 4, the input/output mapping can be described by

$$S = \sum_{i=1}^m P_i \varphi_i^*(\|x(k) - \xi_i\|) \quad (10)$$

where x is the input vector, m the number of neurons in the hidden layer, P_i , $i=1, \dots, m$, the output gains (weights) of the hidden layer and ξ_i , $i=1, \dots, m$ are the centres of the basis functions. Introducing $\|x(k) - \xi_i\| = R$, the most notable RBF functions are as follows:

(a) Gaussian function:

$$\varphi^*(r) = \frac{1}{\sqrt{2\pi\lambda}} \exp\left(-\frac{R^2}{2\lambda^2}\right), \quad \lambda > 0$$

(b) Reciprocal multiquadratic function:

$$\varphi^*(r) = \frac{1}{\sqrt{(R^2 + \lambda)}}, \quad \lambda > 0$$

(c) Multiquadratic function:

$$\varphi^*(r) = \sqrt{(R^2 + \lambda)}, \quad \lambda \geq 0$$

(d) Thin plate spline function:

$$\varphi^* = R^2 \log(r), \quad \lambda > 0$$

The variable λ is a design parameter which specifies the form of the function.

Table 1
The algorithm of optimization used for our RBFNN

Radial basis function (RBF) algorithm

- Assign connections weights
 - Output layer weights assigned to small random numbers

Initialise

- For the hidden layer
 - Use a small number of iterations of the k-means algorithm
 - Determine hidden layer centres by fitting a Gaussian mixture model with circular covariances using the EM algorithm
 - Set Gaussian activation functions widths to the maximum inter-centre squared distance.

Iterate until convergence

- For the output layer
 - $P_{ij}(t+1) = P_{ij}(t) + \Delta P_{ij}$

where

- $\Delta P_{ij} = \eta \delta_i \mu_j$

where η is the learning rate, and

- $\delta_i = T_i - \mu_i$

where T_i is the target output activation and μ_i is the actual output activation at unit i .

Repeat until convergence

For the optimization of our RBFNN, we have used an RBF algorithm, developed by Bishop [13] and Nabney [14] for use within the MATLAB Neural Networks Tools, which uses a combination of unsupervised learning in a hidden layer, and a supervised learning technique in the output layer, schematically represented in Table 1. The optimized ANN structure was selected based on the minimal residual error found from the set of the optimal structures (Fig. 4). In the training process, the weights are corrected according to the Bishop and Nabney algorithm. The RBFNNs had a hidden layer with 35 units and Gaussian basis functions, were trained by 1000 cases and tested in a separated set of 150 cases, and gave the results that are showed in the Fig. 5.

3. Scaling capability of DG MOSFET and GAA MOSFET

Optimization process (training and testing) was conducted for 10,000 cycles for which stabilization of the error was obtained. Neuron number in the hidden layer is varied and the associated optimization error was recorded. This allowed to obtain an optimal configuration in which $m = 35$ neurons (Fig. 4). For this structure, the residual error was 0.008 and almost 100% of the submitted cases were learnt correctly (output errors were less than 4%). In order to validate the generalisation capability of the optimized network structure, a set of test data, i.e. data not used in the training stage, is supplied as the inputs. If the error between the predicted and expected values of output is small enough, the network is well trained. For our optimized network, a good agreement between numerical and predicted results was found (Fig. 5). Hence, the optimized structure can be used to predict other combinations of input variables with very low computational cost in comparison with numerical approach. Obtained results can be explained by the fact that the ANN is characterized

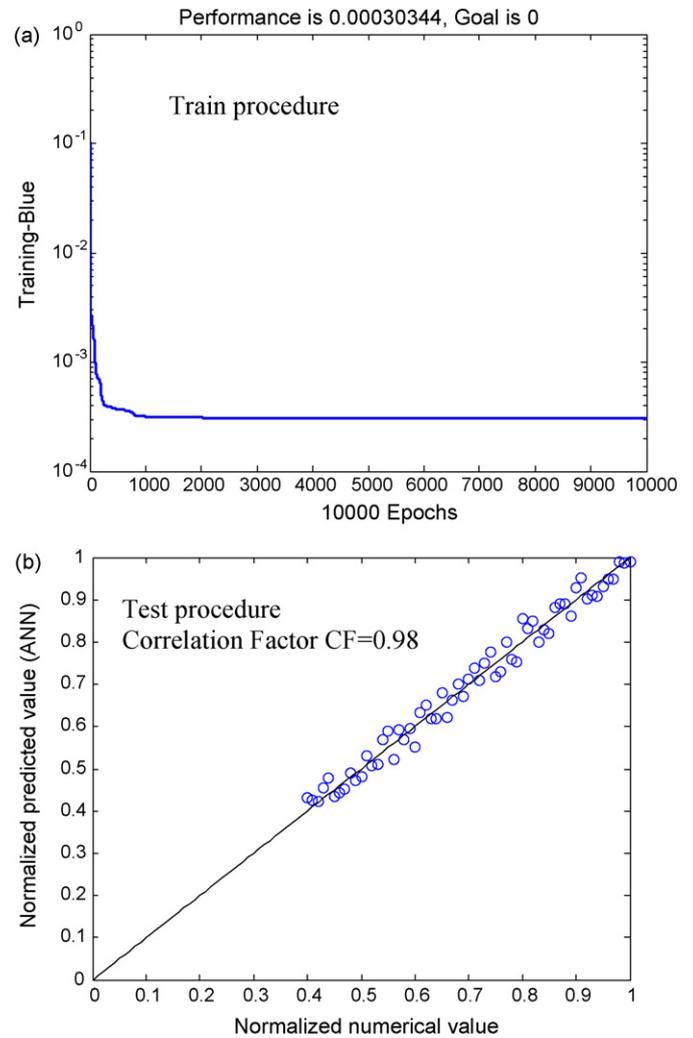


Fig. 5. Validation of neural network result. (a) Evolution of the performance index (mean square error of the ANN) during the training procedure. (b) Predicted swing factor versus numerical results for test set.

as computational model based on parallel distributed processing of data [9].

The predicted results of our optimized RBFANNs are used to form a graphical abacus which allows to study the scaling capability of the symmetric DG MOSFET and GAA MOSFET as it is illustrated in Fig. 6, where the minimum channel length versus t_{si} is projected for $S = 100$ mV/dec and $S = 70$ mV/dec (t_{ox} is assumed to be 0.8 nm). Clearly, 10 nm DG MOSFETs are likely to find their first applications in conditions where $S = 100$ mV/dec is tolerable. The evolution of the subthreshold swing for the GAA MOSFET shows the effect of the Gate Around on the law of scaling capability of the GAA MOSFET. Clearly, 10 nm GAA MOSFETs are likely to be used for the condition where $S = 70$ mV/dec is tolerable.

The scaling capability is predicted for both devices and compared in Fig. 6 for equal electrical and geometrical parameters. Clearly, the GAA MOSFET provides better subthreshold swing and a smaller off-current I_{off} with respect to DG MOSFET. Also, the available subthreshold swing to be about 100 mV/dec for the former structure as opposed to 70 mV/dec for the latter. This

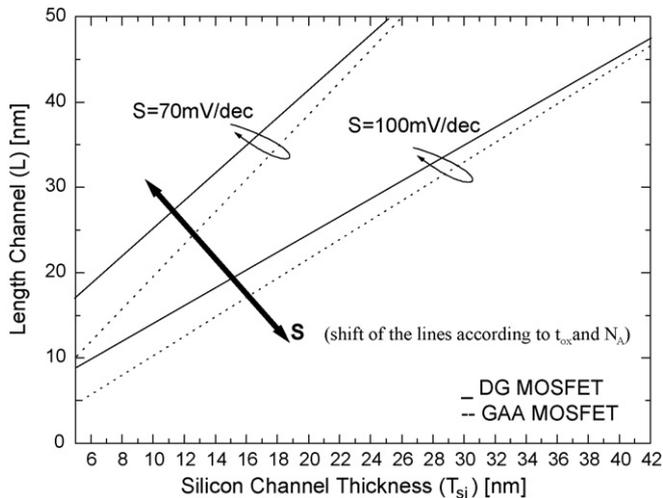


Fig. 6. Graphical abacus who allows to study the scaling capability of the DG and GAA MOSFETs with $t_{ox} = 0.8 \text{ nm}$ and $N_A = 5.10^{15} \text{ cm}^{-3}$.

makes the GAA MOSFET an interesting device architecture for digital applications.

4. Conclusions

The capability of an artificial neural network-based approach to predict the scaling capability of the undoped Double-Gate and cylindrical Gate All Around MOSFETs has been investigated. To this end, we have investigated and compared the performance of DG and GAA MOSFETs for the digital applications. This study was based on the study of the effect of different electrical and geometrical parameters on subthreshold swing. A numerical model of the subthreshold swing was built based on the resolution of the 2D Poisson–Boltzmann nonlinear equation in the

channel using the finite element method. The use of this numerical model enabled us to build the required database in order to optimize our Artificial Neural Network (RBFANN) predictor. The comparison of the device architectures shows that the GAA MOSFET exhibits a superior performance with respect to the DG MOSFET both in terms of subthreshold swing and therefore I_{on}/I_{off} current ration. We are currently extending this model to include the quantum effects (t_{si} less than 5 nm and L less than 10 nm).

References

- [1] The International Technology Roadmap for Semiconductor (2004), available from: (<http://public.itrs.net>).
- [2] S.H. Oh, D. Monroe, J.M. Hergenrother, IEEE Electron Dev. Lett. 21 (9) (2000) 445–447.
- [3] E. Gnani, S. Reggiani, M. Rudan, G. Baccarani, J. Comp. Electron. 4 (2005) 71–74.
- [4] S. Mitra, A. Salman, D.P. Ioannou, C. Tretz, D.E. Ioannou, Solid-State Electron. 48 (2004) 1727–1732.
- [5] H.J. Cho, J.D. Plummer, IEEE Trans. Electron. Dev. 54 (1) (2007) 166–169.
- [6] H.J. Cho, F. Namati, P.B. Griffin, J.D. Plummer, VLSI Symp. Tech. Dig., 1998, pp. 38–39.
- [7] Q. Chen, B. Agrawal, J.D. Meindl, IEEE Trans. Electron. Dev. 49 (6) (2002) 1086–1090.
- [8] H. Abd-Elhamid, B. Iniguez, D. Jiménez, J. Roig, J. Pallarès, L.F. Marsal, Solid-State Electron. 50 (2006) 805–812.
- [9] F. Djéffal, M. Chahdi, A. Benhaya, M.L. Hafyane, Solid-State Electron. 51 (2007) 48–56.
- [10] F. Djéffal, S. Guessasma, A. Benhaya, M. Chahdi, Semicond. Sci. Technol. 20 (2005) 158–164.
- [11] S.A. Billings, G.L. Zheng, J. Neural Netw. 8 (6) (1995) 8905.
- [12] A. Cichocki, R. Unbehauen, Neural Networks for Optimization and Signal Processing, John Wiley & Sons, 1993.
- [13] C.M. Bishop, Neural Networks for Pattern Recognition, Oxford University Press, Oxford, 1997.
- [14] I.T. Nabney, Efficient Training of RBF Networks for Classification, Aston University, Birmingham, 1999.



**The 12th International Conference on Defects–
Recognition, Imaging, and Physics in Semiconductors**

September 9-13th, 2007 Berlin, Germany

*Max-Born-Institut für Nichtlineare Optik und
Kurzeitspektroskopie*

Ferdinand-Braun-Institut für Höchstfrequenztechnik



Conference chairs: Jens W. Tomm and Ute Zeimer

-to whom it may concern-

Mr. Amir Mohamed Abdi
Adress: Wilhelmstr. 25
Shilton Hotel
13593 Berlin Spandau.
Tel :017668453937

Tel.: +49-(0)30-6392-1453
+49-(0)30-6392-2679
Fax: +49-(0)30-6392-1459
+49-(0)30-6392-2685
e-mail: drip12@mbi-berlin.de
drip12@fbh-berlin.de

id 7894

Thursday, 27 September 2007

Attestation of participation DRIP XII Conference

Herewith we confirm the successful participation of Mr. Amir Mohamed Abdi at the DRIP-XII conference.

On behalf of the organizers, best regards,

Conference Chair.

Numerical analysis of Double Gate and Gate All Around MOSFETs with bulk trap states

M. A. Abdi · F. Djeflal · D. Arar · M. L. Hafiane

Received: 20 September 2007 / Accepted: 11 December 2007
© Springer Science+Business Media, LLC 2007

Abstract This paper investigates the scaling capability of Double Gate (DG) and Gate All Around (GAA) MOSFETs using a numerical analysis of the two-dimensional coupled Boltzmann distribution-Poisson equations in which the traps effects have been considered. Using this numerical model, we have studied the effects of the defects on the scalability limits of DG and GAA MOSFETs and compared their performances. We have found that, the scaling capability of both architectures made in recrystallized silicon will be improved as the diameter (or silicon thickness for DG structure) of device is reduced, because the small device size decreases the defect density in the channel.

1 Introduction

As the conventional silicon metal-oxide-semiconductor field-effect transistor (MOSFET) approaches its scaling limits, many novel device structures are being extensively explored. Among them, the multi-gate transistor (GAA and DG-MOSFETs) has attracted broad attention from both the semiconductor industry and academia. To understand device physics in depth and to assess the performance limits of multi-gate transistor, simulation is becoming increasingly important [1–3]. Employing these devices for digital applications becomes more beneficial if the device is made in recrystallized silicon due to highly flexible process integration options [4, 5]. There have been several reports of nano-MOSFETs fabricated in recrystallized

silicon for high-density digital integrated circuits [4]. It has also been reported that large number of crystalline defects such as dislocations and stacking faults are observed in the crystallized silicon pillar structure instead of large grain boundaries [6]. It is due to the unique fabrication procedure based on patterned amorphous silicon followed by recrystallization annealing at low temperature. The key electrical parameter for digital applications that indicates the impact of short-channel effects on a MOSFET is the subthreshold swing (S). This is defined as the required change in gate voltage that results in an order-of-magnitude change in the subthreshold drain current.

In this work, we investigate the DG and GAA-MOSFETs at miniaturization limits compatible with the 45 nm ITRS node [7] including bulk traps effects and, in doing so; we tackle the coupled Boltzmann distribution-Poisson equations within both a 2D box and a cylindrical domain. More specifically, we solve a 2D Poisson equation coupled with as many Boltzmann distribution functions as the number of mesh points within the domain of modelling. Assuming a concept of effective conducting path [8], the numerical model explains the dependence of subthreshold swing (S) according to the doping of the channel, silicon thickness, oxide thickness and channel length with various trap state densities. The subthreshold swing of both architectures made in recrystallized silicon will be improved as the diameter (or silicon thickness for DG structure) of device is reduced, because the small device size decreases the defect density in the channel. Numerical models obtained from this work will be used to study the effect of bulk traps on the scaling capability of both structures DG and GAA-MOSFETs.

This paper is organized as follows. In Sect. 2, we derive a numerical potential distribution for a multi-gate device structure. The subthreshold swing can then be determined

M. A. Abdi · F. Djeflal (✉) · D. Arar · M. L. Hafiane
LEA, Department of Electronics, University of Batna,
Batna, Algeria
e-mail: faycaldzdz@hotmail.com

based on the potential model. In Sect. 3, we investigate the scalability of DG and GAA-MOSFETs including bulk and interface traps effects based on our calculated S. The conclusions will be drawn in Sect. 4.

2 Numerical analysis

Figure 1 shows the cross sections of the DG MOSFET and GAA MOSFET considered in this work. The n^+ source and drain are highly doped ($\cong 10^{20} \text{ cm}^{-3}$), the channel is practically undoped ($\cong 10^{16} \text{ cm}^{-3}$). We assume that the structure is homogeneous along the y direction. Hence, we obtain an invariance of the electrical parameters in the y direction (infinite boundary conditions), so that the problem is studied in a (x, z) -domain and (r, z) -domain for both structures DG and GAA respectively (Fig. 1) [2, 8]. All computations have been done at room temperature. The energy band diagram used in the analysis is shown in Fig. 2, where The shaded areas in the band diagram represent two types of traps density, the variable trap charge diagram depending on the channel potential (dark area), and fixed trap charge determined by uniform bulk traps (gray area).

Refer to Fig. 1 by accounting for the angular symmetry of the GAA-MOSFET, the channel electrostatics potential $\phi(x,y)$ is governed by the Poisson equation with the trap state density term included:

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial z^2} = \frac{q(N_A + n(x, z) + N_T \phi)}{\epsilon} \quad \text{(DG)} \quad (1)$$

$$\frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \phi}{\partial r} \right) + \frac{\partial^2 \phi}{\partial z^2} = \frac{q(N_A + n(r, z) + N_T \phi)}{\epsilon} \quad \text{(GAA)} \quad (2)$$

where the electrostatic potential $\phi(x, z)$ is referenced to the Fermi level. The free electron concentration n follows the

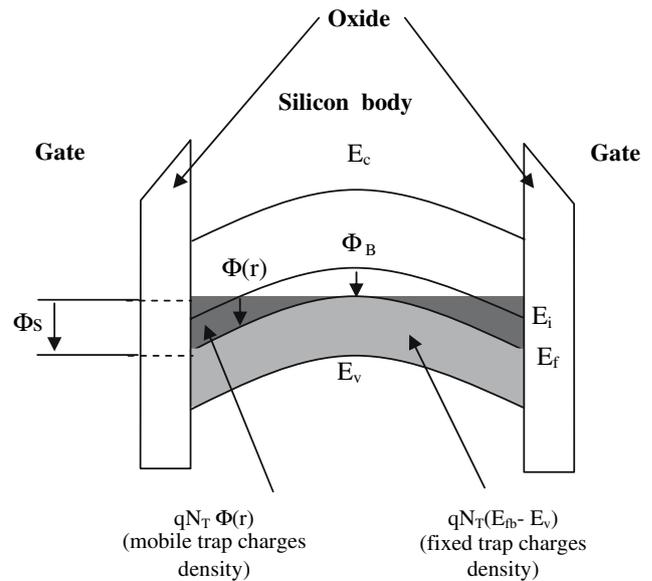


Fig. 2 Energy band diagram used in this study for both structures (DG/GAA-MOSFET)

classic Boltzmann distribution function as $n = n_i e^{(\phi - \phi_F)/V_T}$ with V_T is the thermal voltage (KT/q), n_i represents the intrinsic electron concentration, and ϕ_F is the difference between the Fermi level and the electron quasi-Fermi level to account for the non-equilibrium condition, satisfying the following boundary conditions for both cases (DG and GAA):

$$\text{(DG):} \quad \phi_F(0, x) = 0 \quad (3a)$$

$$\phi_F(L, x) = V_{DS} \quad (3b)$$

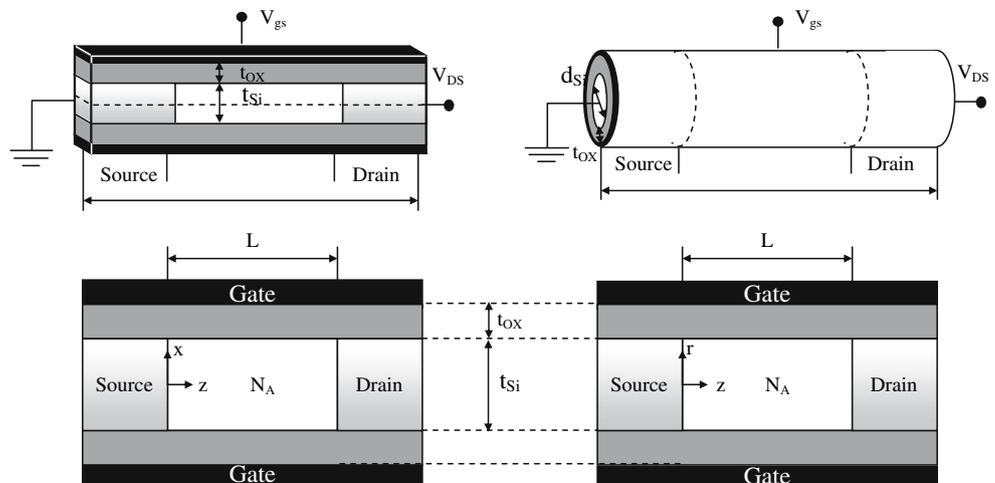
$$\text{(GAA):} \quad \phi_F(0, r) = 0 \quad (4a)$$

$$\phi_F(L, r) = V_{DS} \quad (4b)$$

V_{DS} being the drain voltage.

The boundary conditions for ϕ are found by satisfying the continuity of both the potential and the normal

Fig. 1 GAA and DG MOSFETs considered in this work: (a) Three device structure and (b) cross section. Uniform channel doping and metal-like source/drain regions are used in all simulations



component of the electric displacement at the Si/SiO_2 interfaces; and continuity of the potential at the source/drain sides:

$$(DG): \quad \epsilon_{ox} \frac{V_{F_{eff}} - \phi(z, t_{si}/2)}{t_{ox}} = \epsilon_{si} \frac{\partial \phi(z, x)}{\partial x} \Big|_{x=t_{si}/2} \quad (5a)$$

$$\epsilon_{ox} \frac{V_{B_{eff}} - \phi(z, t_{-si}/2)}{t_{ox}} = \epsilon_{si} \frac{\partial \phi(z, x)}{\partial x} \Big|_{x=t_{si}/2} \quad (5b)$$

$$\phi(0, x) = V_{bi} \quad (5c)$$

$$\phi(L, x) = V_{bi} + V_{DS} \quad (5d)$$

where V_{bi} is the junction voltage between the source/drain and intrinsic silicon, $V_{bi} = (KT/q)\ln(N_{D/S}/n_i)$, $N_{D/S}$ is the source/drain doping concentration, n_i is the intrinsic silicon density, and V_{DS} is the drain-to-source voltage. $V_{F,eff}$ and $V_{B,eff}$, represent the effective voltages at the front and bottom gates.

(GAA):

$$C_{ox} \left(V_{GS} - \phi_{ms} - \phi \left(x, \pm \frac{t_{Si}}{2} \right) \right) = \epsilon_{Si} \frac{\partial \phi(x, r)}{\partial r} \Big|_{r=\frac{t_{Si}}{2}} \quad (6a)$$

$$\phi(0, r) = V_{bi} \quad (6b)$$

$$\phi(L, r) = V_{bi} + V_{DS} \quad (6c)$$

where V_{GS} is the gate voltage, ϕ_{ms} is the gate work function referenced to intrinsic silicon.

Determination of the potential ϕ requires Eq. 1 or 2 to be coupled with a transport equation (Boltzmann distribution function) for both architectures (DG or GAA). Thus, this is a two-dimensional nonlinear problem of the second order defined inside the channel by the equations (1 and 2) and the boundary conditions at the Si/SiO_2 interfaces (Cauchy condition) and the continuity of the potential at the source/drain sides (Dirichlet condition). As was assumed in [6, 9] for the analysis of conventional poly-Si

MOSFETs, we assume that neutral trap states are uniformly distributed within the silicon bandgap (Fig. 2). Therefore, the bulk trap charge density $n_T(\text{cm}^{-3})$ is expressed as

$$n_T = - \int_{E_v}^{E_c} N_T f(E) dE \quad (7)$$

where $f(E)$ is the Fermi-Dirac occupation function and N_T is the trap state density (assumed to be an acceptor type). Assuming that traps are fully occupied below the Fermi level E_f and fully empty above the Fermi level [6, 10], (7) becomes $n_T = -N_T(E_f - E_v)$. This trap charge density can be divided into two terms

$$(DG): \quad n_T = -N_T(E_{fb} - E_v) - qN_T\phi(x) \quad (8a)$$

$$(GAA): \quad n_T = -N_T(E_{fb} - E_v) - qN_T\phi(r) \quad (8b)$$

The second term in Eqs. 8a and b is trap charge density proportional to the potential in the device and the first term represents a uniform charge density due to the bulk traps. These two components can be represented by the areas in the band diagram in Fig. 2, where the variable trap charge depending on the channel potential (dark area) and the fixed trap charge determined by uniform bulk traps (gray area). The uniform trap charge can be considered by incorporating it in the initial doping concentration and the corresponding Fermi level [6]. This later is obtained from the charge neutrality equation as

$$N_v e^{-\left(\frac{E_{fb}-E_v}{KT}\right)} = N_a^{in} + N_T(E_{fb} - E_v) \quad (9)$$

where N_a^{in} is the initial channel doping concentration and N_v is the density of states in the valence band. The effective doping concentration N_A can be obtained from $N_A = n_i \ln(q\phi_B/KT)$, where ϕ_B represents the bulk potential.

The integral form of our two-dimensional nonlinear problem by Finite Elements formalism without boundary conditions for each architecture is given as:

$$(DG): \quad R(\phi) = - \iint \left[\frac{\partial w}{\partial x} \frac{\partial \phi}{\partial x} + \frac{\partial w}{\partial z} \frac{\partial \phi}{\partial z} - w \frac{q(N_A + n(x, z) + N_T\phi)}{\epsilon_{si}} \right] dA = 0 \quad (10a)$$

$$(GAA): \quad R(\phi) = - \iint \left[w \frac{1}{r} \frac{\partial}{\partial r} \left(r \frac{\partial \phi}{\partial r} \right) + \frac{\partial w}{\partial z} \frac{\partial \phi}{\partial z} - w \frac{q(N_A + n(r, z) + N_T\phi)}{\epsilon} \right] dA = 0 \quad (10b)$$

This leads for each structure to the matrix system:

$$[R(\phi)] = [K][\phi] - [F(\phi)] = 0 \tag{10c}$$

where w represents the weight function, $[R(\phi)]$ is the residual vector, $[K]$ is the stiffness matrix, $[\phi]$ is the vector of the unknown potentials, $[F]$ is the vector of the field sources. The nonlinear system (10c) is solved for each architecture by the Newton-Raphson method.

Assuming that the drain current I_D is proportional to the total amount of free electrons at the virtual cathode and their density $n_m(x)$ for DG structure and $n_m(r)$ for GAA architecture follows the classic Boltzmann distribution function as $n_m(x \text{ or } r) = (n_i^2/N_A)e^{q\phi_{\min}/KT}$, a general subthreshold swing (S) model is obtained as [8, 11]

$$S = \frac{\partial V_{GS}}{\partial \log I_D} \tag{11}$$

For both structures, the subthreshold swing, S, can be expressed as [8, 9]

$$S = \left[\frac{\int_0^{t_{si}/2} \exp(\phi_m/V_T) \left(\frac{\partial \phi_m}{\partial V_{GS}} \right) dx}{\int_0^{t_{si}/2} \exp(\phi_m/V_T) dx} \right]^{-1} V_T \ln(10), \quad \text{DG,} \tag{12a}$$

$$S = \left[\frac{\int_0^{t_{si}/2} \exp(\phi_m/V_T) \left(\frac{\partial \phi_m}{\partial V_{GS}} \right) dr}{\int_0^{t_{si}/2} \exp(\phi_m/V_T) dr} \right]^{-1} V_T \ln(10), \quad \text{GAA.} \tag{12b}$$

Therefore, the key to development of an (S) model is to find out the minimum channel potential ($\phi_m(x)$ and $\phi_m(r)$) and its dependence on the gate voltages. The calculation of the channel potential by the finite elements method enables us to determine the variation of the minimum potential, where the minimum channel potential can be found through $\partial\phi(x,z)/\partial z = 0$ for DG architecture and $\partial\phi(r,z)/\partial z = 0$ for GAA architecture. Figure 3 represents the variations of the minimum channel potential ($\phi_m(x)$ and $\phi_m(r)$) for various gate voltages (V_{GS}) including the effect of the bulk trap states.

3 Scalability of DG and GAA MOSFETs

A small subthreshold swing is required to provide an adequate value of the on-to-off current ratio so that a DG/GAA-MOSFET can effectively work as a switch. The subthreshold swing of a long channel fully depleted DG/GAA-MOSFET has an ideal value ($S = 60 \text{ mV/dec}$). To

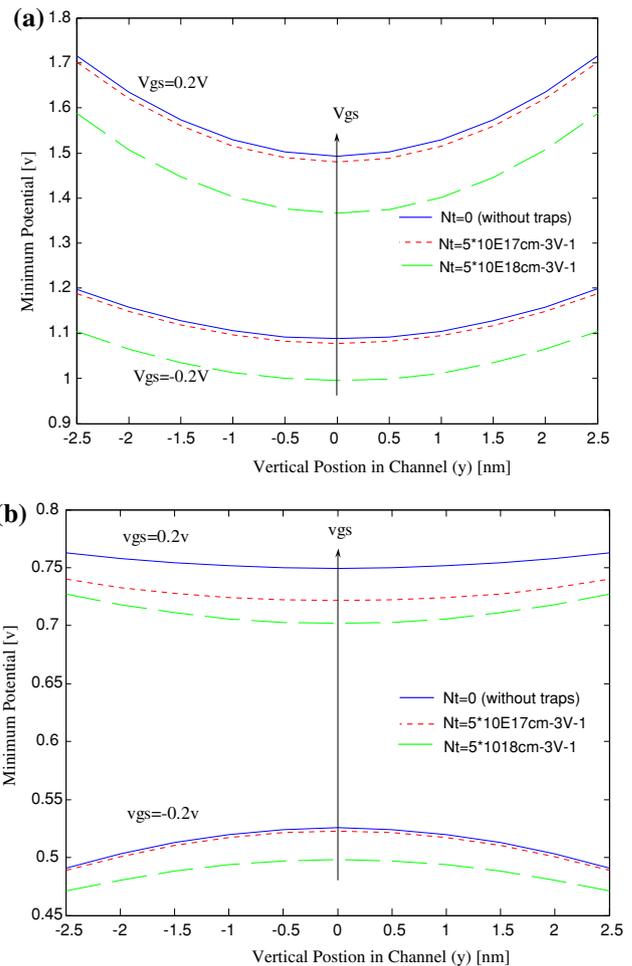


Fig. 3 Variation of the minimum channel potential including traps effect for various gate voltages (V_{GS})

have an acceptable performance, the subthreshold swing has to be close to the ideal value. Figure 4 plots the subthreshold swing as a function of the device dimensions calculated from our numerical model. It can be noticed that the subthreshold swing increases rapidly as the device lengths decrease and reaches the ideal subthreshold swing value when $N_t = 0$ and for Channel length $L > 100 \text{ nm}$. At full depletion with $N_t = 0$, the total charge consists of ionized acceptor and it does not change with potential. Therefore, the depletion capacitance becomes zero resulting in $S = 60 \text{ mV/dec}$ from our numerical model. In the case of a device with traps, the charge is increased which changes the depletion width resulting in increasing the depletion capacitance. It is noticed that the subthreshold swing does not reach its ideal value when $N_t > 0$ contrary to the device with no traps. At full depletion, the subthreshold swing continues to drop with decreasing device diameter (GAA)/silicon thickness (DG). The number of trap charges is proportional to the device diameter

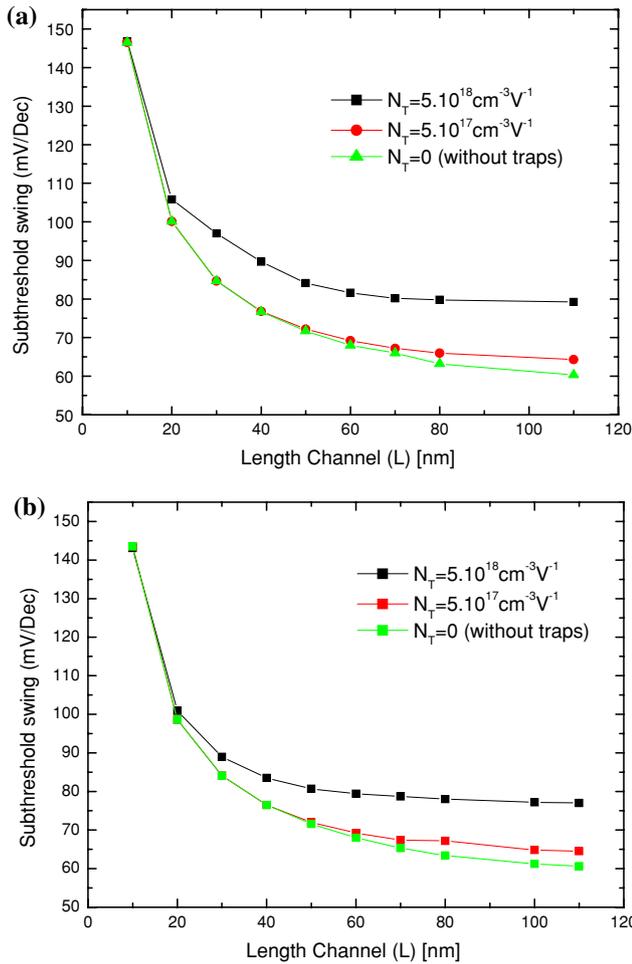


Fig. 4 Subthreshold swing versus channel length with various trap state densities ($t_{Si} = 30$ nm, and $t_{ox} = 1.5$ nm): (a) DG MOSFET and (b) GAA MOSFET

(GAA)/silicon thickness (DG), resulting in the drop of subthreshold swing with device size shown in Fig. 5.

The predicted results of our numerical model are used to form a graphical abacus which allows to study the scaling capability of the symmetric DG MOSFET and GAA MOSFET including the bulk and interface traps effects as it is illustrated in Fig. 6. The evolution of the subthreshold swing for the GAA MOSFET shows the effect of the Gate Around on the law of scaling capability of the GAA MOSFET. Clearly, 10 nm GAA MOSFETs are likely to be used for the condition where $S = 70$ mV/dec is tolerable. The scaling capability including the defects effect is predicted for both devices and compared in Fig. 6 for equal electrical and geometrical parameters. Clearly, the GAA MOSFET provides better subthreshold swing and a smaller off-current I_{off} with respect to DG MOSFET. Also, the short channel effect is improving as the device diameter (GAA)/silicon thickness (DG) is narrow due to the higher gate to channel coupling relative to source/drain to channel

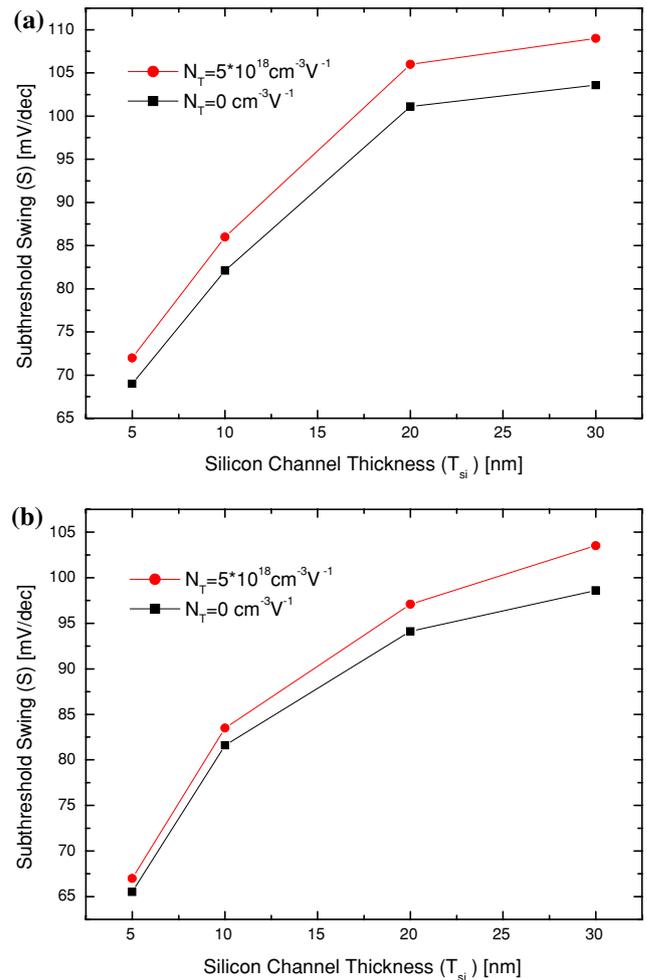


Fig. 5 Subthreshold swing versus silicon thickness (DG)/diameter (GAA) with various trap state densities ($L = 20$ nm, and $t_{ox} = 1.5$ nm) for (a) DG-MOSFET (b) GAA-MOSFET

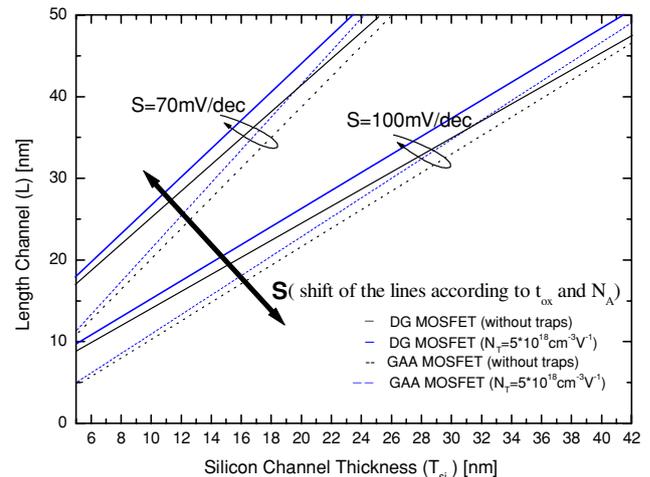


Fig. 6 Graphical abacus who allows to study the scaling capability of the DG and GAA MOSFETs including traps effect

coupling. Such narrow width devices tend to have fewer defects, because defects are annihilated at the surface during the recrystallization process when the surface to bulk ratio is high [6]. The most important conclusion is that the GAA-MOSFET can satisfy the same subthreshold swing value ($S = 70$ mV/dec) as DG-MOSFET with channel 10% shorter than that given by DG-MOSFET (without traps) and 25% (with traps). This makes the GAA MOSFET an interesting device architecture for digital applications.

4 Conclusions

In this paper, we have presented 2D scalable models for the subthreshold swing for Double Gate (DG) and Gate All Around MOSFET (GAA) in order to investigate the scalability limits of these devices when uniformly distributed bulk traps presented. The numerical model has been used to predict and compare the performances of downscaled DG and GAA MOSFET. We have observed a degradation of the subthreshold swing as the number of bulk traps is increased. The electrical performances of both structures (DG and GAA) will be improved as the diameter (GAA)/silicon thickness (DG) of device is reduced, because the

small device size decreases the defect density in the channel. We are currently extending this model to include the quantum effects where the device size is very small (less than 5 nm).

References

1. J.T. Park, J.P. Colinge, IEEE Trans. Electron. Dev. **49**(12), 2229 (2002)
2. F. Djeflal, M. Chahdi, A. Benhaya, M.L. Hafyane, Solid-State Electron. **51**, 56 (2007)
3. F. Djeflal, Z. Dibi, M.L. Hafyane, A. Benhaya, Mater. Sci. Eng. C **27**, 1116 (2007)
4. X. Lin, C. Feng, S. Zhang, W.H. Ho, M. Chan, Solid-State Electron. **48**, 2319 (2004)
5. X. Zeng, Z. Xu, J.K.O. Sin, Y. Dai, C. Wang, IEEE Trans. Electron. Dev. **48**, 1010 (2001)
6. H.-J. Cho, J.D. Plummer, IEEE Trans. Electron. Dev. **54**, 169 (2007)
7. The International Technology Roadmap for Semiconductor (2004) Available from: <http://www.public.itrs.net>
8. Q. Chen, B. Agrawal, J.D. Meindl, IEEE Trans. Electron. Dev. **49**(6), 1090 (2002)
9. H. Hayama, W.I. Milne, Solid-State Electron. **33**(2), 286 (1990)
10. H.-J. Cho, J.D. Plummer, in *Proceeding of IEEE International SOI Conference*, Wakefield, Massachusetts, USA, October 2000
11. A.H. Hamdy, J. Roig, B. Iniguez, Solid-State Electron. **51**(2), 422 (2007)