

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE  
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR  
ET DE LA RECHERCHE SCIENTIFIQUE**

**UNIVERSITE DE BATNA  
FACULTE DES SCIENCES DE L'INGENIEUR**

**MEMOIRE**

*Présenté au*

**DEPARTEMENT D'ELECTRONIQUE**

*Pour l'obtention du diplôme de*

**MAGISTER EN MICROELECTRONIQUE  
Option : IC Design**

*Par*

**Salah HANFOUG**

*Intitulé*

---

# **Conception et layout d'un échantillonneur bloqueur à technologie CMOS 0.35 $\mu$ m**

---

*Le jury d'examen constitué de:*

Dr. HOBAR Farida	Prof.	Université de Constantine	Présidente
Dr. BOUGUECHAL Nour-Eddine	Prof.	Université de Batna	Rapporteur
Dr. DIBI Zohir	M.C.	Université de Batna	Examineur
Dr. HAFDI Zoubeida	M.C.	Université de Batna	Examineur
Dr. BENHAYA Abdelhamid	M.C.	Université de Batna	Examineur

*Dédicace*

*À mes parents*

*À ma famille*

*À mes amis*

## Remerciements

*Ce travail a été effectué en collaboration avec l'Université technique de Berlin en Allemagne. A cet effet, je tiens à exprimer toute ma gratitude à **Dr. O. MANCK**, Professeur à l'université technique de Berlin et directeur général de la société MAZ, pour m'avoir fait confiance, en m'accueillant à l'université de Berlin trois mois et en me facilitant la réalisation de mes travaux de projet dans d'excellentes conditions, et également pour son support et son soutien technique.*

*Je tiens à exprimer mes plus vifs remerciements envers, **Dr. N-E. BOUGUECHAL**, Professeur de l'université de Batna et Doyen de la faculté des sciences de l'ingénieur à l'université de Batna. Je lui adresse toute ma gratitude pour m'avoir permise de travailler dans des bonnes conditions et la confiance en mes capacités, en m'accordant la faveur d'aller réaliser mon projet à Berlin et qui a su, par son encadrement efficace, diriger mes travaux et me forcer à la rigueur et la précision scientifique nécessaires à l'accomplissement de cette thèse.*

*Mes vifs remerciements à **Mme. Farida HOBAR**, professeur à l'université de Constantine, pour avoir accepté de présider le jury et à bien voulu prendre le temps de s'intéresser au sujet du présent mémoire.*

*De même à **Mr. Zohir DIBI**, docteur et chef du département d'électronique de l'université de Batna, pour son aide, aussi m'a-t-il honoré de faire partie du jury.*

*Je tiens à remercier vivement **Mme. Zoubeida HAFDHI**, docteur et chargé de cours à l'institut d'électronique à l'université de Batna, pour m'avoir honoré par sa présence au jury.*

*Je remercie également Mr Benhaya ABDELHAMID, chargé de cours à l'institut d'électronique, pour son aide, pour l'honneur qu'il me fait en figurant dans la composition du jury.*

*Je remercie également Radouane jeghader, Hafiane lamine, Rouchan, et A.hamoda pour leurs conseils et leurs aides pendant le stage.*

*Enfin, je dois une dette certaine à ma famille et à mes parents, qui ont été mes plus fidèles supporteurs et qui m'ont aidé à traverser cette période.*

*Hanfoug Salah*

## Résumé

Dans ce travail on a présenté la conception, la simulation et layout d'un Amplificateur Opérationnel à Transconductance (OTA) qui fonctionne avec une faible tension d'alimentation, l'OTA est conçu en technologie CMOS 0.35 $\mu$ m, on a utilisé une architecture standard composée de deux étages, un étage d'entrée différentiel, suivi d'un étage de sortie cascode, L'OTA est fondamentalement un OP-AMP sans buffer de sortie, L'OTA sans buffer utiliser seulement avec les charges capacitifs (la grille du transistor MOS), l'optimisation de l'OTA selon les spécifications de cahier des charges afin l'utiliser en les différentes architectures du circuit échantillonneur bloqueur.

L'OTA folded cascode est largement utilisé dans les circuits des switchers à haute fréquence qui en raison de ses nombreux avantage, en particulier, l'OTA folded cascode est caractérisé par un grand gain en boucle ouverte (comme le gain de l'OTA à deux étages), est facile à compensé (le condensateur de charge est également condensateur de compensation) et à la différence de l'OTA à deux étages l'OTA folded cascode ne souffre pas de la dégradation de fréquence du taux de rejection d'alimentation (PSRR),

**Les mots clés :** OTA, Folded cascode, technologie CMOS, échantillonneur bloqueur, switch.

## Abstract

In this work one presented the design, simulation and layout of an Operational Transconductance Amplifier (OTA). which functions with a low voltage supply, the OTA is designed in technology CMOS 0.35 $\mu$ m, one used a standard architecture composed of two stages, a differential stage of entry, followed of a stage of exit cascode, the OTA is basically a OP-AMP without buffer of exit, the OTA without buffer to use only with the loads capacitive (the gate of transistor MOS)., the optimization of OTA according to specifications' of schedule of conditions so using it in different architectures of the circuit sample and holde.

The OTA is a widely used op-amp in high-frequency switched capacitor filters because of its many advantages. In particular, it provides a large gain, it is easier to frequency compensate (the load capacitor is also the compensation capacitor) and unlike the two stage op-amp it does not suffer from frequency degradation of the power supply rejection ratio (PSRR).

**Keywords:** OTA, Folded cascode, CMOS technology, sample and hold, switch.

# Table de matières

Introduction générale	1
<b>Chapitre I : les blocs analogique à technologie CMOS</b>	
I.1 introduction	4
I.2 le transistor MOS	4
I.2.1 la structure du transistor MOS	5
I.2.2 les éléments parasites du transistor MOS	5
I.2.3 les caractéristiques du transistor MOS	6
A. les régions d'opération du transistor MOS	6
B. la tension d'Early	7
C. Transconductance	8
I.2.4. Modele aux petits signaux	8
I.2.5. transistor connecté en diode	9
I.3 les miroirs de courant	9
I.3.1 miroir de courant simple	10
I.3.2 Le montage Wilson	12
I.3.3 Le montage cascode	12
I.3.4 Wide swing miroir de courant	13
I.4 La paire différentielle à technologie CMOS	15
I.5 Amplificateur opérationnel à transconductance	18
I.5.1 Les caractéristiques de OTA	18
I.5.2 Différente configuration d'OTA	19
• L'OTA à une seul étage	19
• L'OTA à deux étages	20
• L'OTA télescopique cascode	21
• L'OTA cascode réglé	21
• L'OTA folded cascode	22
I.6 Les switchers	23
I.6.1 L'injection des charges	24
I.6.2 Les couplages capacitifs d'horloge	24
I.7 Les circuits échantillonneur bloqueur	25
I.7.1 Principe de fonctionnement du circuit EB	25

I.7.2 Configuration en boucle ouverte du circuit EB	26
I.7.3 Configuration en boucle fermée du circuit EB	26
I.8 Conclusion	27

## **Chapitre II : conception et simulation du circuit échantillonneur bloqueur**

II.1 Introduction	29
II.2 Le bloc de polarisation	29
II.3 L'OTA folded cascode	30
II.3.1 L'architecture de l'OTA folded cascode	30
II.3.2 L'analyse en petits signaux	33
II.3.3 Le choix de rapport (W/L)	34
II.3.4 La simulation de l'OTA folded cascode	35
II.3.4.1 Simulation AC	35
II.3.4.2 Analyse DC	40
II.3.4.3 Analyse transitoire	43
II.3.5 Dissipation d'énergie	45
II.4 Circuits échantillonneur bloqueur	45
II.4.1 Configuration en boucle ouverte	45
II.4.2 Configuration en boucle fermée	48
II.5 Des autres types des circuits EB	50
II.5.1 Circuit EB à capacité de Miller	51
II.5.2 Circuit EB à condensateurs commutés	52
II.6 Conclusion	53

## **Chapitre III : dessin des masques**

III.1 Introduction	55
III.2 Les étapes de génération d'un circuit	55
III.2.1 Création	56
III.2.2 Placement	56
III.2.3 Routage	56
III.3 Les considérations de layout	56
III.3.1 Appariement	57
III.3.1.1 Deux classe d'erreurs d'appariement	57

III.3.1.2 Appariement des transistors	58
III.3.1.3 Appariement des capacités	58
III.3.2 Orientation du courant	59
III.3.3 Structure commune centroïde	59
III.3.3.1 L'approche à une dimension	59
III.3.3.2 Structure commune centroïde à deux dimensions	60
III.3.4 La limitation l'effet de la grille	60
III.3.5 Structure dummy	61
III.4 L'effet Antenna	61
III.5 Création de layout par vertuosio XL	62
III.5.1 Les outils de vérification de layout	62
III.5.1.1 DRC (design Rule Check)	62
III.5.1.2 LVS (Layout Versus Schematic)	62
III.6 Layout des composants	62
III.6.1 Layout du transistor MOS	63
III.6.2 Layout de condensateur	63
III.7 Layout de miroir de courant	64
III.8 Layout de l'OTA	64
III.9 Conclusion	65

## **Conclusion générale**

Annexe	69
bibliographie	72

# *Introduction générale*

## Introduction générale

L'évolution de la technologie **VLSI** (**V**ery **L**arge **S**cale **I**ntegration) se sont développées au point où des millions des transistors peuvent être intégrés sur un seul circuit intégré, la complexité des circuits intégrés actuels continue à croître, des systèmes électroniques qui sont réalisés sous forme de cartes sont aujourd'hui intégrés sur une seule puce (system on chip), Dans les dernières années, la technologie **CMOS** a rapidement sommé le champ des circuits intégrés analogues et mixtes (analogique numérique), l'utilisation de ce type de technologie permet d'augmenter la complexité des circuits conçus et en général de diminuer aussi la consommation requise tout en améliorant les performances des fonctions réalisées.

La conversion de données fournit le lien entre le système analogique et numérique, les circuits échantillonneur bloqueur sont des circuits fréquemment utilisés dans les systèmes de convertisseur analogique numérique (**CAN**), un **CAN** est un système qui permet de prélever périodiquement des échantillons d'un signal analogique provenant du monde macroscopique qui nous entoure, et de le quantifier (une valeur numérique est alors affectée à l'échantillon), Depuis l'introduction de la première architecture du circuit échantillonneur bloqueur (mentionne en anglais sample and hold **S&H**, track and hold **T&H**) en 1974, les systèmes d'intégration ont proposé une variété d'architectures favorables dans les différentes technologies, et évolue rapidement avec l'évolution de la technologie des circuits intégrés.

Le but de ce travail est la conception du circuit échantillonneur bloqueur (**E/B**) avec les deux configuration en boucle ouverte et en boucle fermée, la conception du circuit **E/B** est basé sur l'optimisation de l'**OTA** (**O**perational **T**ransconductance **A**mplifier) de type folded cascode, Ce type des amplificateurs opérationnels est largement utilisé dans les circuits des switches à haute fréquence en raison de ses nombreux avantages, en particulier, l'**OTA** folded cascode est caractérisée par un grand gain en boucle ouverte (comme le gain de l'**OTA** à deux étage), facile à compensé (le condensateur de charge est également condensateur de compensation) et à la différence de l'**OTA** à deux étages l'**OTA** folded cascode ne souffre pas de la dégradation de fréquence du taux de rejection d'alimentation (**PSRR**).

Ce travail, est effectué en collaboration avec le groupe de recherche de l'institut de la microélectronique de l'université de **Berlin(TUB)**, ce travail est conçu en technologie **CMOS** 0.35  $\mu\text{m}$  à basse tension, l'outil Cadence Virtuoso est utilisé pour schématique, layout, placement, routage, et la simulation.

### **Organisation de la thèse**

Cette thèse il est constitué de trois chapitres principaux, qui reflètent les différentes facettes de l'étude.

Après une introduction générale, on a introduire le premier chapitre par une brève discussion sur le transistor **CMOS**, ensuite on a présenté les blocs fondamentaux analogique qui sont utilisés particulièrement les miroirs de courant, les différents types d'**OTA** et les circuits échantillonneur bloqueur.

Dans le chapitre II on a présenté les étapes de conception du circuit échantillonneur bloqueur, Tous les résultats de simulation obtenus sont présentés et analysés dans ce chapitre.

Le chapitre III qui est destiné pour layout, on a commencé par une étude sur toutes les contraintes liées à la conception d'un layout ensuite l'application de ces méthodologies pour la conception du layout de l'**OTA**.

**Chapitre I : *Les blocs  
analogique à technologie  
CMOS***

## I.1. Introduction

La technologie CMOS est devenue la technologie la plus utilisée dans le domaine de conception des circuits intègre mixtes, analogiques et digitaux. En raison de leurs fortes densités d'intégration, basse dissipation d'énergie. Afin de réduire le coût et augmenter la portabilité des systèmes.

La base des blocs fonctionnels est des assemblages de quelques éléments pour réaliser des parties des circuits fonctionnels. On a présenté dans ce chapitre après une brève discussion sur le transistor MOS des blocs de base très fréquente utilisé en conception analogique, spécifiquement les miroirs de courant, les différents types des amplificateurs opérationnels à transconductance et les circuits échantillonneur bloqueur.

## I.2. Le transistor MOS

Les transistors MOSFETs (**M**etal-**O**xide-**S**ilicon **F**ield-**E**ffect **T**ransistor) sont devenus dominants dans la partie des circuits intégrés digitaux parce qu'ils caractérisant par haute densité d'intégration et basse dissipation d'énergie (Les portes **CMOS** dissipent la puissance seulement pendant la commutation). Par contre, les transistors bipolaires fournissent toujours beaucoup d'avantages dans les circuits intégrés analogiques (la transconductance de transistor bipolaire est habituellement beaucoup plus haut que du transistor **MOS**), la technologie bipolaire est souvent préférée pour les circuits intégrés analogiques et la technologie **MOS** pour le digital.

Pour réduire le coût de système et augmenter la portabilité, plus grand niveaux d'intégration et la dissipation d'énergie réduite sont exigent pour utiliser la technologie **MOS** dans la conception des circuits intègres analogiques.

Les tensions mesurées sur les bornes du transistor **MOS** sont nommées

**VGS**: tension entre la grille et la source du transistor

**VDS**: tension entre le drain et la source du transistor

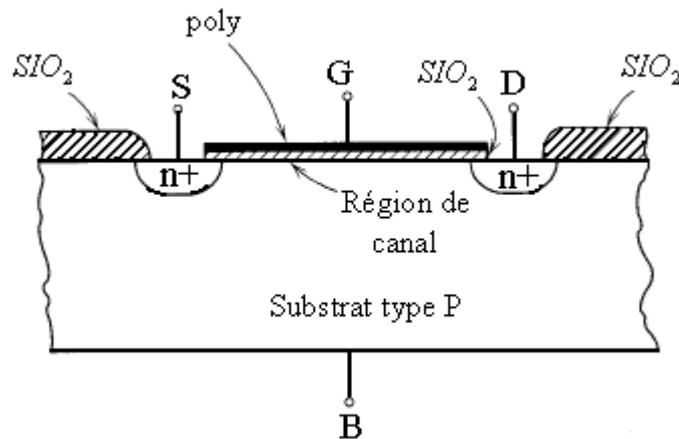
**VD**: tension de drain du transistor

**VG**: tension de la grille du transistor

**VS**: tension de la source du transistor

### I.2.1 La structure de transistor MOS

La structure du transistor canal n (NMOS) est montrée dans la figure (I.1), ce dispositif de canal n est formé avec deux régions fortement dopées n+ diffuses dans le substrat type p légèrement dopé, les deux régions n+ sont appelées le drain et la source, et sont séparés par une distance L.



**Figure I.1:** le transistor MOS

La tension de grille source ( $V_{gs}$ ) modifie la conductibilité de la région sous la grille, la tension de grille est contrôlée conductibilité entre la source et le drain. Cette commande peut être employée pour utiliser le transistor comme un amplificateur dans les circuits analogiques et switcher dans les circuits digitaux. [1]

### 1.2.2 Les éléments parasites du transistor MOS

A chaque jonction sont associées une diode et une capacité de jonction. Ces capacités limitent la fréquence maximale de fonctionnement du circuit intégré et sont un important facteur de la consommation de courant des circuits haute fréquence digitaux et analogiques.

Les éléments dominants sont la capacité grille-source, la capacité de recouvrement grille-drain et la capacité de jonction drain-source.

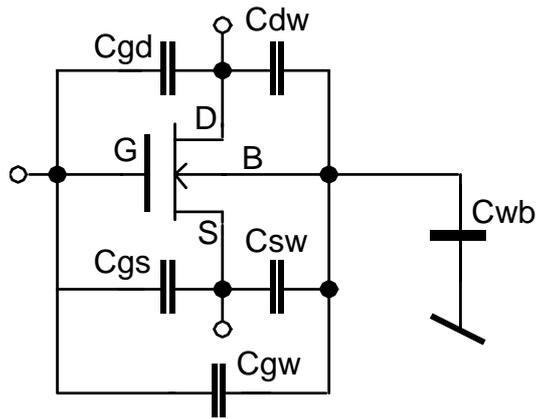


Figure I.2: les éléments parasites du transistor MOS

### I.2.3 Les caractéristiques du transistor MOS

#### A. Les régions d'opération du transistor MOS

Les différentes régions de fonctionnement du transistor **MOS** sont montrées dans la figure (I.3), Notez que la triode région et active région sont équivalentes à la région linéaire et à la région de saturation respectivement.

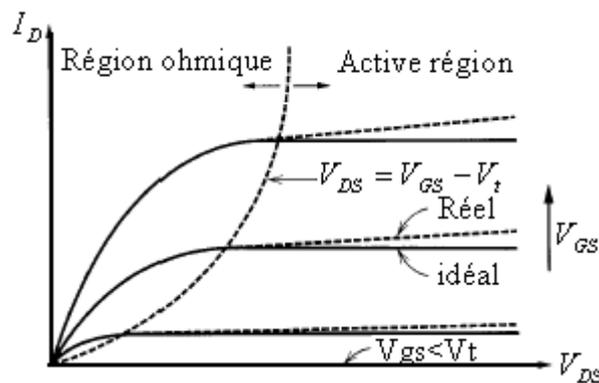


Figure I.3: caractéristique I-V de transistor MOS

Les expressions du courant de drain en les différent région pour le transistor **NMOS** sont comme suit.

✓ **Faible inversion (régime ohmique)**

Pour une tension grille-source plus de tension seuil et tension drain-source est au-dessous de sa tension seuil, Le transistor **NMOS** opère en région ohmique (région linéaire).

$$I_D = \mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{GS} - V_T) \cdot V_{DS} \quad (I.1)$$

✓ **Forte inversion linéaire**

C'est la zone de transition entre la région linéaire et la région de saturation.

$$I_D = \mu_n \cdot C_{ox} \frac{W}{L} \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (I.2)$$

✓ **Forte inversion saturation**

Pour une tension grille-source plus de tension seuil et tension drain-source est au-dessus de sa tension seuil, Le transistor **NMOS** opère en active région (région de saturation).

$$I_D = \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \quad (I.3)$$

En résumé, on peut considérer que le transistor **MOS** comme une résistance commandée par la tension de grille lorsque la tension drain source reste faible face à la tension de seuil. En ce mode de fonctionnement est principalement utilisé pour réaliser des circuits digitaux. Lorsque la tension drain source est élevée le transistor se comporte comme une source de courant commandée par la tension de grille, on utilise ce mode de fonctionnement dans des applications analogiques. [11]

## B La tension d'Early

En réalité le courant de drain dans la région active (région de saturation) est varié légèrement avec la variation de tension  $V_{ds}$ , Cet effet s'appelle l'effet d'Early (channel length modulation) (la longueur du canal  $L$  est varié en fonction de tension  $V_{ds}$ )

$$\frac{\partial I_D}{\partial V_{DS}} = - \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L^2} \cdot (V_{GS} - V_T)^2 \cdot \frac{dL}{dV_{DS}} \quad (I.4)$$

On peut définir la tension d'Early comme

$$V_A = \frac{I_D}{\frac{\partial I_D}{\partial V_{DS}}} \quad (I.5)$$

Si on prendre en considération l'effet d'Early l'équation (I.4) est devient

$$I_D = \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (I.6)$$

$$\lambda = \frac{1}{V_A} \quad (\text{I.7})$$

### C. Transconductance

On peut définir la transconductance comme la variation du courant de drain  $I_D$  en fonction de tension  $V_{GS}$

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (\text{I.8})$$

$$g_m = \mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{GS} - V_T) \quad (\text{I.9})$$

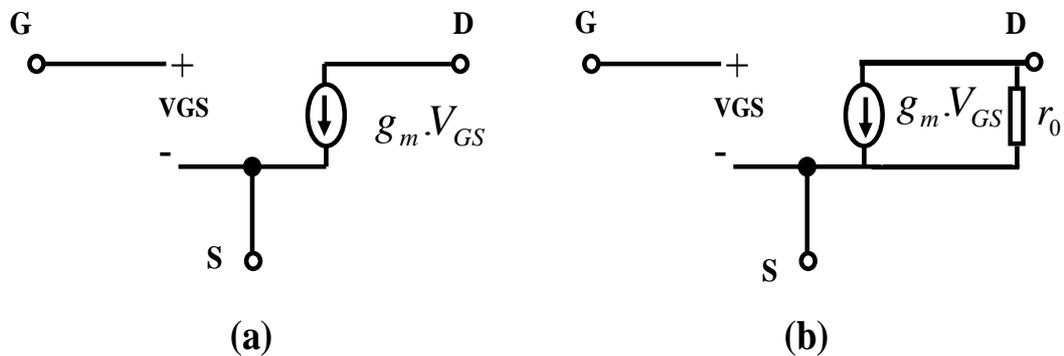
#### I.2.4. Modèle aux petits signaux

Le circuit équivalent en petits signaux d'un **MOS** idéal en basse fréquence représenté dans la figure (I.4.), l'impédance d'entrée (entre la grille et la source) est très haute, le courant de drain est une fonction de la tension  $V_{GS}$ .

$$I_D = g_m \cdot V_{GS} \quad (\text{I.10})$$

Si on prendre en considération la tension d'Early (l'effet channel length modulation), le courant de drain est varié linéairement avec la tension  $V_{ds}$ , équivalente à une résistance linéaire  $r_0$  figure (I.4. (b)).

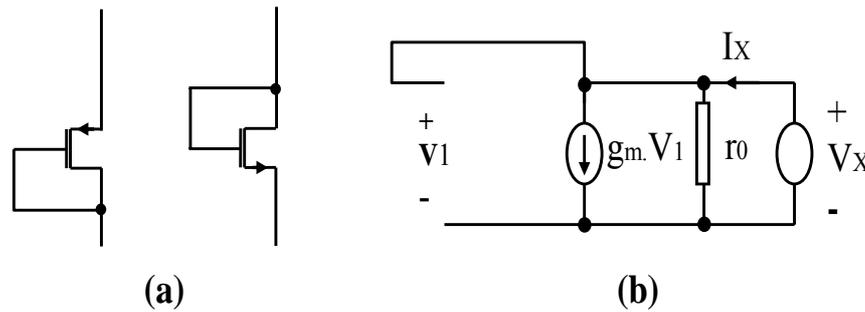
$$r_0 = \frac{1}{\lambda \cdot I_D} \quad (\text{I.11})$$



**Figure I.4:** les circuits équivalents du MOS en petits signaux

### 1.2.5. Transistor connecté en diode

En technologies **CMOS**, il est difficile de fabriquer des résistances avec des valeurs commandées ou une taille physique raisonnable, par conséquent, il est souhaitable de remplacer la résistance par un transistor **MOS**, un transistor MOSFET peut fonctionner comme une résistance si sa grille et drain sont court-circuités. [2]



**Figure I.5:** *Transistor connecté en diode*

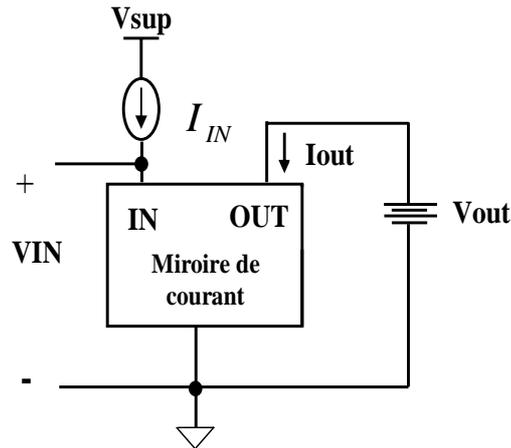
Le transistor est toujours en saturation parce que le drain et la grille est court circuit, en utilisant le modèle en petits signaux comme montré dans la figure (I.5.b), pour obtenir l'impédance équivalente du dispositif

$$I_X = g_m \cdot V_X + \frac{V_X}{r_0} \quad (\text{I.12})$$

$$r_{eq} = \frac{r_0}{r_0 \cdot g_m + 1} \quad (\text{I.13})$$

### I.3. Les miroirs de courant

Un miroir de courant est un élément avec au moins trois terminaux, comme montré dans figure. (1.6), le terminal commun est connecté à la masse, le courant d'entrée est connecté au générateur de courant idéal. Le courant de sortie est égal au courant d'entrée multiplié par le gain désiré. Si le gain est unité, le courant d'entrée est reflété à la sortie.



**Figure. I.6 :** Le schéma de principe d'un miroir de courant

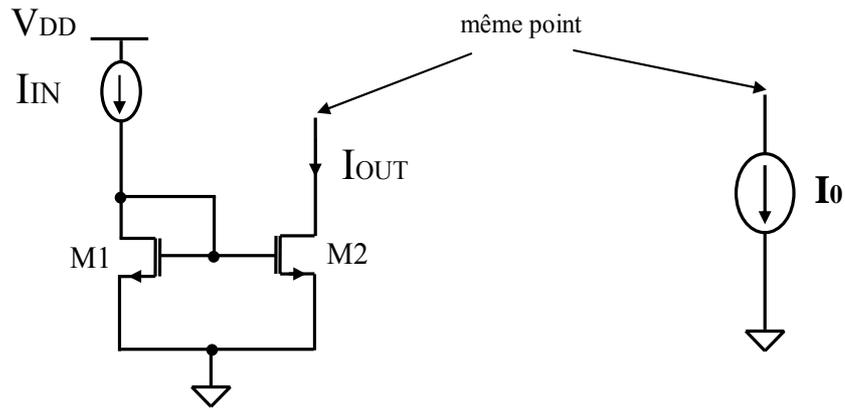
Les miroirs de courants sont utilisés dans les circuits intégrés analogiques comme des éléments de polarisation et comme des dispositifs de charge pour les étages de l'amplificateur. L'usage des miroirs de courants en polarisation peut avoir pour résultat l'insensibilité supérieure de la performance du circuit aux variations de l'alimentation et de la température. Les miroirs de courants occupent moins d'espace que les résistances lorsque la région du die exigée pour fournir le courant de polarisation est petite. Quand il est utilisé comme un élément de charge dans l'amplificateur. [1]

### I 3.1. Miroir de courant simple

La figure (I.7) montre un miroir de courant simple en technologie **MOS**, La tension  $V_{ds}$  de M1 est nulle, le transistor fonctionne dans la région de saturation (région active), le transistor M1 est configuré en diode connecté, le transistor M2 fonctionne également dans la région active. Le courant  $I_{D2}$  est commandé par  $V_{GS2}$ , qui est égal à  $V_{GS1}$ .

Pour assurer un bon fonctionnement de miroir de courant il faut garder le transistor M2 toujours en régime de saturation, La tension overdrive minimale pour garder le transistor M2 en régime de saturation (source de courant) est  $V_{OV2} = V_{GS2} - V_T$

La tension overdrive minimale pour garder le transistor M2 en régime de saturation (source de courant) est



**Figure. I.7:** Un miroir de courant simple, schéma et symbole

$$V_{ov2} = V_{GS2} - V_T = \sqrt{\frac{2.I_{D2}}{K.(W/L)_2}} \quad (I.14)$$

$$V_{GS2} = V_T + \sqrt{\frac{2.I_{D2}}{K.(W/L)_2}} = V_{GS1} = V_T + \sqrt{\frac{2.I_{D1}}{K.(W/L)_1}} \quad (I.15)$$

De l'équation (I-15) on peut déduire que les tensions overdrive des transistors M1 et M2 sont égaux, Si les transistors sont identiques ( $(W/L)_1 = (W/L)_2$ ),

$$I_{out} = I_{D1} = I_{D2} \quad (I.16)$$

L'impédance de sortie de tels miroirs égale l'impédance de sortie du transistor M2.

$$r_{out} = r_{o, M2} = \frac{1}{\lambda \cdot I_{out}} \quad (I.17)$$

Dans le cas où l'on désire un gain en courant différent de l'unité, on modifie la géométrie des transistors MOS et il vient la relation:

$$\frac{I_{out}}{I_{in}} = \frac{W_2/L_2}{W_1/L_1} \quad (I.18)$$

A cause de l'effet d'Early, les courants ne sont dans le même rapport que si les tensions drain source sont égales. Pour diminuer l'éventuelle différence entre les deux courants, on utilise des sources de courant Wilson ou cascode [1].

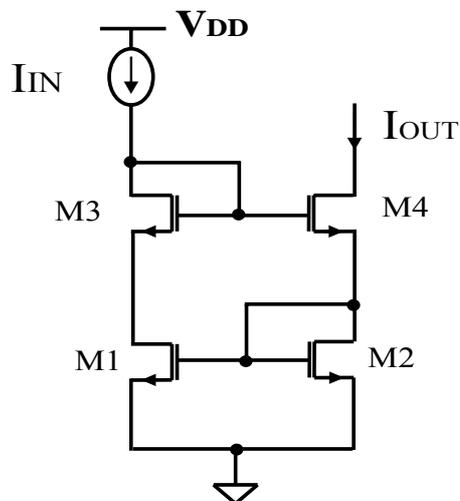
### I.3.2 Le montage WILSON

Le montage Wilson **MOS** ne propose aucune amélioration significative par rapport au montage cascode. Pourtant, le fonctionnement en est différent. En effet, le montage cascode assure un fonctionnement continu lorsque le niveau de sortie  $V_{out}$  varie de 0 à  $V_{out\ max}$ . Par contre, dans le montage Wilson le transistor M2 est bloqué lorsque  $V_{out} < V_{T, M2}$ . Ce point apparaît comme un inconvénient dans la conception d'une cellule analogique qui peut être amené à fonctionner dans la zone de saturation.

On retrouve dans cette configuration les mêmes équations que pour le montage cascode

$$\frac{I_{out}}{I_{in}} \approx 1 \quad (I.19)$$

$$r_{out} = (g_{M4} \cdot r_{02}) \cdot r_{04} \quad (I.20)$$

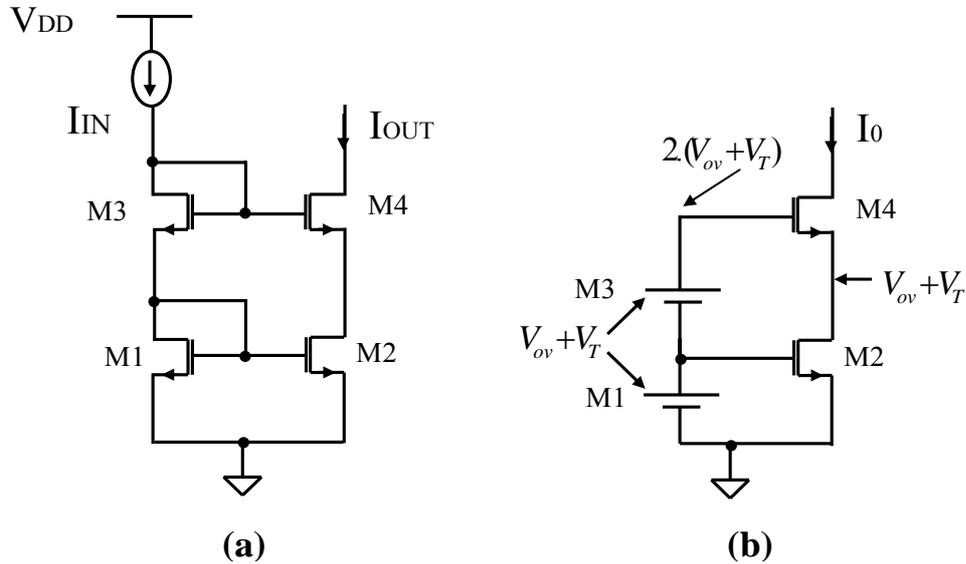


**Figure.I.8:** *Le montage de WILSON*

### I.3.3 Le montage cascode

Le miroir de courant cascode est montré en la figure (I.9 (a)), ces types des miroirs sont largement utilisés en les blocs analogiques, La configuration cascode est utilisée pour réduire l'erreur présentée par la configuration simple, et augmenté l'impédance de sortie.

La tension de la grille source du transistor M1 et M3 respectivement sont  $V_{GS} = V_{OV} + V_T$ ,  $V_{GS} = 2.(V_{OV} + V_T)$ , et le tension de source de M4 est  $V_{OV} + V_T$  comme montré en la figure (I.6 (b)).



**Figure. I.9:** Le montage cascode

La tension minimale de drain du transistor M4, c'est la même tension travers la source de courant, Pour assurer un bon fonctionnement de miroir de courant il faut garder le transistor M4 toujours en région de saturation

$$V_{DS4} \geq V_{GS4} - V_T \quad (I.21)$$

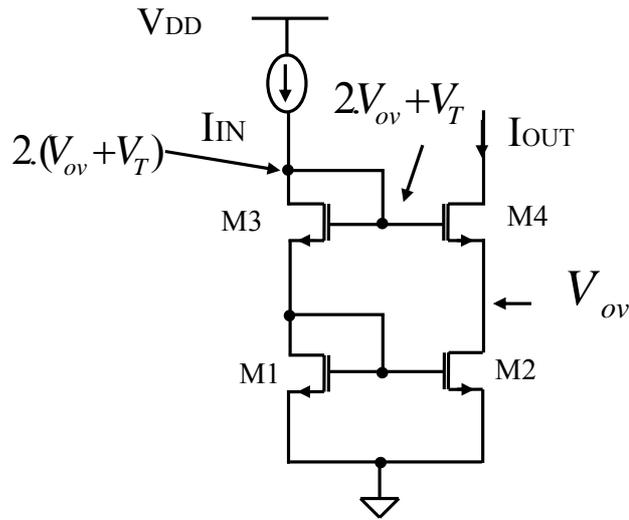
$$V_{D4} \geq 2.V_{OV} + V_T \quad (I.22)$$

La configuration cascode présente une impédance de sortie très élevée.

$$r_{out} = (g_{M4} \cdot r_{02}) \cdot r_{04} \quad (I.23)$$

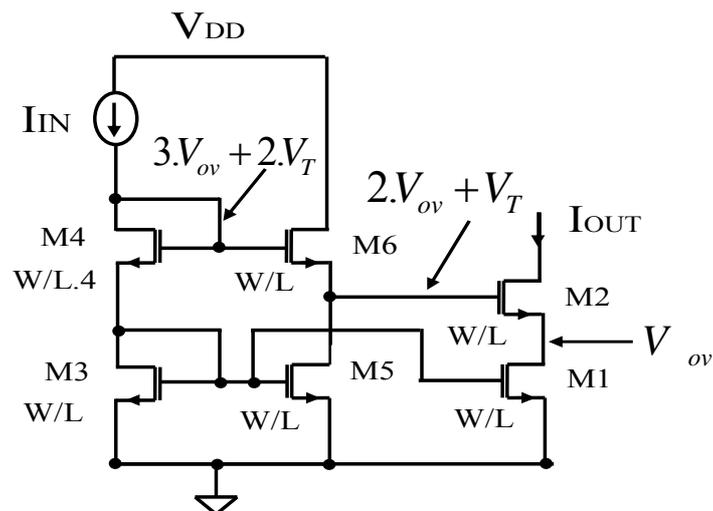
### I.3.4 Wide swing miroir de courant

Si la tension de la grille du transistor M4 peut être réduite à  $2.V_{OV} + V_T$ , alors la tension de drain du transistor M2 devient  $V_{OV}$ , et la tension minimum à travers la source courante est réduite à  $2.V_{OV}$ , le circuit montré dans la figure (I.10). Illustre cette idée



**Figure. I.10:** Le montage cascode

Le transistor M6 est utilisé pour diminuer la tension de la grille du transistor M2 à  $2.V_{ov} + V_T$ , ceci réduit la tension de drain du transistor M2 à  $2.V_{ov}$  (figure (I.11)) et garder les transistors M1 et M2 en saturation, M4 est redimensionné pour produire  $3.V_{ov} + 2.V_T$ , c'est-à-dire  $V_{GS3} = 2.V_{ov} + V_T$ , et la tension de grille source du transistor M6 est  $V_{ov} + V_T$ , et la tension de grille de M2 devienne  $2.V_{ov} + V_T$ , pour accomplir ceci, la largeur de M4 est faite à un quatrième la taille de les autres transistors MOS [3].



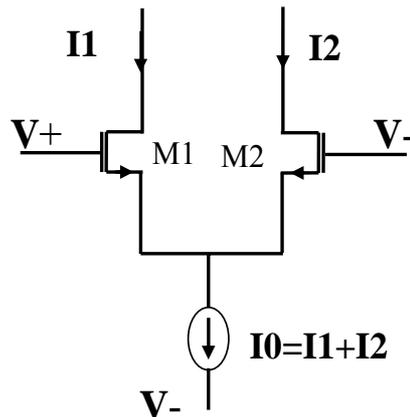
**Figure.I.11:** Le montage Wide swing miroir de courant.

L'impédance de sortie de ce type de miroir de courant est

$$r_{OUT} = r_{o2} \cdot (1 + g_{m2} \cdot r_{o2}) + r_{o1} \quad (I.24)$$

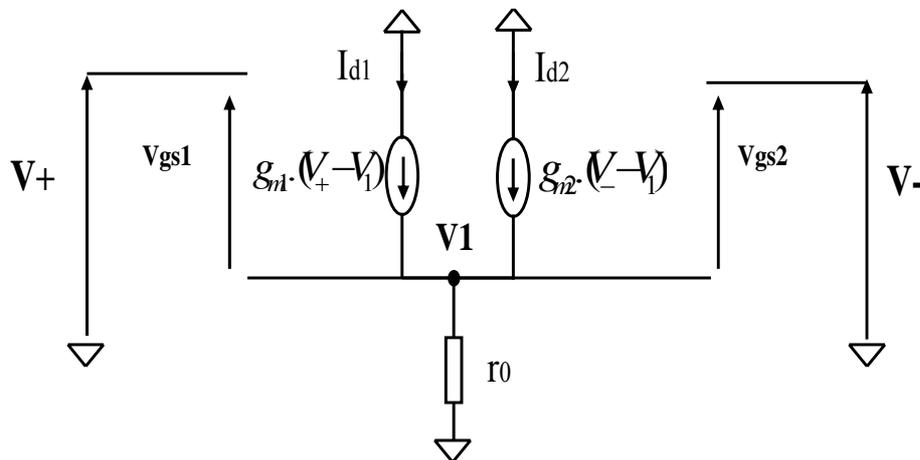
#### I.4. La paire différentielle en technologie CMOS [5]

La paire différentielle est l'élément de base pour l'acquisition de tensions. Elle est formée de deux transistors identiques, connectés à une source de courant. La plupart des amplificateurs intégrés ont une entrée différentielle, les paires différentielles transforment des différences de tensions en différences de courants



**Figure.I.12:** Une paire différentielle à transistor MOS

Le modèle aux petits signaux à basse fréquence de la paire différentielle est montré sur la figure (II.13)



**Figure. I.13:** Le modèle aux petits signaux d'une paire différentielle à transistor MOS

Pour simplifier l'analyse on ignore l'impédance de sortie du transistor. En définissant l'entrée différentielle Par l'équation:

$$V_{MD} = V_+ - V_- \quad (I.25)$$

En définissant l'entrée mode commune Par l'équation:

$$V_{MC} = \frac{V_+ - V_-}{2} \quad (I.26)$$

La transconductance de la paire différentielle donnée sous la forme

$$g_m = \sqrt{\frac{W}{L} \cdot \mu \cdot C_{OX} \cdot I_{OUT}} \quad (I.27)$$

Puisque les deux transistors M1 et M2 ont les mêmes courants de polarisation, et  $g_{m1} = g_{m2}$ . Donc, nous trouvons:

$$i_{d1} = \frac{g_{m1}}{2} V_{MD} \quad (I.28)$$

Aussi, puisque  $i_{d2} = i_{s2} = -i_{d1}$  nous trouvons que:

$$i_{d2} = -\frac{g_{m2}}{2} V_{MD} \quad (I.29)$$

Finalement en définissant le courant de sortie différentielle,

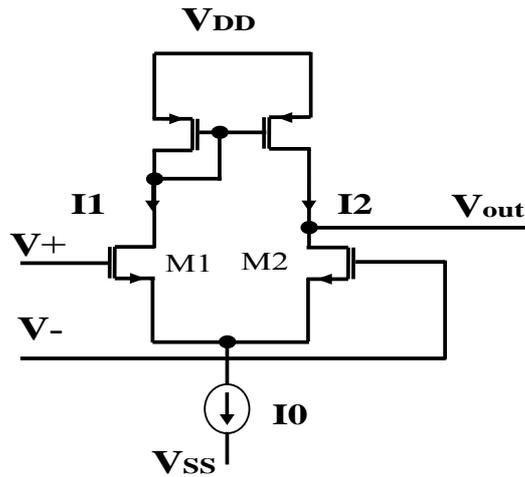
$$I_{out} = I_{d1} - I_{d2} \quad (I.30)$$

$$i_{d1} - i_{d2} = g_m \cdot (V_+ - V_-) \quad (I.31)$$

Alors on peut obtenir le rapport suivant:

$$I_{out} = g_{m1} \cdot V_{MD} \quad (I.32)$$

Ainsi, si on a une paire différentielle avec un miroir de courant comme étant une charge active, l'entrée différentielle complète, et le gain de l'étage de sortie peut être réalisé, comme il est montré sur Figure(I.14). Ce circuit est typiquement utilisé comme le premier étage du gain d'un amplificateur à deux étages dont lequel la paire différentielle d'entrée est réalisée en utilisant un transistor **NMOS** et la charge active est réalisé à l'aide des transistors **PMOS**. [10]



**Figure. I.14:** Une entrée différentielle, single-ended-output MOS gain stage

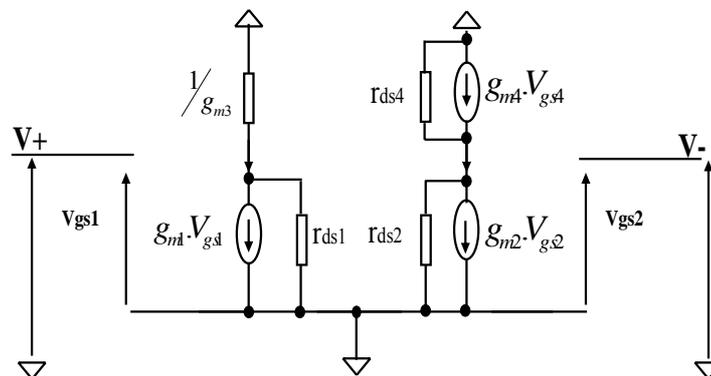
S'il y a également une charge capacitive  $C_L$  nous obtenons:

$$A_v = g_{m1} \cdot Z_{out} \tag{I.33}$$

Où

$$Z_{out} = r_{out} // \frac{1}{sC_L} \tag{I.34}$$

L'évaluation de la résistance de sortie  $r_{out}$  est déterminée en utilisant le circuit équivalent aux petits signaux en appliquant la tension au nœud de sortie, comme il est montré sur la figure (I.15). Noter que le modèle T est utilisé pour M1, M2 et M3, et le modèle hybride-p est utilisé pour M4.



**Figure. I.15:** Le modèle aux petits signaux pour le calcul de l'impédance de sortie de l'entrée différentielle

Comme d'habitude,  $r_{out}$  défini comme étant le rapport  $V_x / i_x$ , qui donne le résultat suivant:

$$r_{out} = r_{ds2} // r_{ds4} \quad (I.35)$$

Par conséquent, aux basses fréquences le gain,  $A_V$ , est donné par l'équation

$$A_V = g_{m1} \cdot (r_{ds2} // r_{ds4}) \quad (I.36)$$

## 1.5 Amplificateur Opérationnel à Transconductance (OTA)

L'amplificateur opérationnel (**OP-AMP**) est un bloc fondamental dans la conception des circuits intégrés analogiques et mixtes, L'amplificateur opérationnel à transconductance (**OTA**) est fondamentalement un **OP-AMP** sans buffer de sortie, L'**OTA** sans buffer utilisé seulement avec les charges capacitifs, un **OTA** peut être défini comme amplificateur où tous les noeuds sont basse impédance excepté les noeuds d'entrée, sortie.

### 1.5.1 Les caractéristique de OTA

Idéalement, un **OP-AMP** a un gain différentiel en tension infini, une impédance d'entrée l'infinie, et une impédance de sortie nulle, en réalité, un **OP-AMP** est caractérisé par

- Le gain de tension en boucle ouverte, pour des op-amps réel, des valeurs finies et typiques pour de basses fréquences est  $A=10^3$  à  $10^5$ , correspondant à 60 au 100 dB.
- La tension d'offset, pour un **OP-AMP** idéal, si  $V_+ = v_-$ ,  $v_{off}=0$ , dans les dispositifs réel, la tension d'offset  $V_{off} \neq 0$ , se produira à la sortie pour les entrées sont court-circuitées, puisque  $v_{off}$  est directement proportionnel au gain, pour MOS **OP-AMP**,  $V_{off}$  est en général entre  $\pm 2$  à 10mV,
- le **CMRR** est défini comme  $A_D/A_C$ , les valeurs typiques de **CMRR** pour des amplificateurs CMOS sont dans l'intervalle 80 à 140 dB, le **CMRR** mesure combien l'**OP-AMP** peut diminuer le bruit, et par conséquent un grand **CMRR** est une condition important dans la conception des les **OP-AMPs**.
- Largeur de bande, la largeur de bande au gain unité, la fréquence  $f_0$  à laquelle  $A(f_0) = 1$ , pour CMOS **OP-AMP**,  $f_0$  est habituellement dans la gamme 1 à 100 Mhz
- Le temps de propagation, la sortie suivra le signal d'entrée, le rapport du changement maximum  $dv/dt$  s'appelle les temps de propagation, il n'est pas directement lié à la

réponse en fréquence, pour **CMOS OP-AMP**, les valeurs typique de temps de propagation peut être obtenu entre 1 à 20 v/us.

- L'impédance de sortie non nulle, pour **CMOS OP-AMP** réel, l'impédance de sortie non nulle, elle est habituellement dans la gamme de 0,1 à 5K pour **OP-AMP** avec un buffer
- le bruit, les transistors **MOS** produit du bruit, qui peut être décrit en termes de source courante équivalente parallèlement au canal du dispositif, La source d'entrée de bruit équivalente est habituellement d'ordre du 10 à 50  $\mu\text{V}$ , contrairement pour les **OP-AMPS** bipolaires au 3 à 5 $\mu\text{V}$ .
- On peut définir PSRR le rapport de gain différentiel sur le gain de bruit d'alimentation qui provoqué le signal de sortie, **PSRR** habituellement dans la gamme de 60 à 150 dB.
- . La dissipation d'énergie, les valeurs typiques pour les **CMOS OP-AMPS** de 0,25 à 10mv. [4]

### 1.5.2 DIFFÉRENTES CONFIGURATIONS d'OTA

On a présenté dans cette partie les cinq architectures de base d'amplificateur opérationnelle à transconductance les plus utilisées.

#### ✓ L'OTA à un seul étage

Cette configuration est montrée dans la figure (1.16), C'est la configuration **d'OTA** la plus simple, sa vitesse peut être très haute. Les inconvénients de cette configuration sont que le gain est plus bas et l'impédance de sortie est relativement basse

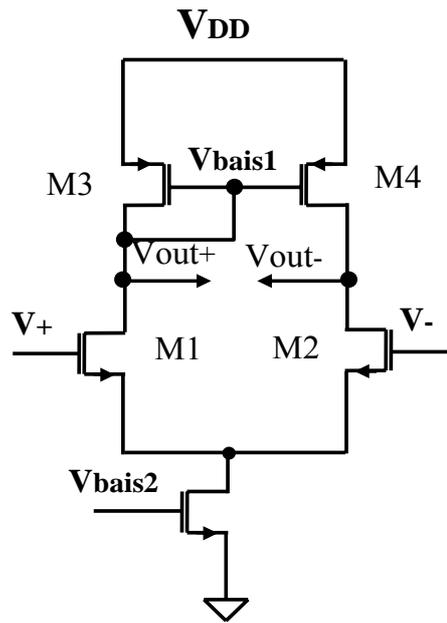


Figure I.16: l'OTA à un seul étage

### ✓ L'OTA à deux étage

En ajoutant un autre étage à l'OTA simple étage pour obtenir un amplificateur à deux étages comme montre en la figure (I.17). Cette modification augmente le gain et l'impédance de sortie et le système devient plus complexe. La complexité réduite la vitesse de l'OTA, le circuit de compensation ( $R_c$ ,  $C_c$ ) est également incluse pour assurer la stabilité de système

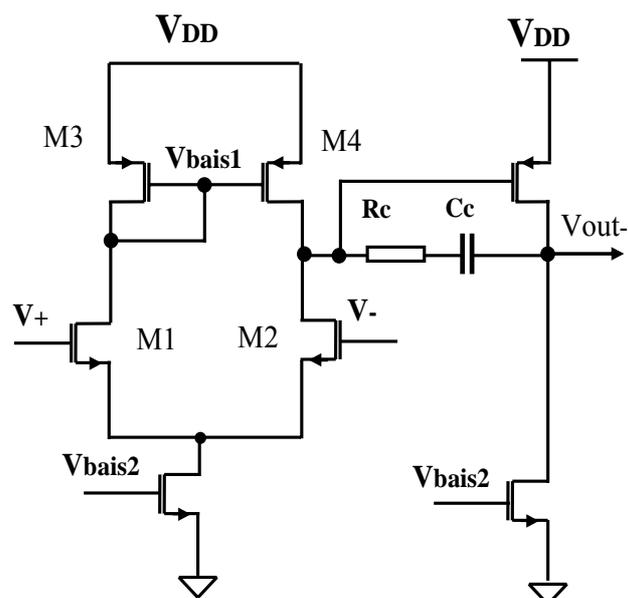


Figure I.17: l'OTA à deux étages

### ✓ L'OTA Téléscopique cascode

Cette configuration est montrée sur le schéma (I.18). La raison pour laquelle le gain de l'OTA en une seule étage est basse que l'impédance de sortie est basse. Pour augmenter l'impédance de sortie on a ajouté quelques transistors en cascode à l'étage de sortie

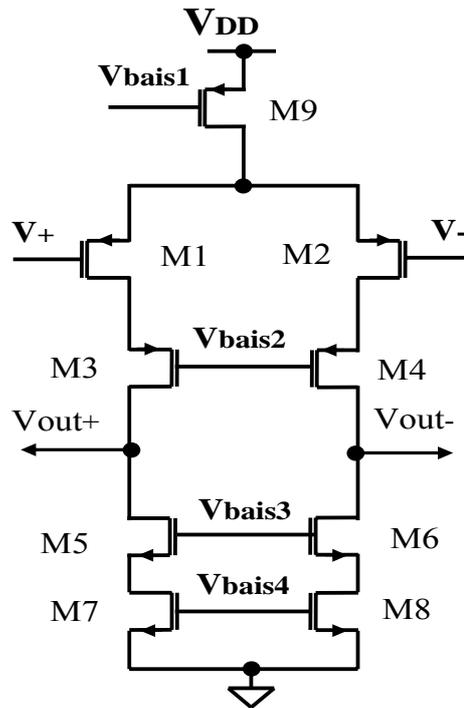
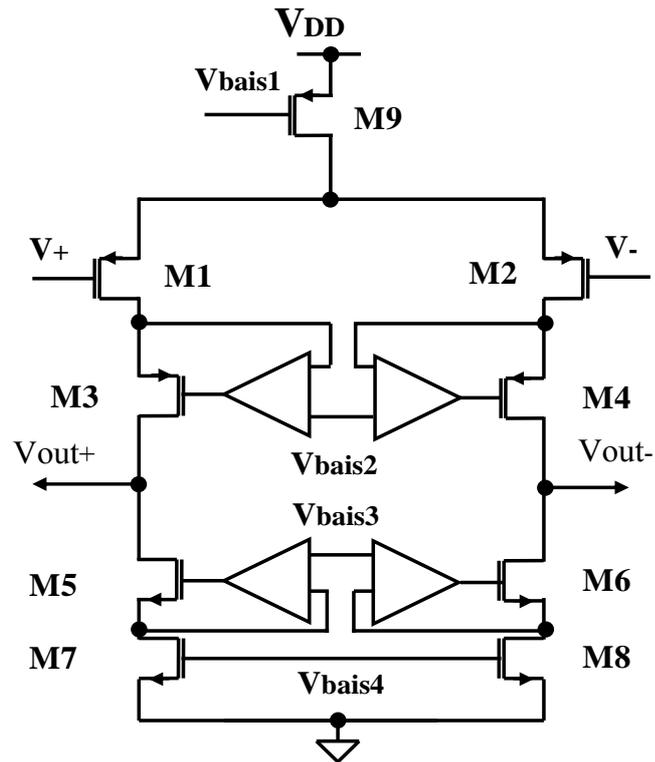


Figure I.18: l'OTA téléscopique cascode

### ✓ L'OTA Cascode Régulé

Cette configuration est montrée sur le schéma (I.19). La configuration Cascode réglé peut être employée pour augmenter plus le gain en tension sans rendement décroissant oscillation de tension. [5]



**Figure I.19:** *l'OTA cascode réglé*

L'inconvénient de cette configuration est que ces amplificateurs supplémentaires pourraient réduire la vitesse de l'amplificateur global. Par conséquent, ils devraient être conçus pour avoir une grande largeur de bande passante

#### ✓ **L'OTA folded cascode**

La configuration folded cascode est montrée sur le schéma (I.20). L'amplificateur folded cascode est compromis entre l'amplificateur à deux étages et l'amplificateur télescopique cascode, l'OTA folded cascode est caractérisé par un gain inférieur que l'amplificateur à deux étages et sa vitesse est inférieure que le cascode télescopique. [18]

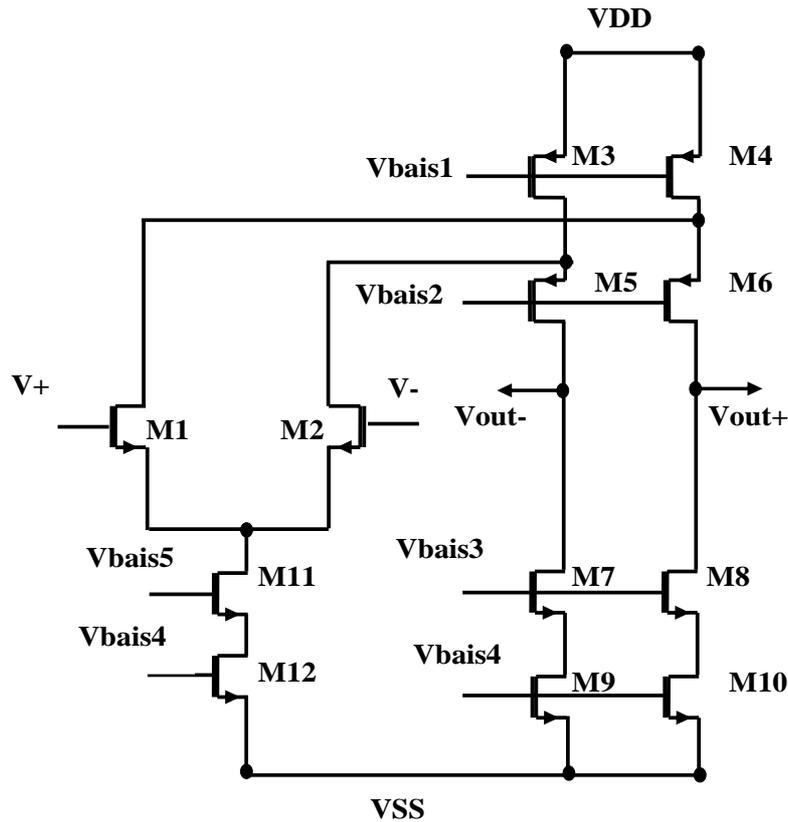


Figure I.20: *folded cascode OTA*

## I.6 Les switchers

Les switchers sont des composant fondamental dans les applications des circuits dynamique (analogique ou numérique), dans les circuits analogique Le dispositif qui fonctionne dans la région linéaire équivalent d'une résistance, avec la tension de la grille on peut contrôler la résistance entre le drain et la source, cette résistance est exprimé par la relation suivante

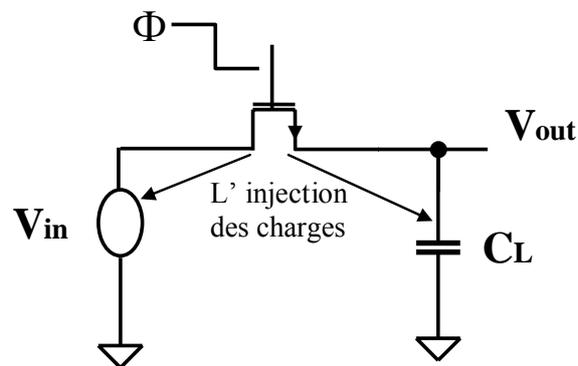
$$R_{ON} = \frac{1}{\mu_n \cdot C_{OX} \cdot \left(\frac{W}{L}\right) \cdot (V_{GS} - V_{TH})} \quad (I.37)$$

Les switchers sont utilisés pour mettre en application des fonctions importante comme le commutateur est également le multiplexage, la modulation et un certain nombre d'autres applications, Les switchers sont utilisé comme porte de transmission dans les circuits numériques.

A cause l'injection des charges et l'alimentation d'horloge, ces deux effets limiter l'utilisation des switchers MOS dans quelques applications.

### I.6.1 L'injection des charges

Quand le switcher est on, le dispositif fonctionne dans la triode région (régime ohmique) et la tension de drain-source  $V_{DS}$  est très petite. Pendant le transistor est-on, il y a une certaine charge  $Q$  dans le canal. Une fois que le transistor est arrêté, cette charge est injectée en les deux cote de drain et la source ( $V_{in}$  et  $V_{out}$ ), la charge injectée n'a aucun effet sur le nœud de  $V_{in}$ , cependant, la charge  $Q$  injectée sur la charge de sortie  $C_L$  fait une déformation sur le signal de sortie. [16]

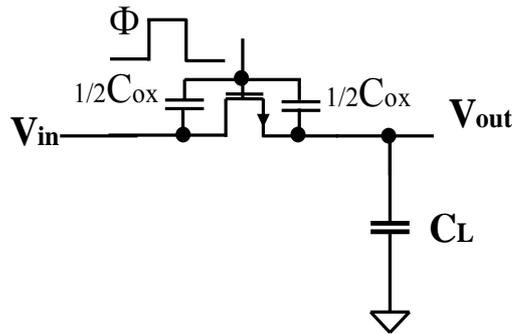


**Figure I.21:** configuration simple de NMOS switcher montré l'injection de charge

### I.6.2 Le couplage capacitif d'horloge

Les capacités parasites entre grille drain et grille source sont toujours présentes MOS switcher. Si le switcher est on, le signal d'entrée, est connecté au condensateur de charge  $C_L$  travers le NMOS switcher, le condensateur de charge  $C_L$  est chargé au niveau de  $V_{in}$  et La capacité parasite n'a aucun effet sur la valeur finale du  $V_{out}$ , Cependant, quand le signal d'horloge est basse, c à d, le NMOS de canal de n s'éteint, un diviseur capacitif de tension existe entre le grille drain et grille source en conséquence une partie du signal d'horloge, apparaît au niveau de  $C_L$  comme

$$\Delta V_{OUT} = \frac{C_P \cdot (V_{DD} - V_{SS})}{C_P + C_L} \quad (I.38)$$



**Figure I.22:** *l'alimentation d'horloge*

## I.7 Les circuits échantillonneur bloqueur E/B.

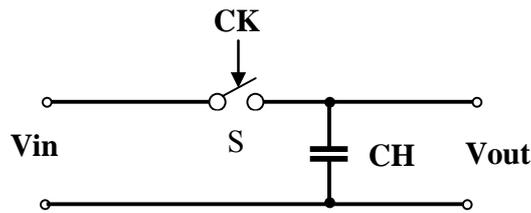
Une application importante du switcher est dans les circuits échantillonneur bloqueur, Depuis l'introduction de la première architecture E/B en 1974, les systèmes d'intégration proposer une variété d'architectures favorables dans différentes technologies.

Dans cette partie, nous décrivons quelque configuration d'architectures du circuit E/B souvent utilisées dans les systèmes de conversion analogique numérique, la plupart des circuits E/B configure entré deux architecture soit en boucle ouverte ou en boucle fermée.

### I.7.1 Principe de fonctionnement du circuit E/B

Un circuit échantillonneur échantillonner un signal analogique et stocke le résultat dans un élément de mémoire jusqu' à l'instant d'échantillonnage suivante, Cette opération est périodique et exécutée sur des tensions plutôt que des courants parce que le stockage d'une tension sur un condensateur est plus facile que stockant un courant dans une inductance.

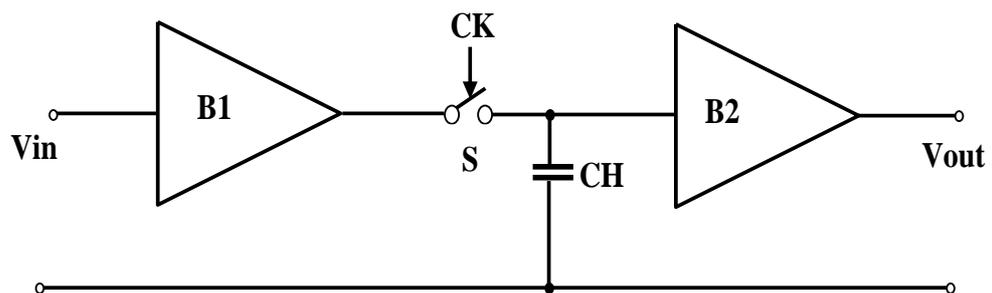
Comme montré dans la figure (I-23). En mode d'échantillonnage, l'interrupteur S (contrôle par CK) est fermé et le signal de sortie  $v_{out}$  prendre la même valeur de signal d'entrée, en mode de blocage, l'interrupteur S est ouverte le signal de sortie  $v_{out}$  rester constant jusque la période d'échantillonnage suivante. [6]



**Figure I.23:** *simple circuit E/B*

### I.7.2. Configuration en boucle ouverte du circuit E/B

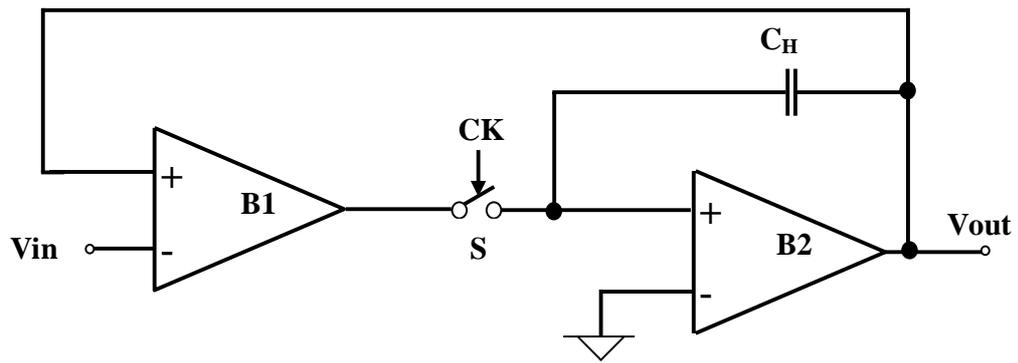
La configuration en boucle ouverte du circuit échantillonneur bloqueur est montrée en la figure (I.24); cette architecture constitue un buffer d'entrée B1; un switcher S et capacité CH et un buffer de sortie B2.



**Figure I.24:** *configuration en boucle ouverte E/B*

### I.7.3. Configuration en boucle fermée du circuit E/B

L'architecture de boucle fermée est montrée dans le schéma 2, qui se compose d'un amplificateur à transconductance B1, les dispositifs d'échantillonnage S et CH, et un amplificateur de tension B2, le circuit fonctionne comme suit. En mode d'échantillonnage, le switcher S est fermé le circuit fonctionne comme un amplificateur à deux étages compensé par CH et configuré comme un buffer de gain d'unité. Quand le switcher S est ouvert, la tension instantanée est stockée dans le condensateur CH et le circuit de rétroaction se compose d'amplificateur de tension B2 et le condensateur CH maintient la valeur de tension échantillonnée jusqu'à la prochaine période. [18]



**Figure I.25** : configuration en boucle fermée E/B

## I.8. Conclusion

Dans ce chapitre nous avons présenté le comportement du composant actif utilisé dans la conception de nos modules qui seront décrits dans le chapitre suivant. Dans un premier temps, nous sommes intéressés à étudier le transistor **MOS** avec tout leur principe de fonctionnement. Nous avons passé par la suite à l'ensemble des miroirs de courant les différentes configurations de l'**OTA** et du circuit E/B.

Le prochain chapitre sera consacré une étude de conception et simulation du circuit échantillonneur bloqueur basé sur l'optimisation de l'**OTA** folded cascode.

# **Chapitre II : *Conception et simulation du circuit échantillonneur bloqueur***

## II.1. Introduction

Les circuits échantillonneur bloqueur sont des blocs très utilisés dans le domaine d'intégration particulièrement dans les systèmes des convertisseurs analogique numérique, Avant d'étudier les différents blocs des circuits échantillonneur bloqueur il est nécessaire de faire une conception et simulation de l'amplificateur opérationnelle, telle que la conception du circuit échantillonneur bloqueur est basée sur l'optimisation de l'OTA qui doit être utilisé comme un élément principal dans les blocs du circuit E/B.

Dans ce chapitre nous allons évoquer en détails la conception et la simulation de l'amplificateur opérationnelle à transconductance folded-cascode telle qu'on a essayé d'optimiser les paramètres suivantes : le gain de l'OTA en boucle ouverte, la stabilité de l'OTA, **CMRR** (taux de rejection du mode commun), **PSRR** (Taux de réjection des alimentations), **CMR**(dynamique d'entrée en mode commun), et l'énergie dissipée, puis on a utilisé l'OTA dans les différentes architectures du circuit échantillonneur bloqueur.

## II.2 Le bloc de polarisation

Un miroir de courant idéal est un circuit qui permet de refléter un courant d'entrée  $I_{in}$  en un courant de sortie  $I_{out}$ . La valeur de  $I_{out}$  reste proportionnelle à  $I_{in}$  indépendamment de la valeur de la charge connectée à sa sortie  $R_{out}$  et la tension de sortie  $V_{out}$ , dans notre OTA on a utilisé un miroir de courant de type Wide Swing afin de polariser les deux étages d'entrée et de sortie de l'OTA, les résultats de simulations sont montrés dans la figure (II.2)

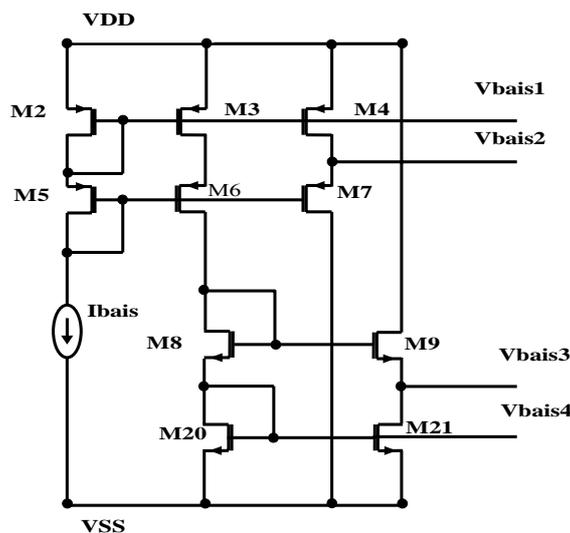
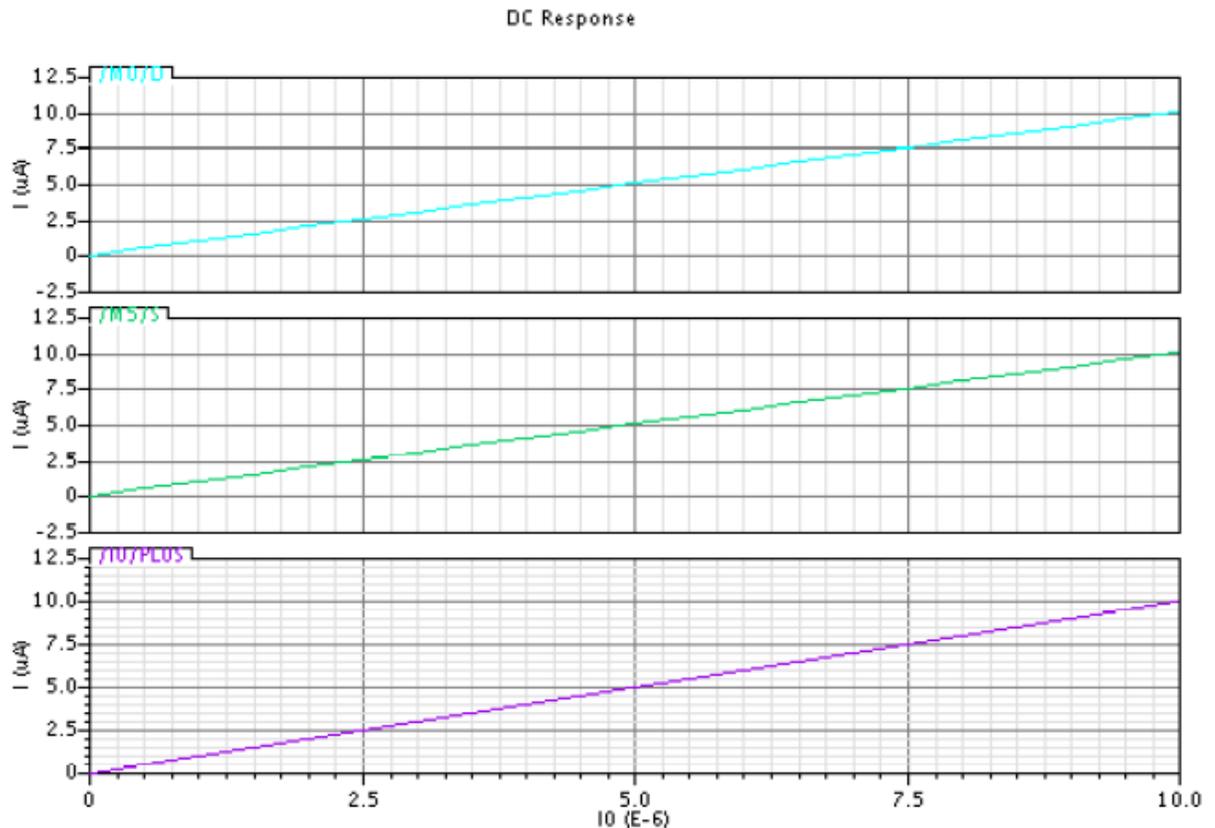


Figure II.1: Miroir de courant Wide swing



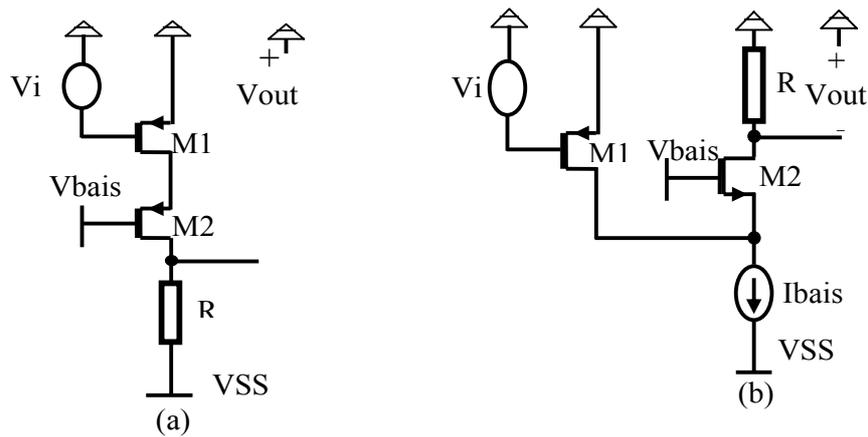
**Figure II.2:** analyse DC miroir de courant Wide Swing

### II.3. L'OTA foldede cascode

L'OTA folded-cascode utilisé la configuration cascade entre l'étage de sortie et l'étage d'entrée de paire différentiel afin d'obtenir une bonne gamme de tension d'entrée en mode commun et une bonne **PSRR**. Ainsi, L'OTA folded cascode offre l'auto compensation, et un gain semblable au gain de l'op-amp à deux étages.

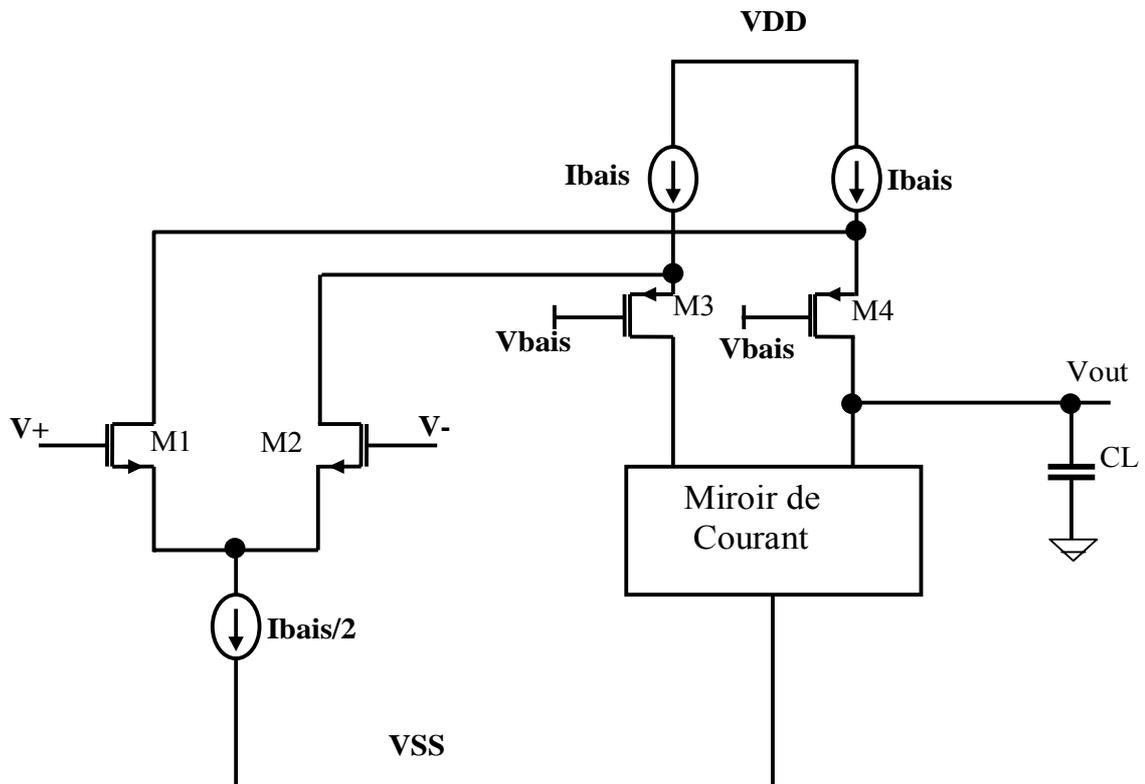
#### II.3.1. la architecture de l'OTA Folded-cascode

L'idée fondamentale de l'OTA foldede-cascode est basé sur l'utilisation des transistors cascade opposés aux transistors d'entrée de paire différentielles, La figure (II.3) montré deux circuits cascade, dans les deux configuration le transistor M1 est connecté en source commune et M2 en grille commune la variation en petits signaux en courant de drain du transistor M1 provoque essentiellement la conduction de courant à travers le transistor M2 (le courant  $I_{bais}$  est constant), Le circuit cascade dans la figure (II.3.b) nommer folded par ce qu'elle renverse la direction du flux de signal vers la masse. [1]



**Figure II.3:** (a) configuration cascode standard (b) configuration folded cascode

La figure (II.4) montre un schéma d'un circuit simplifié d'une structure folded cascade avec la paire différentielle. Comme illustré dans la figure (II.3) (a) et (b), Le miroir de courant converti le signal différentiel en signal unique de sortie avec la polarisation de transistor M3, le schéma complet de l'OTA folded cascode est montré dans la figure (II.5)



**Figure II.4:** schéma simplifié de l'OTA folded-cascode

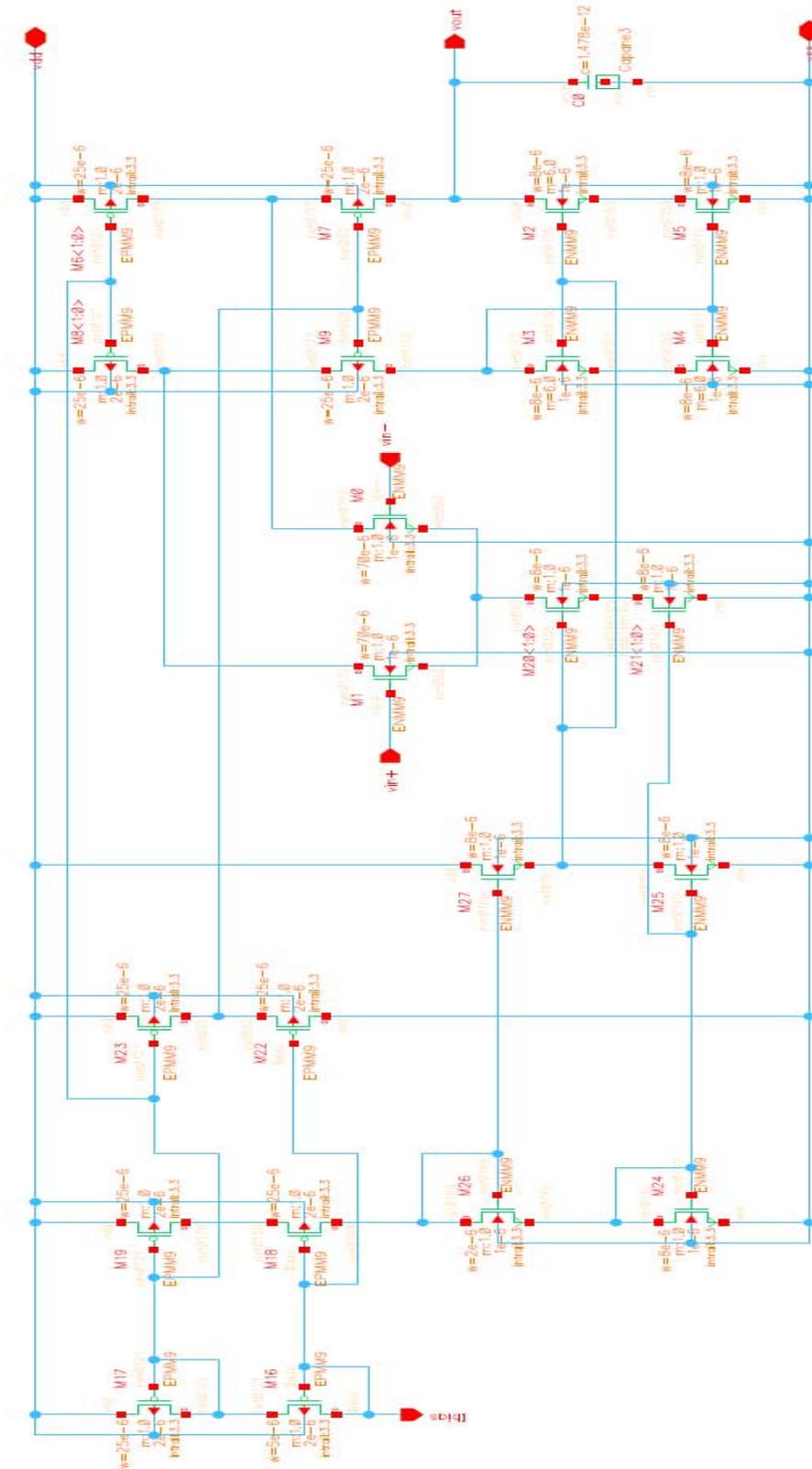


Figure II.5: L'OTA folded cascode

Le gain de l'OTA est déterminé par le produit de la transconductance d'étage d'entrée et l'impédance de sortie, l'impédance de sortie est élevée avec l'utilisation des

techniques cascode. Dans ce type de **OTA** on a utilisé un miroir de courant de type wide-swing comme un bloc de polarisation, ce type de miroir de courant est caractérisé par une impédance de sortie élevée (comparés aux miroirs des courants simples), afin de maximiser le gain de l'**OTA**.

La compensation est réalisée par le condensateur C, Dans les applications où la capacité C est très petite, il est nécessaire d'ajouter une capacité de compensation supplémentaire parallèlement avec la charge pour garantir la stabilité, et on peut placer une résistance en série avec C si la compensation ne peut pas être possible dans quelques applications. [7]

Les courants de polarisation pour les transistors d'entrée de paire différentielle M1 et M2 et les courants de polarisation pour les transistors cascades de PMOS, M5 et M6, sont égaux à  $I_{bias}/2$

### II.3.2. Analyse en petits signaux

Dans la analyse en petits signaux de l'**OTA** folded cascode on suppose que les courants des drains de paire différentielle, des transistors M1, M2, est appliqué à la capacité CL, spécifiquement, le signal de courant de M1 passe directement de la source vers le drain de M6 et puis vers le condensateur CL, alors que le courant de M2 passe indirectement par M5, et le miroir courant est composée de M7 à M10 comme illustré dans la figure (II.6). [8]

La fonction de transfert en petits signaux de l'**OTA** folded cascade est donné par

$$A_v = \frac{V_{out}}{V_{in}} = G_m \cdot Z_{out} \quad (II.1)$$

Où,  $G_m = g_{m1} = g_{m2}$  Est la transconductance de chacun des transistors d'entrée de paire différentielle

$Z_{out}$  Est l'impédance de sortie, on a utilisé le demi circuit qui montré dans la figure (II.6) pour calculer l'impédance de sortie  $Z_{out}$  [9]

$$Z_{out} = Z_1 // Z_2 \quad (II.2)$$

Où

$$Z_2 = r_{05} // r_{02} + r_{03} \cdot [1 + (g_{m3} + g_{mb3}) \cdot (r_{05} // r_{02})] \tag{II.3}$$

$$Z_1 = r_{09} + r_{07} \cdot [1 + (g_{m7} + g_{mb7}) \cdot r_{09}] \tag{II.4}$$

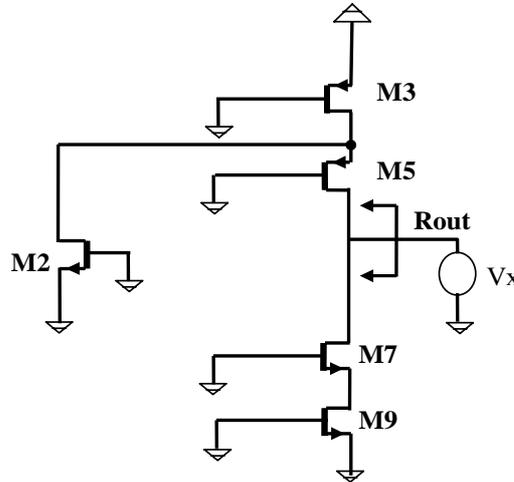


Figure II.6: circuit équivalent pour calcule Rout

### II.3.3. Le choix de rapport (W/L)

Le circuit de l'OTA folded cascode est conçu en technologie 0.35µm, pour déterminer le rapport (W/L) de chaque transistor du circuit on a utilisé l'équation de courant de drain en régime de saturation qui donner par la relation suivante

$$i_d = \frac{k}{2} \cdot \left(\frac{W}{L}\right) \cdot (V_{gs} - V_{th})^2 \tag{II.5}$$

Le rapport de chaque transistor du circuit est donné dans le tableau II.1

Transistors	Le rapport (W/L) (um/um)
M1, M2	(60/2)
M3, M4, M5, M6, M13, M14, M15, M17, M18	(25/2)
M16	(5/2)
M7, M8, M9, M10, M11, M12, M20, M21, M22	(16/2)
M19	(3/2)

Tableau II.1 le rapport de chaque transistor de l'OTA folded cascode

### II.3.4 La simulation de L'OTA folded cascode

L'étape de simulation permet de comprendre et optimiser le fonctionnement de notre bloc du circuit intègre selon les spécifications de cahier des charges et l'application de ces blocs

On a optimisé notre circuit de l'OTA selon les spécifications qui donner dans ce tableau

Spécification	Valeurs des spécifications
Tension d'alimentation	3.3V
Courant de polarisation	10 uA
La charge	capacitif
Gain	$\geq 70$ dB
Marge de phase	$>63$ .deg
bande passante	$\geq 3$ MHz
SR	$\geq 4$ V/us
-ICMR	$\leq 500$ mV
+ICMR	$\geq 3$ V
CMRR	$\geq 100$ dB
PSRR	$\geq 150$ dB
Offset	$\leq 10$ mV
Dissipation d'énergie	$<500$ uW

**Tableau II.2 les spécifications de l'OTA**

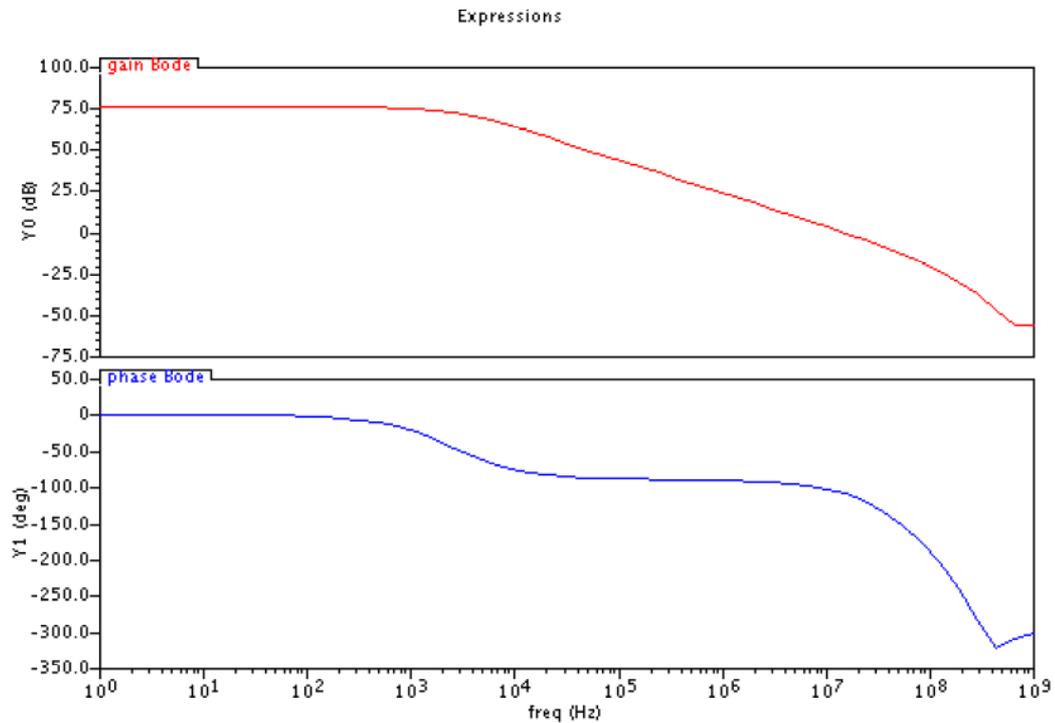
Pour vérifier les performances et les spécifications de tableau II.2 du circuit d'OTA on a fait les simulations suivantes.

#### II.3.4.1. Simulation AC

L'analyse AC nous permet de caractériser les performances de la cellule afin de déterminer les paramètres suivants

- Le gain en boucle ouverte et la marge de phase





**Figure. II.8:** Diagramme de gain et de phase

### B. CMRR (Common Mode Rejection Ratio)

Le **CMRR** d'un **OP-AMP** est calculé par la multiplication du gain en mode commun de l'étage d'entrée différentiel par le gain de deuxième étage (l'étage de sortie) et on divise le gain en boucle ouverte sur ce produit, Le **CMRR** d'un **OP-AMP** est donné par la relation suivante

$$CMRR = 20 \cdot \log \left( \frac{A_{ov}}{A_2} \right) \quad (II.6)$$

La simulation du **CMRR** effectuée avec le circuit test bench qui montrer dans la figue (II.9), les résultats de simulation du **CMRR** illustré dans la figure (II.10). Le résultat de simulation nous indique que la valeur du **CMRR** est 107 dB

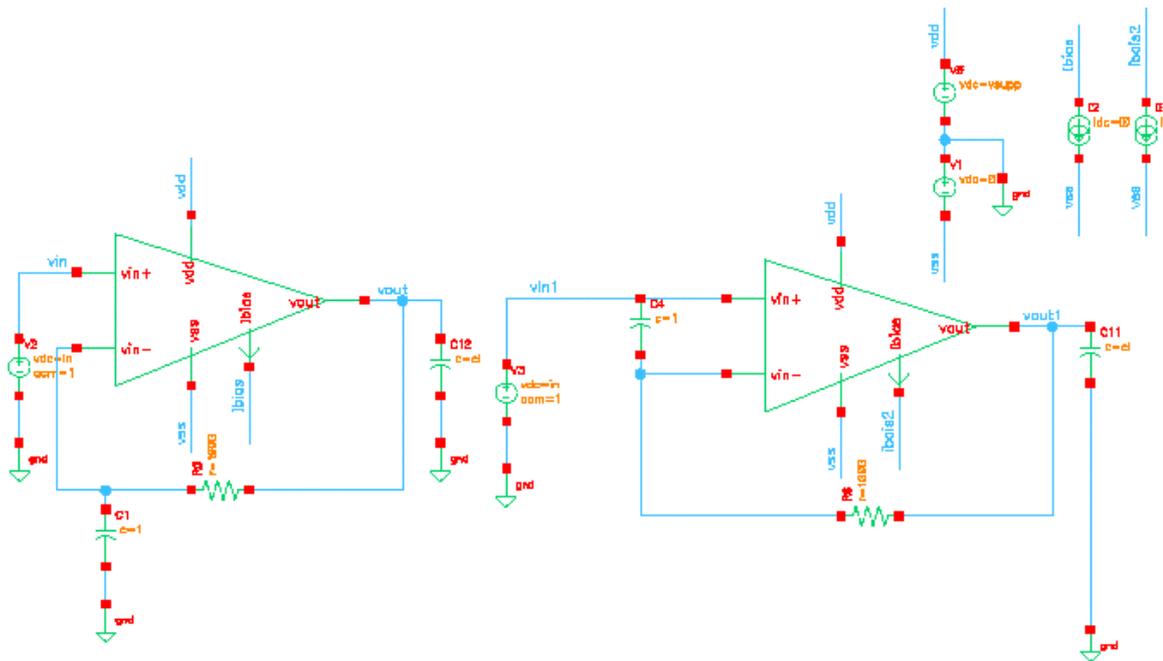


Figure II.9: Circuit test bench de CMRR

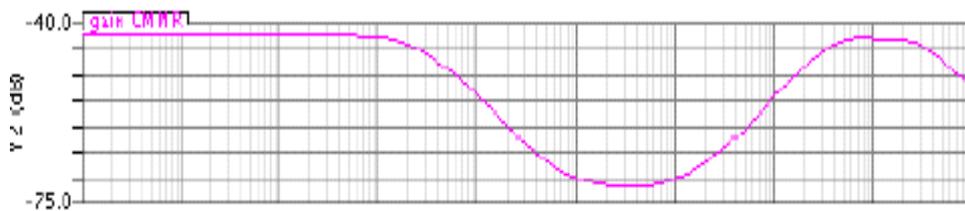


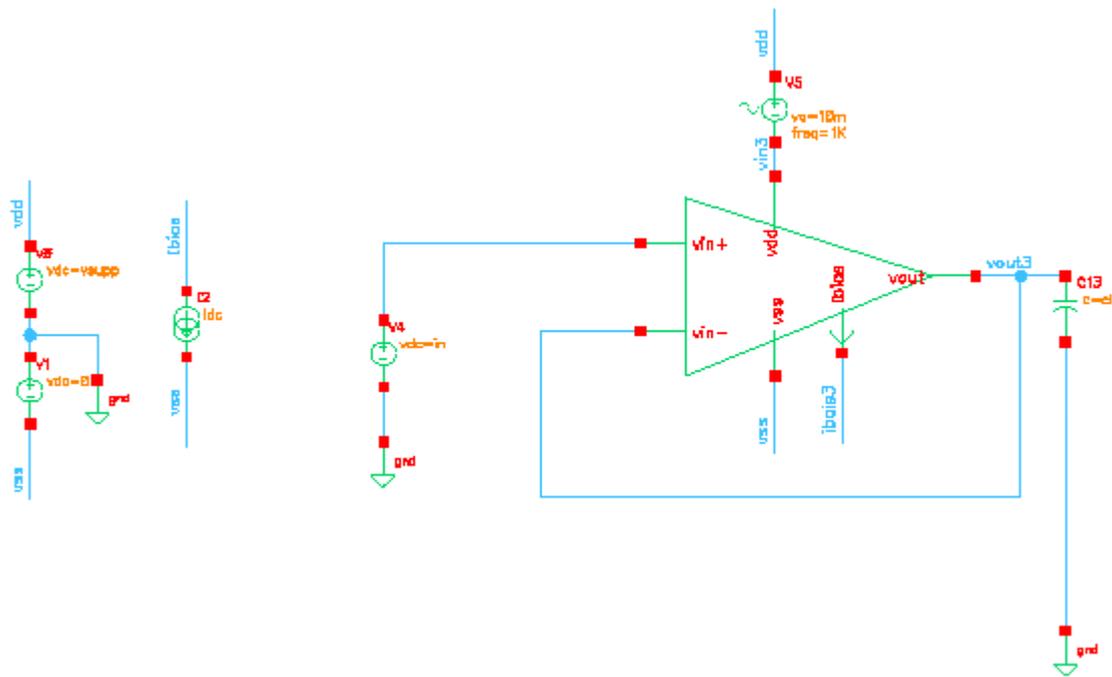
Figure II.10: simulation de CMRR

### C.PSRR (Power Supply Rejection Ratio)

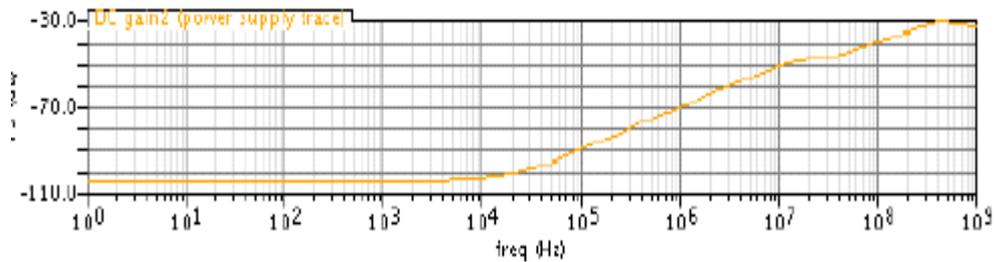
Le PSRR est défini comme le produit de rapport de la variation de la tension d'alimentation par rapport à la tension de sortie de l'OP-AMP par le gain en boucle ouverte, PSRR est donné par la formule suivante

$$PSRR = \frac{\Delta V_{DD}}{\Delta V_{out}} \cdot A_{ov} \tag{II.7}$$

Le circuit test bench présenté ci-dessous figure (II.11) on peut calculer PSRR. Les résultats des simulations illustrées dans la figure (II.12)



**Figure II.11:** Circuit test bench de PSRR



**Figure II.12:** Courbe de PSRR

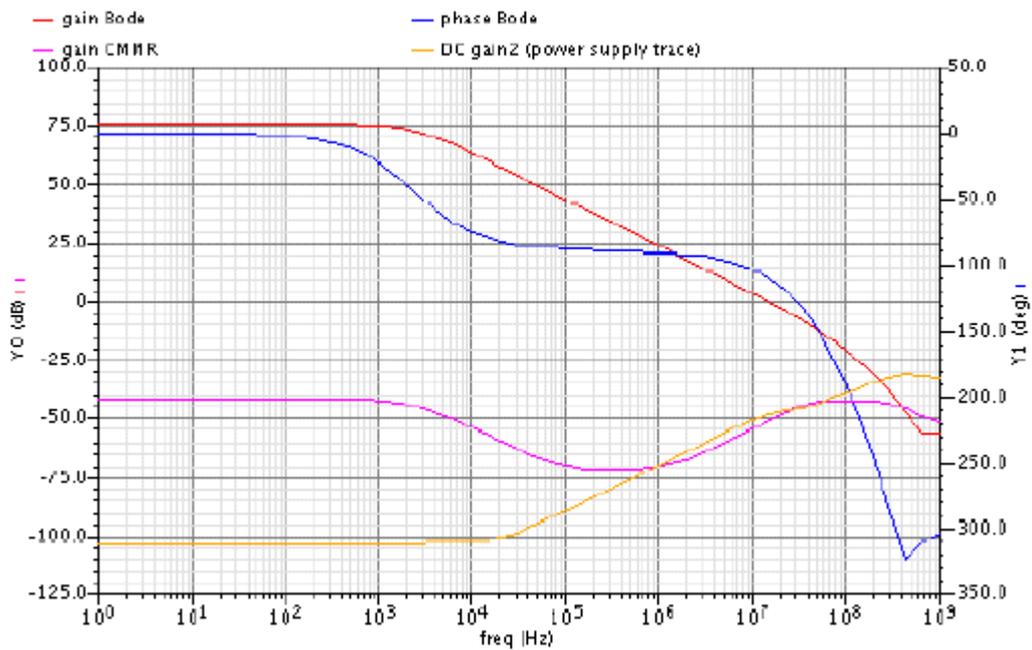
Pour assurer un bon fonctionnement de notre **OTA** dans l'analyse fréquentielle. On a fait des simulations en variant les paramètres suivants (l'Annexe)

- Le courant d'alimentation  $I_{\text{supp}}$  entre 8uA, 10uA et 12 uA.
- La tension d'alimentation  $V_{\text{dd}}$  entre 2.9V, 3.3V et 3.6V.
- La température entre 0, 27 et 105.
- les modèles des composants (transistors et condensateur) entre, type min et max.

Les résultats des simulations résumés dans le tableau II.3

Cas / Paramètres	Typical	Worst vth	Worst speed	Worst one	Worst zero
DC gain en boucle ouverte (dB)	75,54	74	76,75	75,49	74,47
Marge de phase	71,54 <sup>0</sup>	69,79 <sup>0</sup>	71,49 <sup>0</sup>	72,45 <sup>0</sup>	70,15 <sup>0</sup>
Bande passent (MHz)	10	10	10	10	10
CMRR (dB)	117	100	118,78	107,53	106,47
PSRR (dB)	178	176	174,52	179,21	169,47

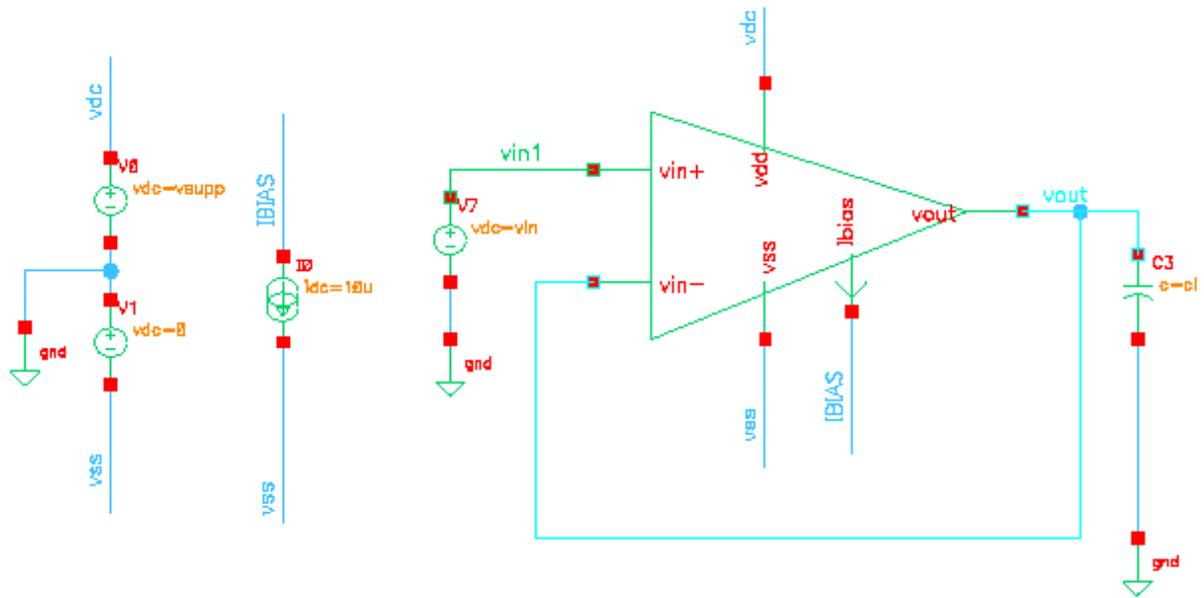
**Tableau II.3** résumer les différentes valeurs pour les différents cas d'analyse AC



**Figure II.13:** les résultats de simulation d'analyse AC pour les différents paramètres

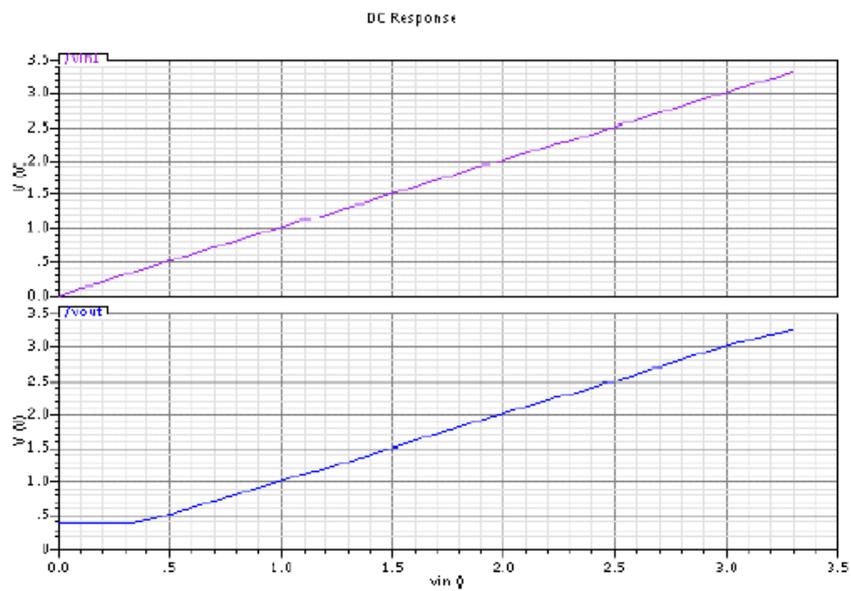
### II.3.4.2. Analyse DC

Dans l'analyse DC on a essayé de vérifier que le signal de sortie suivi le signal d'entrée, pour tracer la fonction de transfert de sortie de l'OTA on a utilisé une source de tension DC variable (VSS à VDD) afin de calculer **ICMR-** et **ICMR+**, le schéma de test bench est montré dans la figure (II.14).



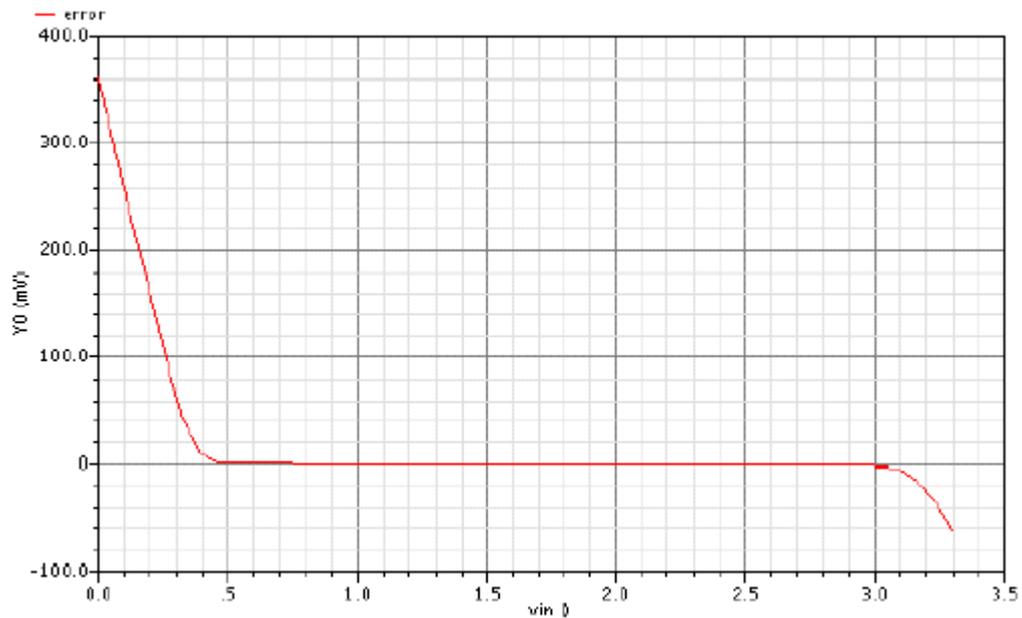
**Figure II.14:** schéma test bench d'analyse DC

Les résultats de simulation sont montrés dans la figure (II.15),



**Figure II.15:** courbe des simulations DC

La figure (II.16) présenter l'erreur entre le signal d'entre et le signal de sortie



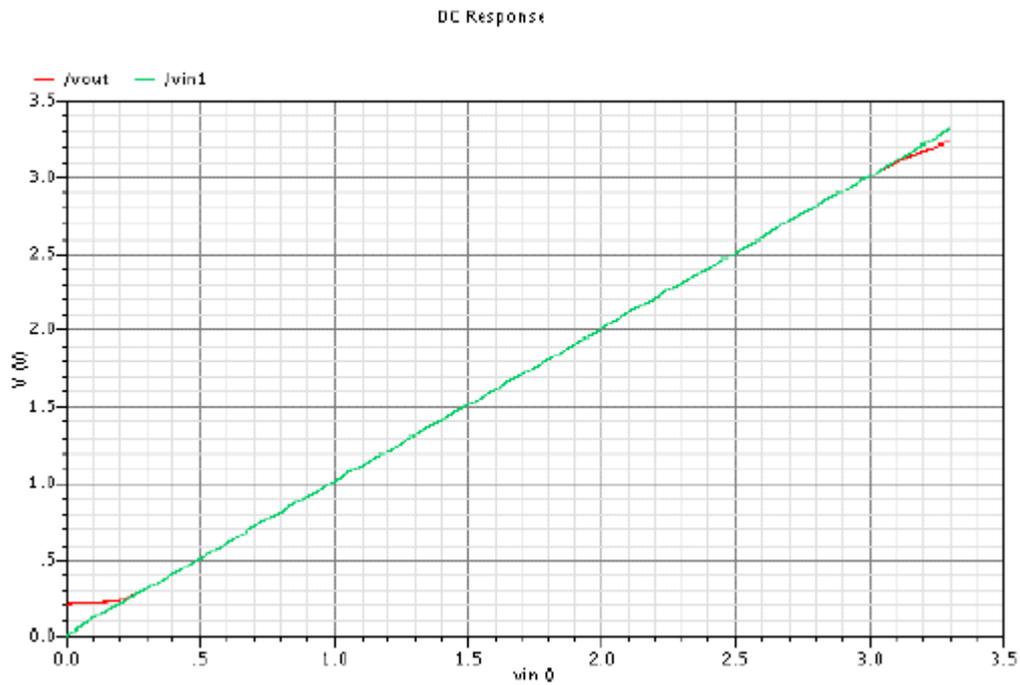
**Figure II.16:** l'erreur entre le signal de sortie et le signal d'entre (analyse DC)

Les valeurs des ICMR-, ICMR+ et l'offset sont résumées en ce tableau II.4

Les paramètres	Valeurs
ICMR-	450 mV
ICMR+	3,05 V
Offset	5 mV

**Tableau II.4** résumer les résultats de simulation d'analyse DC

Pour minimiser la valeur de ICMR- et augmenter la valeur de ICMR+ on a augmenté le rapport (W/L) des transistors M7 M8 M9 et M10 de (16/2) à (64/2) pour minimiser la tension overdrive des transistors de sortie, les résultats de simulation est montrés dans la figure (II.17),



**Figure II.17:** *courbe optimise d analyse DC*

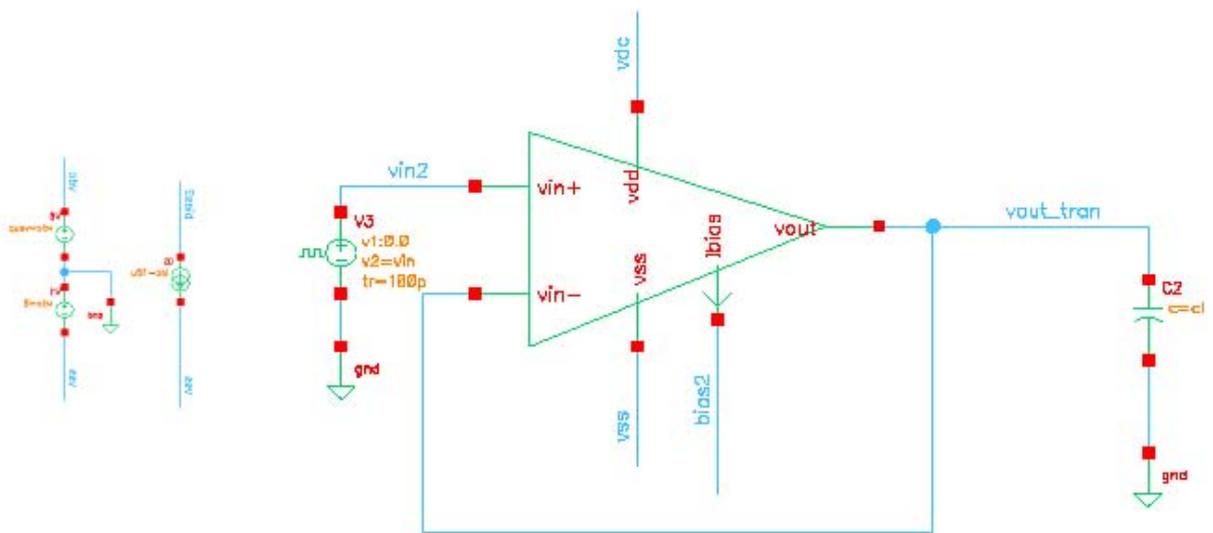
On peut constater que avec l'augmentation de rapport (W/L) des transistors M7 M8 M9 et M10, qu'on a optimisé les valeurs des paramètres d'analyse DC comme montre dans le tableau II.6.

Les paramètres	Valeurs
ICMR-	250 mV
ICMR+	3,1 V
Offset	5 mV

**Tableau II.6** les paramètres optimise en l analyse DC

### II.3.4.3. Analyse transitoire

Pour l'exécution d'une analyse transitoire l'OTA est configure en suiveur comme montre en la figure (II.18) afin de calculer le temps de propagation **SR** (Slew Rate).

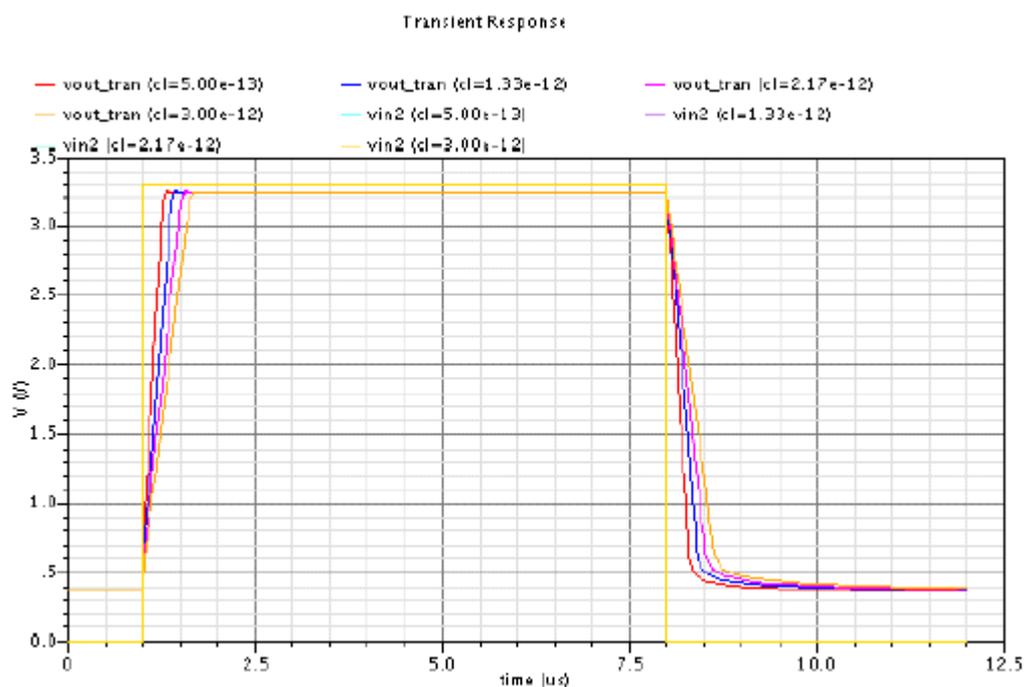


**Figure II.18:** schéma test bench d'analyse transitoire

On peut définir le temps de propagation (Slew Rate) comme la vitesse de balayage de signal de sortie, SR donner par l'expression suivante

$$SR = \frac{dv_{out}}{dt} = \frac{i_{ss}}{C_L} \tag{II.8}$$

Les résultats de simulation sont présentés dans la figure (II.19).



**Figure II.19:** Les résultats des simulations d'analyse transitoire

Les valeurs de SR+ et SR- pour les différentes valeurs de condensateur de charge CL donner dans le tableau II.7.

CL (PF)	0.5	1.33	2.17	3
SR+ (V/us)	9,73	6,82	5,32	4,33
SR- (V/us)	-9,27	-6,5	-4,98	-4,09

**Tableau II.7 les valeurs SR pour les différents valeurs CL**

### II.3.5 Dissipation d'énergie

L'énergie dissipé par l'OTA est donné par l'expression suivante

$$P = (VDD + VSS) \cdot (IBIAS + 5 \cdot IM)$$

Pour VDD=3.3V, VSS=0, et IBIAS=10uA. IM=10uA.

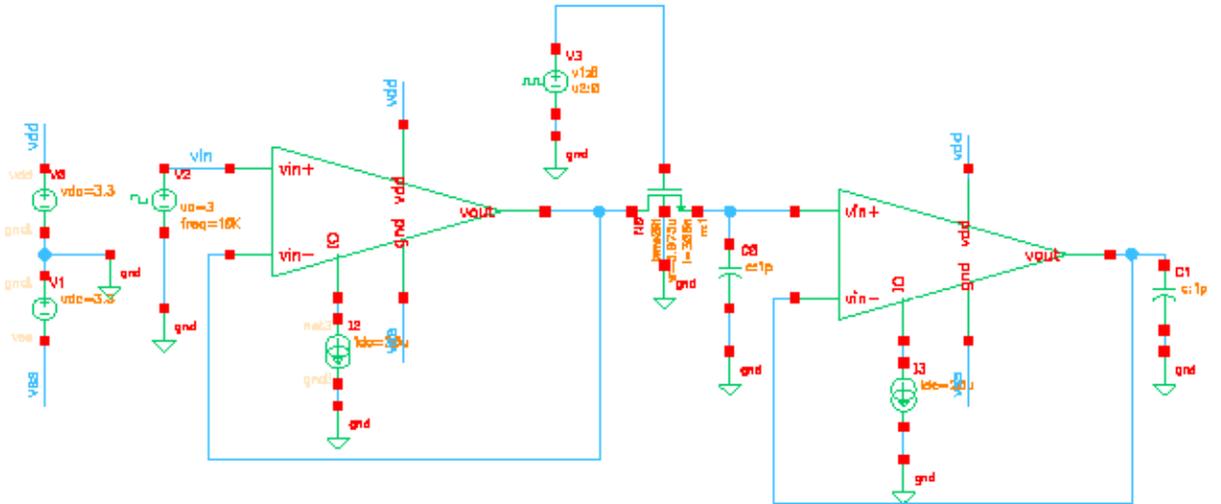
$$P = 198 \mu W.$$

## II.4. circuit échantillonneur bloqueur (E/B)

Dans cette partie, nous décrivons un certain nombre d'architectures de E/B souvent utilisées dans les systèmes de conversion analogique numérique, la plupart des circuits E/B configure entré deux architecture soit en boucle ouverte ou en boucle fermée.

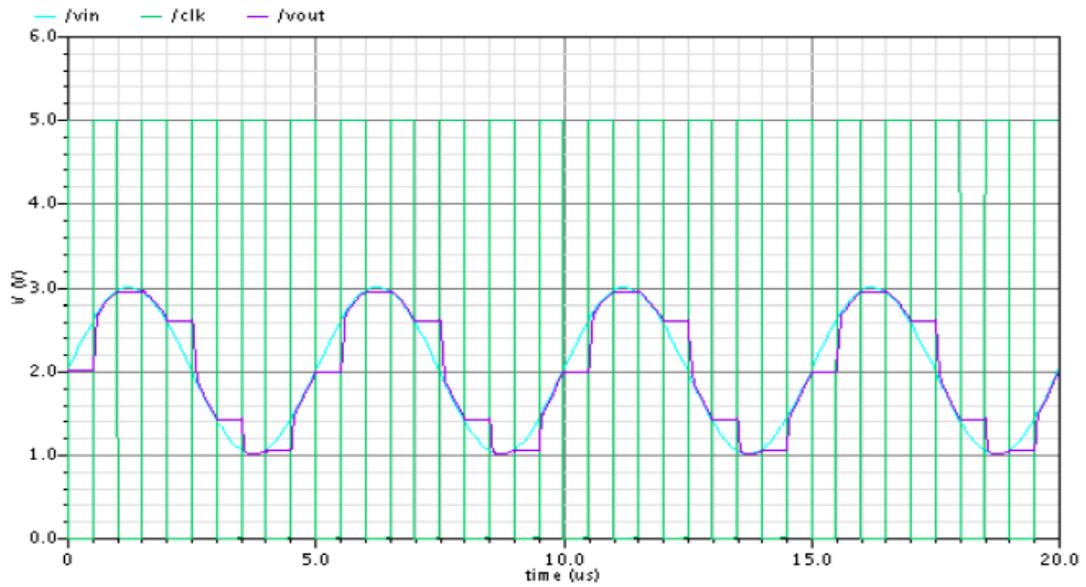
### II.4.1. Configuration en boucle ouverte E/B

La configuration en boucle ouverte du circuit échantillonneur bloqueur est montrée en la figure (II.20); cette architecture constitue un buffer d'entrée B1, et buffer de sortie, un switcher S et capacité CH.

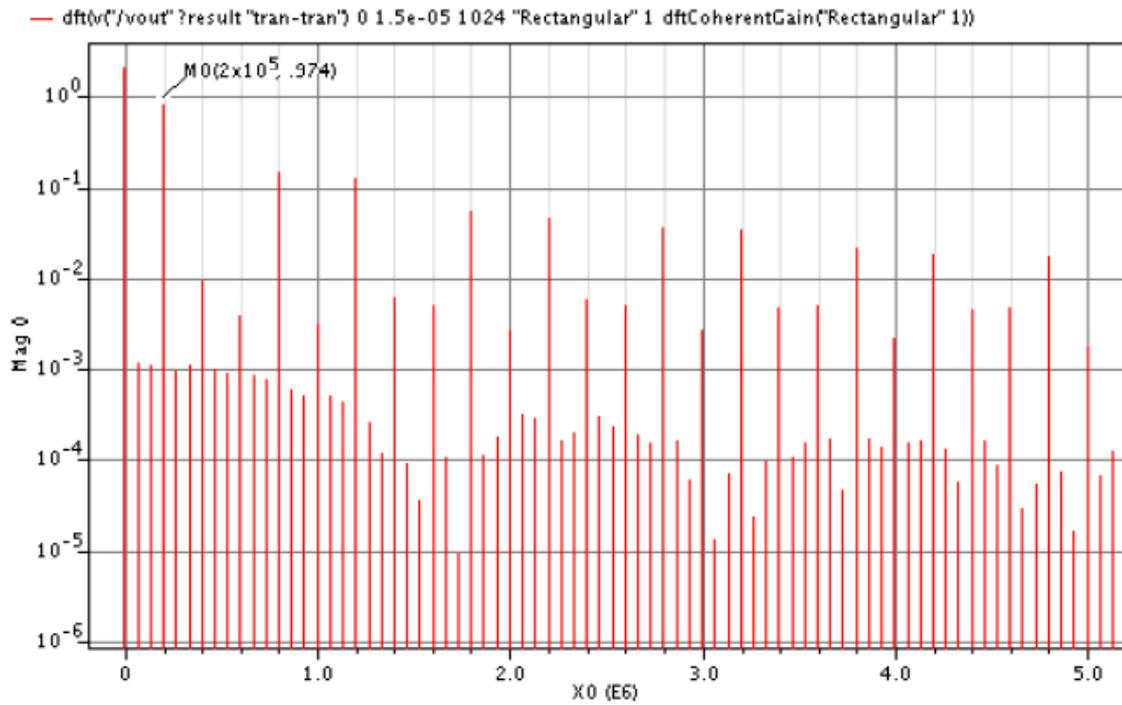


**Figure II.20:** configuration en boucle ouverte E/B

Les résultats des simulations sont montrés dans les figures (II.21), la figure (II.22) montre le signal de sortie échantillonne pour une fréquence de signale d'entré 200kHz

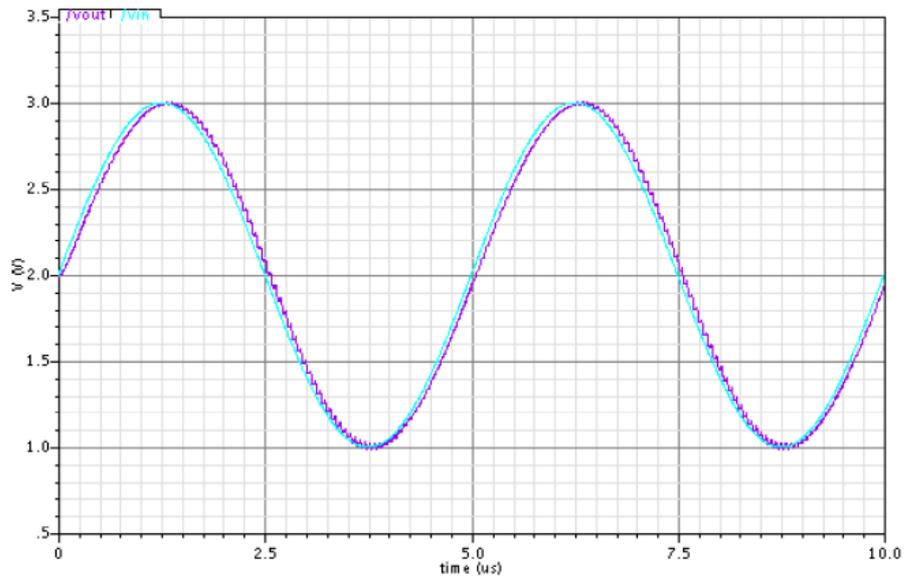


**Figure II.21:** Signale de sortie pour la configuration en boucle ouverte

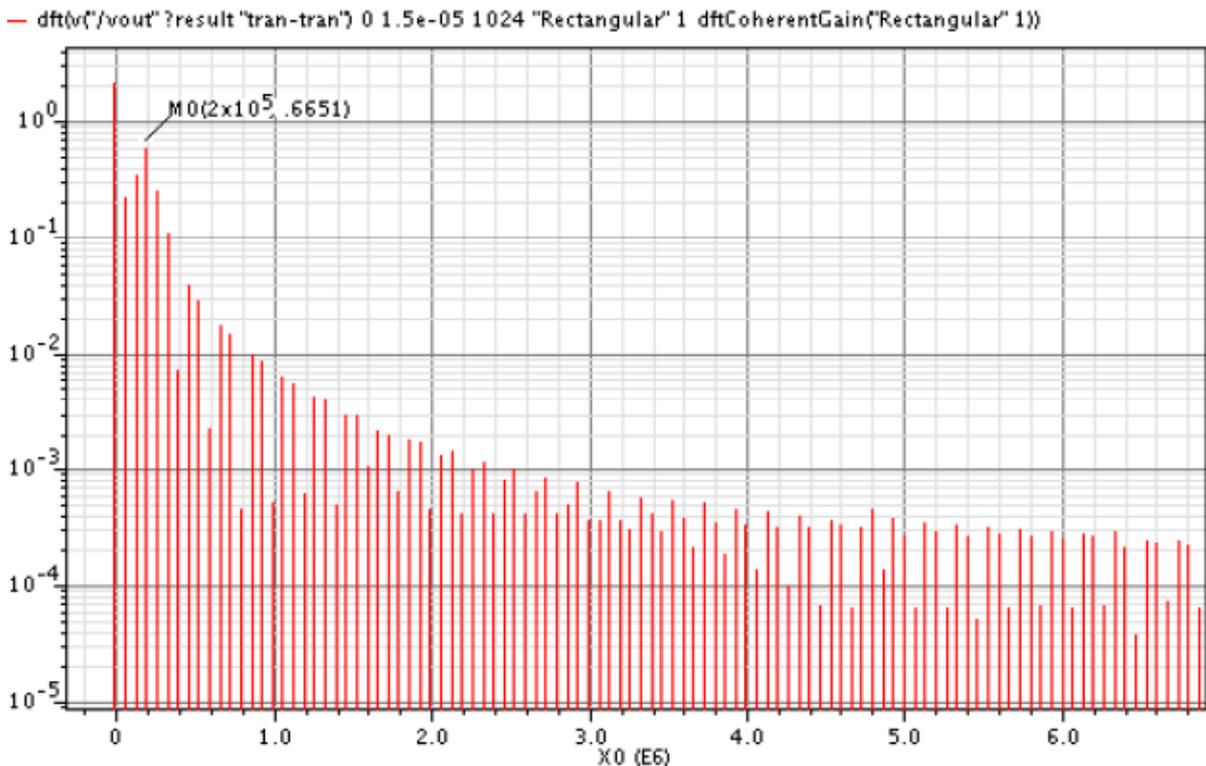


**Figure II.22:** *spectre de signal de sortie*

On a fait varier la période de switcher de 1us jusque 100ns; on a constate que pour des périodes plus de 100ns le signal de sortie a subit des déformations comme montre en la figure (II 23)



**Figure II.23:** *déformation de signale de sortie*



**Figure II.24:** le spectre de signal de sortie déformé

#### II.4.2 Configuration en boucle fermée

Le schéma du circuit de E/B configure en boucle fermée est montré dans la figure (II.25), le circuit est constitué par deux étages d'amplification A1 et A2, qui fournissent un gain suffisant pour garantir un état fortement précis d'état d'équilibre.

Le fonctionnement du circuit est comme suit. Quand les switchers S1 et S2 sont fermés, le condensateur CH est chargé au niveau de signal d'entrée, qui est échantillonné quand S1 ou S2 est ouverte, Ensuite, les deux switchers S4 et S5 sont fermés, condensateur CH est connecté à la sortie, et le signal de sortie prend la valeur échantillonnée de signal d'entrée au niveau de condensateur CH, Quand les switchers S4 et S5 sont ouverts. Le niveau de signal de sortie est retenu dans le condensateur CB, qui fonctionne comme élément de prise, les formes des signaux clk des switchers est illustré en la figure (II.26), le signal de sortie de ce type du circuit est montré en la figure (II.27).

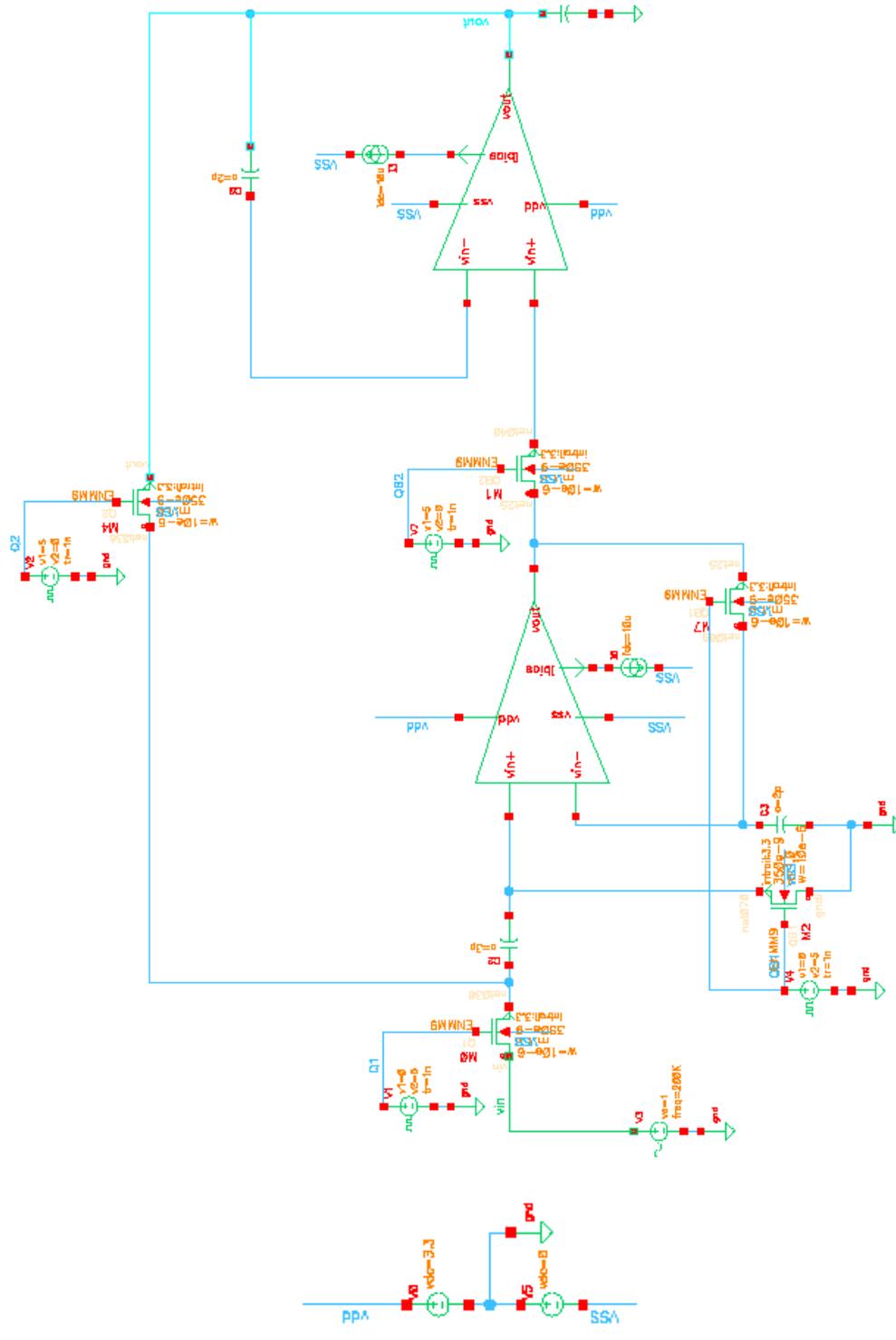
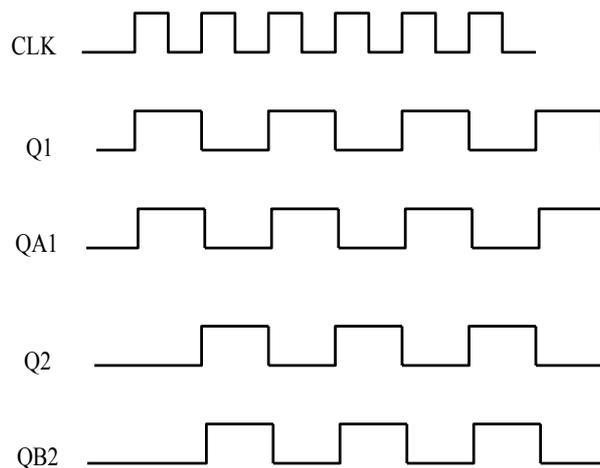
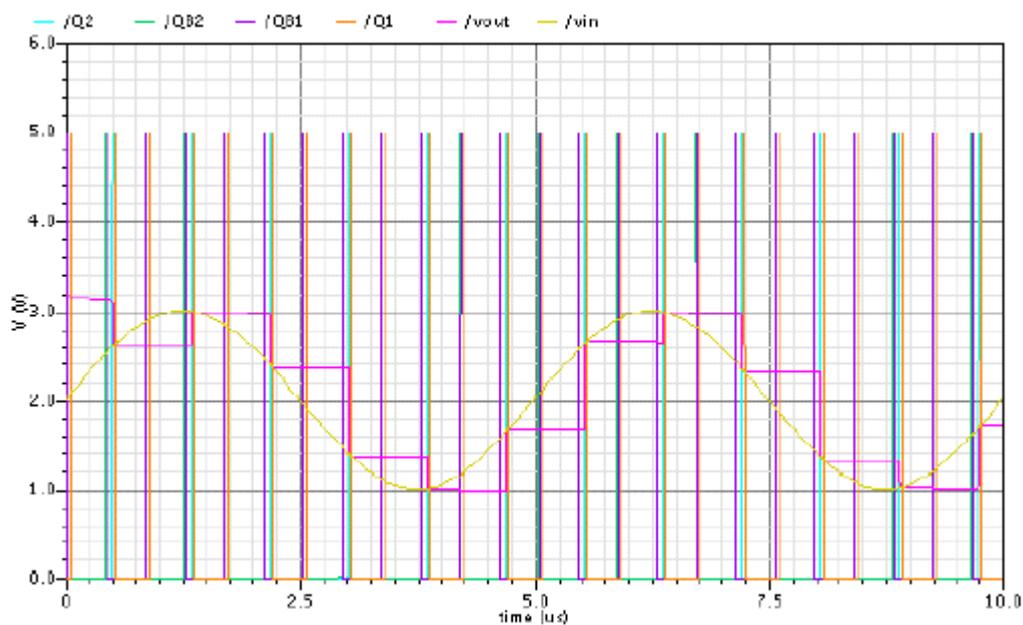


Figure II.25: configuration en boucle fermée.



**Figure II.26:** les signaux clk des switches.



**Figure II.27:** le signal de sortie de configuration en boucle fermé.

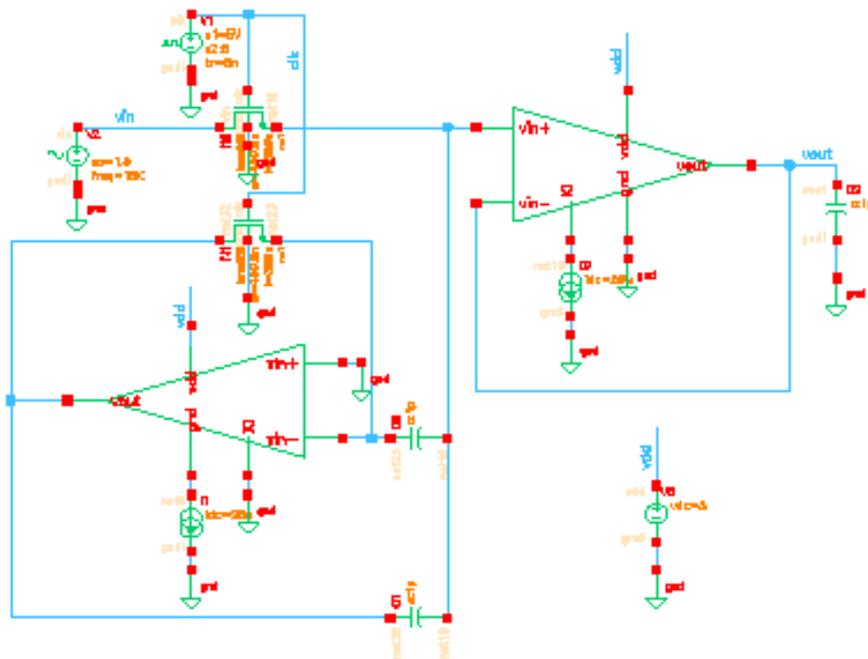
## II.5. Des autres type des circuits EB

Le compromis entre la vitesse et la linéarité entraîne l'adoption de l'une ou l'autre de deux approches lors de la conception des circuits EB CMOS à haute résolution et grande vitesse. La première approche qui est à boucle ouverte permet de maximiser la linéarité, et l'autre qui est à boucle fermée facilite l'obtention d'une haute vitesse. Cette section donne une courte description des architectures d'EB.

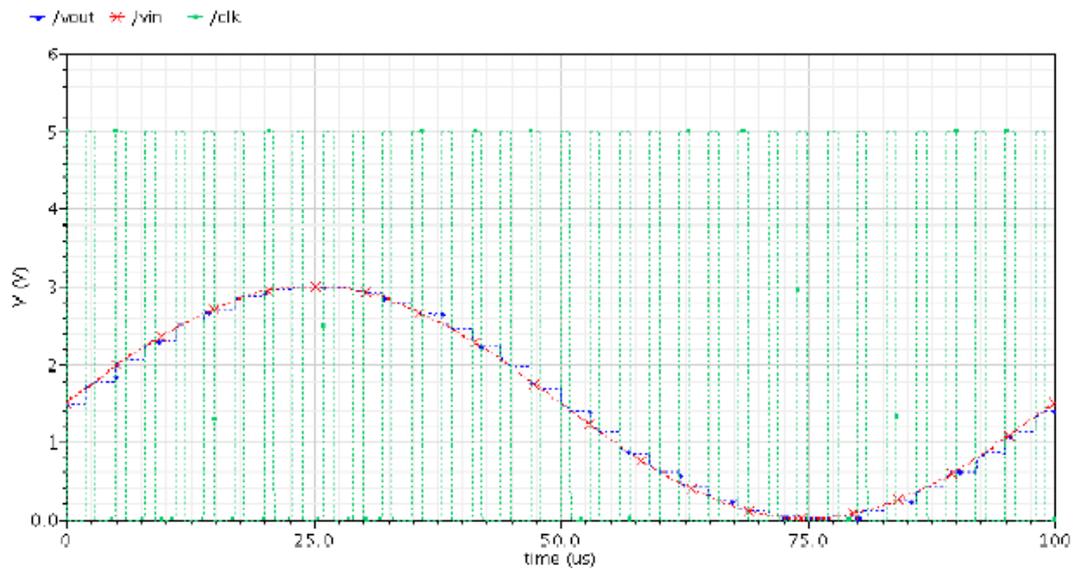
### II.5.1.Circuit EB à capacité de Miller

Une approche intéressante est employée pour réduire l'injection de charge dépendante du signal d'entrée. L'idée est d'employer l'effet de Miller qui consiste à augmenter la capacité efficace qui donner par la relation (II.9), en mode de blocage afin de rendre négligeable le niveau de tension résultant de l'injection de charge, le circuit EB à capacité de Miller est présenté dans la figure (II.28), les résultats de simulation est montré dans la Figure (II.29)

$$C_{eff} = (1 + A) \left( \frac{C_1 \cdot C_2}{C_1 + C_2} \right) \quad (II.9)$$



**Figure II.28** Circuit EB à capacité de Miller

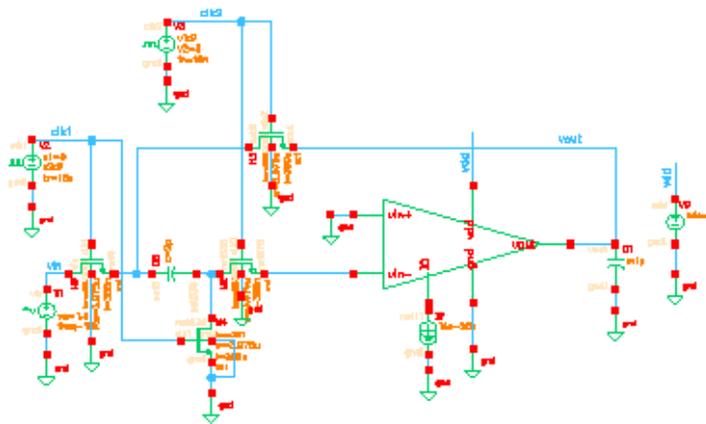


**Figure II.29** le signal de sortie du circuit EB à capacité de Miller

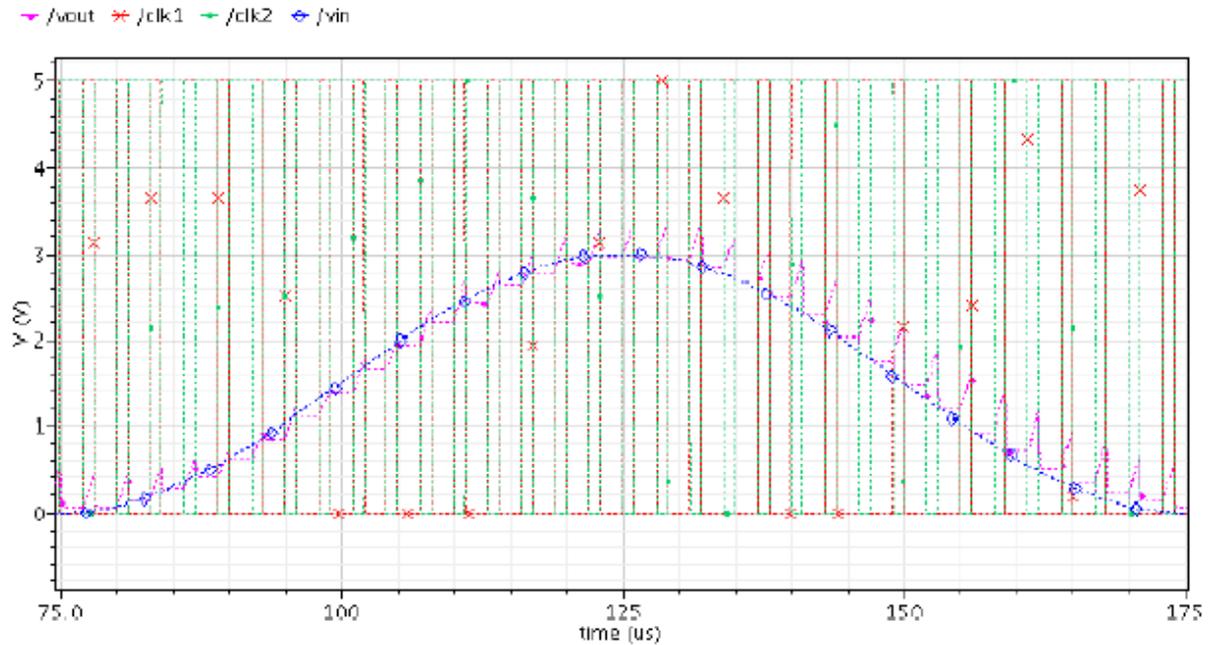
### II.5.2. Circuit EB à condensateurs commutés

Une architecture d'EB en boucle fermée, généralement utilisée dans des circuits à condensateurs commutés (switched-capacitor-SC), appelée EB «flip-around», est illustrée dans la figure (II.30). Elle effectue l'échantillonnage passivement, c.-à-d. qu'il est fait sans amplificateur opérationnel, ce qui rend l'acquisition du signal rapide. En mode de blocage, le condensateur d'échantillonnage est déconnecté de l'entrée et mis dans une boucle de rétroaction autour de l'amplificateur.

Les résultats de simulation sont montrés dans la figure (II.31).



**Figure II.30** Circuit EB à condensateur commuté



**Figure II.31** le signal de sortie du Circuit EB à condensateur commuté

## II.6.Conclusion

Ce chapitre illustre l'ensemble des résultats de simulation réalisés, ainsi qu'une analyse globale des cellules développées. Les travaux accomplis vérifient le fonctionnement de l'OTA et le circuit E/B, les simulations montrent que l'amplificateur opérationnel à transconductance que nous avons conçu suit la fréquence des switchers jusqu'à 10MHz dans les applications du circuit échantillonneur bloqueur.

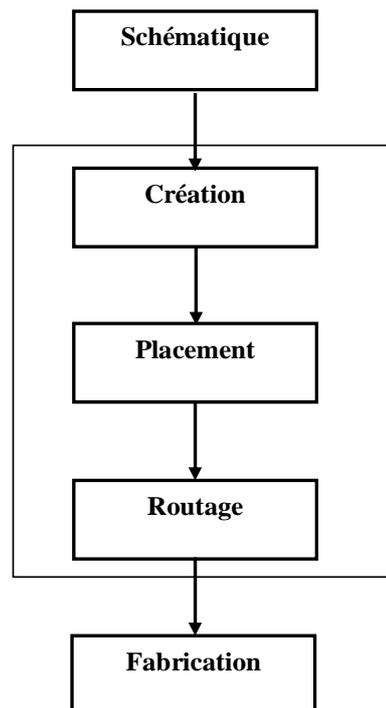
# **Chapitre III : *Dessin des masques***

### III.1 Introduction

L'étape de dessin des masques, c'est l'étape la plus longue et la plus difficile de la conception des circuits intégrés. Puisque le dimensionnement des composants élémentaires est critique, il convient de les réaliser le plus fidèlement possible. Le dessin des masques d'un circuit analogique doit donc être extrêmement précis. Cette précision concernera les dimensions effectives des composants mais aussi leur appariement qui, comme nous le verrons, tient souvent une place importante dans le dessin. Par ailleurs, les défauts de fabrication ou les parasites altèrent les performances finales. Ces imperfections dépendent notamment de la qualité du dessin des masques et doivent être prises en compte pendant le dimensionnement pour atteindre les performances désirées.

### III.2 Les étapes de génération d'un circuit

A l'entrée au cycle de conception de layout, on doit avoir un schéma d'un circuit pour avoir à la sortie un layout, Nous allons maintenant voir comment les différents étapes de la génération d'un circuit, la génération se fait en quatre étapes.



**Figure III.1:** Les étapes de génération d'un circuit

### III.2.1.Création

La première étape est d'établir les caractéristiques du système à concevoir. Ceci nécessite une création d'une représentation à niveau élevé du système. Les facteurs à considérer dans ce processus incluent: la performance, la fonctionnalité et les dimensions physiques. Le choix de la technologie de fabrication et les techniques de conception et de fabrication sont également considérées, Cette étape démarre donc par la création des dispositifs élémentaires et se fait à partir du schéma électrique non dimensionné du circuit dans la vue structurelle, et de la description du placement physique relatif de tous les modules dans la vue physique.

### III.2.3.Placement

Chaque élément (transistor, résistance, condensateur) effectue le placement physique, Le but du placement est de trouver la surface de rangement minimale, et une description de leur placement relatif contenue dans la vue physique. Cette étape est donc initiée par la génération des masques des dispositifs élémentaires et correspond à un parcours ascendant de la hiérarchie.

### III.2.4.Routage

Chaque module prend en charge le routage physique selon le netlist du circuit. Ce routage est effectué manuellement, L'étape de routage c'est l'étape la plus difficile, Dans cette étape, les connexions sont accomplies entre les blocs du circuit en négligeant les détails géométriques exacts de chaque fil et pin. Indique la route lâchée d'un fil à travers les différentes régions dans l'espace de routage. et plus, L'étape de routage il accomplit point à point les connexions entre les pins et les blocs; c à d, le routage lâché est converti à un routage exact en indiquant l'information géométrique telle que l'attribution des masques des fils.

## III.3 Les Considérations de layout

Dans les étapes de dessin du masque, il faut garantir un maximum appariement des composants afin de maintenir la performance des circuits. Quelques règles doivent être respectées pour un appariement optimal.

- La même structure.
- La même température.
- La même forme.
- La même taille.

- Les distances minimales.
- La même orientation.
- Le même voisinage.
- La structure centroïde commun

### III.3.1. Appariement (matching)

L'une des principales caractéristiques de la conception de circuits analogiques est la fréquente nécessité d'appariement entre les composants. Certains dispositifs extrêmement répandus comme la paire différentielle ou le miroir de courant se basent sur la précision du rapport entre les dimensions des transistors qui les composent. De même, le fonctionnement d'un intégrateur à capacités commutées dépendra fortement du rapport qui lie les capacités impliquées. D'autres circuits peuvent également s'appuyer sur un rapport résistif précis. C'est le cas des convertisseurs analogique-numérique (CAN/ADC) basés sur une échelle de résistances.

#### III.3.1.1. Deux classes d'erreurs d'appariement

Lors de la fabrication, plusieurs phénomènes nuisent à la qualité de l'appariement entre composants. On peut définir l'erreur relative d'appariement par

$$\delta = \frac{R_m - R_v}{R_v} \quad (\text{III.1})$$

où  $R_m$  est le rapport mesuré après fabrication, et  $R_v$  est le rapport initialement visé. Ce rapport peut concerner les tensions de seuil de deux transistors, les valeurs de deux capacités ou de deux résistances. Pour pleinement quantifier l'erreur d'appariement, il faut cependant effectuer les mesures sur un échantillon suffisamment représentatif de circuits. Si l'on effectue des mesures sur un échantillon de  $N$  unités, on observera les erreurs  $\delta_1, \delta_2, \dots, \delta_N$ . On peut alors déterminer la moyenne  $m_\delta$

$$m_\delta = \frac{1}{N} \sum_{i=1}^N \delta_i \quad (\text{III.2})$$

On distingue alors deux types des erreurs d'appariement

### L'erreur systématique

Elles sont mesurées par la grandeur  $m_\delta$  et proviennent de phénomènes qui affectent toutes les unités de la même façon. On trouvera notamment dans cette catégorie les erreurs d'appariement dues à l'excès de gravure.

### L'erreur aléatoire

Elles sont mesurées par la grandeur  $\sigma$  et sont principalement dues à des variations statistiques sur les conditions de fabrication, ou sur les propriétés des matériaux. Bien qu'on ne puisse s'affranchir de ces variations lors de la fabrication, il est souvent possible d'en minimiser l'impact sur l'appariement.

#### III.3.1.2. Appariement des transistors MOS

L'une des principales erreurs systématiques d'appariement est due à la variation de l'épaisseur d'oxyde le long du wafer. Au premier ordre, on peut modéliser cette variation par une pente. Ainsi, si deux transistors de mêmes dimensions sont distants de  $d$ , on observera une erreur d'appariement proportionnelle à  $d$ . Comme le montre la figure (III.2), celle-ci provient de la différence d'épaisseur d'oxyde sous leur grille respective.[15]

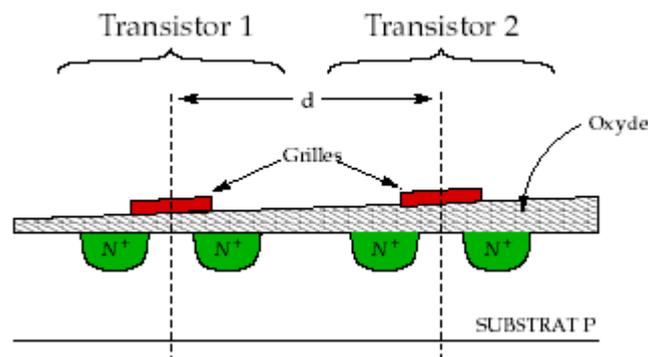


Figure III.2: variation de l'épaisseur d'oxyde.

#### III.3.1.3 l'appariement de capacités

L'appariement entre capacités est principalement dégradé par deux phénomènes : l'excès de gravure et le gradient d'oxyde, des capacités de géométrie identique, c'est-à-dire de rapport périmètre/surface identique, sont moins affectées par les erreurs d'appariement dues à l'excès de gravure. Cette équation n'est cependant qu'une approximation. Pour effectivement optimiser l'appariement, il faut que les capacités présentent exactement la même géométrie.

### III.3.2. Orientation du courant

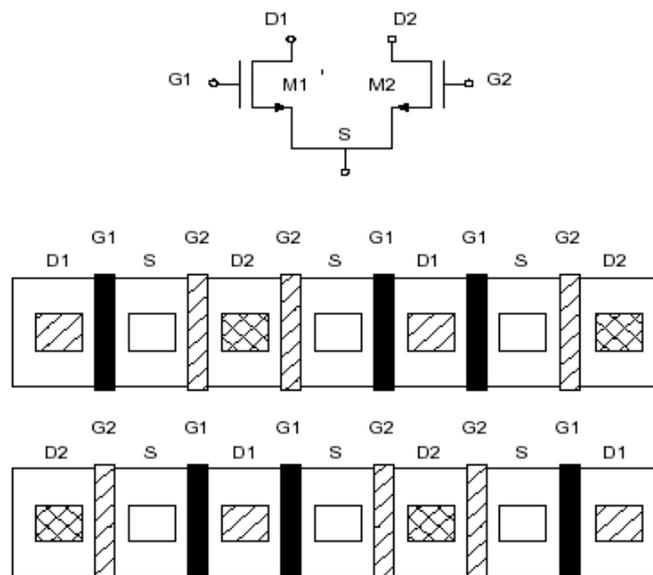
L'intensité du courant dans un transistor dépend de sa direction. En conséquence, les courants qui traversent des transistors appariés doivent à être orientés dans la même direction. Pour optimiser l'appariement, on a alors deux possibilités

- Créer en sorte que toutes les pattes de tous les transistors soient traversées par des courants allant dans la même direction.
- Donner à tous les transistors un nombre de repliements pair, puis faire en sorte que pour chaque transistor, la moitié des doigts soit traversée par des courants allant dans une direction, et l'autre moitié soit traversée par des courants allant dans la direction opposée.

### III.3.3. Structure commune centroïde

#### III.3.3.1. l'approche à une dimension

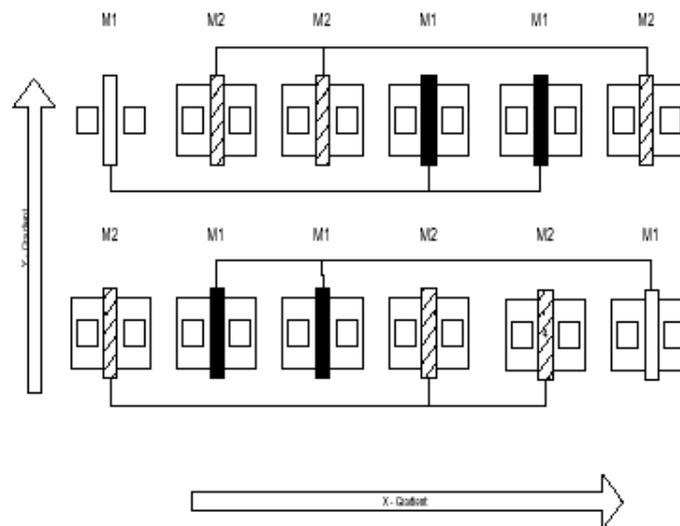
Si on a utilisés deux grands transistors (par exemple la paire de transistor d'entrée), des gradients le long des 2 axes de dimensions, peuvent engendrer les disparités à vérifier. Pour réduire ce des disparités, la structure dans figure (III.3) peut être employés. [19]



**Figure III.3:** La configuration des transistors d'entrée

### III.3.3.2. Structure commune centroïde à deux dimensions

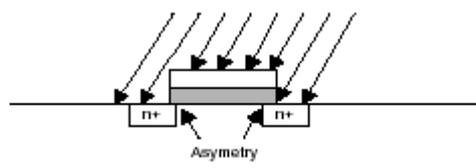
Puisque les transistors d'entrée, qui doivent s'apparier, doivent être physiquement proches, on utilise alors une structure commun-centroïde bidimensionnelle. Naturellement, un gradient peut se produire dans n'importe quelle direction; ce gradient peut alors être divisé dans un gradient-X et un gradient-Y. Ainsi, on doit utiliser une structure à deux dimensions appropriée pour éviter les effets des deux types de gradient. [14]



**Figure III.4:** *structure commune centroïde*

### III.3.4 La limitation l'effet de la grille

Pendant l'implantation de drain et la source, la grille de polysilicon ombrage le drain ou la source du transistor parce qu'elle est inclinée par environ 7 degrés. En conséquence, la source et le drain ne reçoivent pas la même implantation. L'étape de processus est représentée dans figure (III.5)



**Figure III.5:** *L'effet de la structure de la grille*

La topologie qui on a utilisé dans la figure (III.6 (a)) minimisé l'effet d'ombrager de grille, Dans la figure (III.6. (b)), le transistor ne sont pas identique parce que les drains des transistors M1 et M2 ne sont pas dans même condition physique, Ce n'est pas le cas dans la topologie (a).

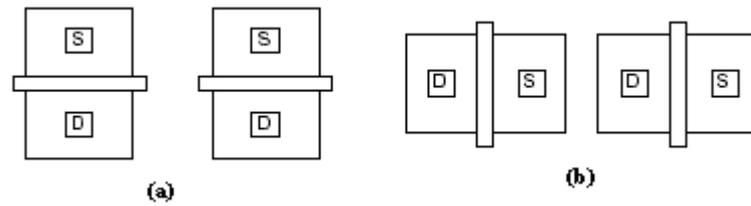


Figure III.6: minimisé l'effet de la structure de la grille

### III.3.5 Structure dummy

Une technique utile pour améliorer l'appariement entre deux éléments ou plus c'est l'utilisation des éléments factices, L'addition des éléments pour créer le même environnement et pour assortir le composant peut également diminuer la disparité comme montrée en la figure (III.7). [15]

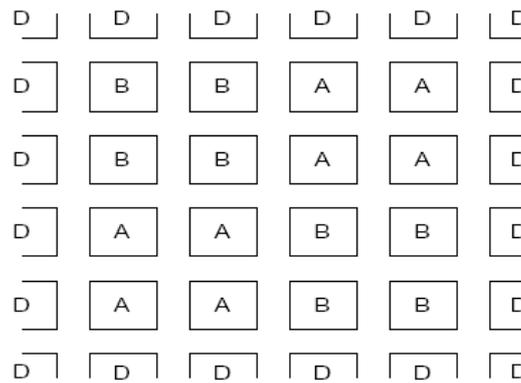


Figure III.7: la strucutre dummy

### III.4.L'effet Antenna

Le transistor MOS est plus fragile que le JFET car une simple charge statique sur la grille risque de percer la faible épaisseur d'oxyde, c'est pour quoi, dans la pratique, on monte souvent une diode de protection polarisée en inverse entre la grille et la source, comme montrée en la figure (III.8). [2]

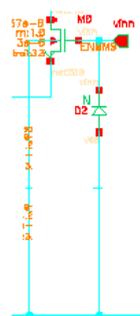


Figure III.8: diode de l'effet d'Antenna

### III.5 Création de layout par virtuoso XL (VXL)

Le dessin des masques a une forte influence sur le comportement d'un circuit analogique. En effet, les dimensions effectives des composants réalisés ne sont pas toujours parfaitement égales à celles spécifiées. De plus, selon le style du dessin réalisé, les parasites introduits peuvent à être différents. Les dimensions effectives et les parasites doivent à être pris en compte afin d'obtenir une estimation aussi précise que possible des performances, dans notre travail de layout de l'OTA on a utilisé l'outil **Virtuoso XL (VXL)**, cet outil permet d'obtenir un ensemble des masques des composants (transistor, diode, capacité et résistance), **Virtuoso XL** produire des custom layout a partir des schémas ou des netlists.

#### III.5.1 Les outils de vérification de layout

##### III.5.1.1 DRC (Design Rule Check)

Si on a terminé dessin de layout, il faut conformer à un ensemble des règles complexe de conception, afin d'assurer une probabilité inférieure des défauts de fabrication. Un outil construit dans le Layout Editor, appelé **Design Rule Checker (DRC)**, est utilisé pour détecter toutes les violations de règle de conception pendant et après que la conception de dessin de masque, Le concepteur doit effectuer le **DRC** et s'assurer que toutes les erreurs de layout sont par la suite éliminées de layout, avant que la conception finale.

##### III.5.1.2.LVS (Layout versus schematic)

Une fois que le layout accomplit toutes les règles de conception (**DRC**), la prochaine étape de vérification est. De comparer Le netlist la vue de layout à celui de la vue schématique. (**Layout Versus Schematic.**), L'étape de **LVS** fournit un niveau additionnel de confiance pour l'intégrité de la conception, et s'assure que layout est une réalisation correcte de la topologie prévue de circuit et s'assure que la disposition de masque est une réalisation correcte de la topologie prévue de circuit

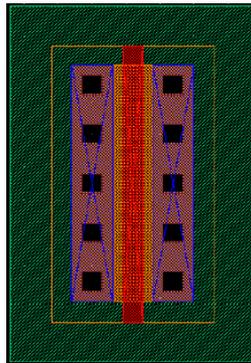
### III.6 layout des composants

La réalisation d'un circuit intégré a partir d'un schéma électrique consiste, pour le concepteur, définir les dimensions physique ainsi que l'emplacement des éléments, ces éléments sont réalisés par le fondeur, sur la plaquette de silicium, dans cette section, nous décrivons les composants actives le transistor **MOS**, et passif la condensateur entrant dans la conception de notre layout de l'OTA.

### III.6.1 layout du transistor MOS

La figure (III.9) illustre le layout du transistor **PMOS**, l'intégration de cet élément se fait, de la façon suivante

- ✓ Dépôt de l'oxyde de grille et croissant du polysilicium.
- ✓ Diffusion des régions n+.
- ✓ Oxydation et ouverture des contacts.
- ✓ Métallisation.



**Figure III.9:** *layout du transistor PMOS*

### III.6.2 layout de condensateur

Il y a deux types fondamentalement des condensateurs utilisés dans le circuit intégré, les condensateurs **MOS** et les condensateurs jonctions **PN**, le condensateur **MOS** peut être fabriqué en employant une région fortement dopées comme un plat, électrode supérieure en métal comme autre plat, et couche inversant d'oxyde comme diélectrique.[13]

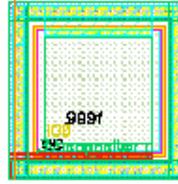
La capacité par unité de superficie est donnée par

$$C = \frac{\epsilon_{ox}}{d} \quad (III.3)$$

Où  $\epsilon_{ox}$  permittivité du vide

$d$  L'épaisseur de l'oxyde

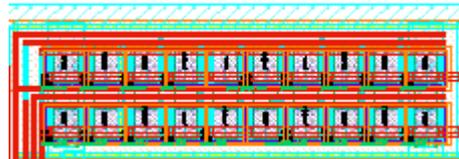
La figure (III.10) représente la disposition d'un condensateur qui on a utilisé dans le layout de l'OTA.



**Figure III.10 :** *Layout de condensateur*

### III.7. Layout de miroir de courant

Les miroirs de courant constituent un des cas où l'appariement entre les transistors est déterminant. Nous avons utilisé un dessin des masques de miroirs de courant prenant en compte le sens du courant dans le drain. Ceci est clairement montré sur la figure (III.11) où des largeurs de ligne et les nombres de contact ont été ajustés séparément pour chaque transistor arrangeant la densité élevée du courant. La ligne la plus large est celle de la source où la somme de tous les courants de transistor circule.



**Figure III.11 :** *Layout de miroir de courant*

### III.8. Le layout de l'OTA

Pour dessiner le Layout de l'OTA, on a utilisé Virtuoso XL (VXL), en prendre en compte les règles qui on a mentionné dans les sections précédentes, la bonne protection est exigée. Pour ce faire, on a implanté de grands composants en reliant plusieurs transistors élémentaires, utilisé la même direction de courant dans tous les transistors qui devraient être appariés. On a ajouté les composants dummy pour réaliser les mêmes conditions de limite. La figure (III.12) illustre le layout de l'OTA.

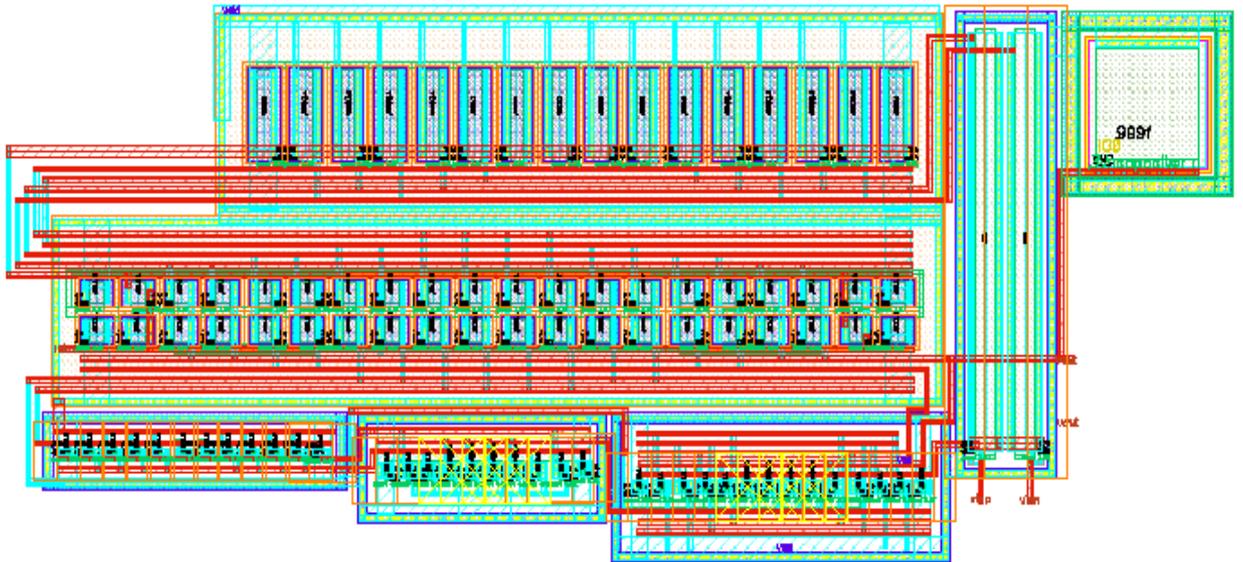


Figure III.12 : *layout de l'OTA*

### III.9. Conclusion

Dans ce chapitre on a présenté la phase de dessin des masques du circuit de l'OTA, on a commencé par la présentation des étapes nécessaires de génération d'un circuit, puis on a fait une brève discussions sur les considérations de layout, tels que l'appariement des composants, la fiabilité des règles de conception, les parasites et les méthodes utilisées pour les prévenir, suivant ces techniques, nous avons conçu le layout du circuit de l'OTA qui est implémenté dans la technologie CMOS  $0.35\mu\text{m}$  à faible tension.

# *Conclusion générale*

## Conclusion générale

La fabrication du circuit intégré est précédée d'une phase de conception durant laquelle s'élaborent les plans du circuit sur la base de ses spécifications fonctionnelles. La conception d'un circuit intégré permet ainsi de passer du "système" au "silicium" (technologie de fabrication) en passant d'un modèle dit de haut niveau qui est une description fonctionnelle du circuit à un modèle dit de bas niveau correspondant à l'élaboration des plans des masques (layout) qui vont définir la topologie des circuits.

Les objectifs principaux des technologies microélectroniques ainsi que les chaînes de CAO actuelles optimisent la portabilité des systèmes, la rapidité de fonctionnement, minimiser la consommation d'énergies, et aussi le temps de conception, pour ce dernier, L'accroissement de la complexité des circuits, joint à une pression constante de réduire les temps de mise sur le marché, a pour conséquence de faire évoluer les méthodes et les outils de conception.

La conception d'un circuit intégré, du plus simple au plus complexe, doit être réalisée conformément à son "cahier des charges" pour être utilisable : il s'agit de la phase la plus critique, car elle déterminera tous les modes de fonctionnement du circuit qui serviront en particulier à établir ultérieurement les protocoles de test en production du circuit. Il est indispensable de spécifier à ce niveau les contraintes techniques (performances électriques recherchées en vitesse et consommation, description du fonctionnement et identification de fonctions spécifiques éventuelles) et économiques (délais de conception et de fabrication des prototypes, volume de pièces prévus).

Les travaux présentes dans ce mémoire on été réalises au sein d une collaboration entre le laboratoire de microélectronique de l'université de Batna et de celui de l'université de Berlin, dans ce travail on a fait la conception du circuit échantillonneur bloqueur, la conception du circuit base sur l'optimisation d'amplificateur opérationnel a transconductance selon les spécifications de cahier des charges, les spécifications optimisé sont résumés dans le tableau suivant.

La technologie	0.35 $\mu$ m
Tension d'alimentation	3.3V
Courant d'alimentation	10 $\mu$ A
CMR-/CMR+	250mV/3.1V
Gain en boucle ouverte	75 dB
La marge de phase	70 <sup>0</sup>
La bande passante	10MHZ
CMRR	100 dB
PSRR	160 dB
SR	>4 V/us
Dissipation d'énergie	198 $\mu$ W

Les résultats obtenus peuvent être considérés satisfaisant, En considérant les performances générales simulées, les valeurs principales sont en général concordantes avec les systèmes étudiés, Les valeurs DC, PSRR et CMRR présentent des valeurs acceptables. La marge de phase obtenue permet une stabilité dans la norme, et la consommation correspond à celle définie dans le cahier des charges. Le gain et la pende passante ont des valeurs idéales.

Les paramètres du circuit E/B qui on a conçu résume dans ce tableau.

Paramètre	valeur
Tension d alimentation	+ 3,3V
Condensateur de blocage	1 PF
Fréquence de signal d entre	20 KHZ
Fréquence E/B	< 10 MHZ

# *Annexe*

# Annexe

## Simulation des corners

### **Isupp, le courant**

Type=10 $\mu$ A

Max=12 $\mu$ A

Min=8 $\mu$ A

### **Vsupp, l'alimentation**

Type =3.3V

Max=3.6V

Min=2.9V

### **Temp, la temperature**

Type=27.

Max=105.

Min=0.

### **Les modèles des composants NMOS, PMOS Capacité.**

type, min et max.

### **Les cas :**

typical, worst vth, worst speed, worst one, worst zero.

### **Typical.**

NMOS= type.

PMOS= type.

Capa= type.

Isupp= type.

Vsupp= type.

Temp= type.

### **Worst Vth.**

NMOS= min.

PMOS= min.

Capa= min.

Isupp= min.

Vsupp= min.

Temp= min.

**worst speed.**

NMOS=min.

PMOS=min.

Capa= max.

Isupp= min.

Vsupp= max.

Temp= min.

**worst one.**

NMOS= min.

PMOS= max.

Capa= max.

Isupp=min.

Vsupp= min.

Temp= min.

**worst zero.**

NMOS= max.

PMOS= min.

Capa= min.

Isupp= min.

Vsupp= min.

Temp= min.

# *Bibliographie*

## Bibliographie

- [1] PAUL R. GRAY, PAUL J. HURST, STEPHEN H. LEWIS, and ROBERT G. MEYER "ANALYSIS AND DESIGN OF ANALOG INTEGRATED CIRCUITS", JOHN WILEY&SONS, INC. 2001.
- [2] Behzad Razavi, "*Design of Analog CMOS Integrated Circuits*", Graw-Hill. INTERNATIONAL EDITION. 2001.
- [3] R. Jacob Baker, Harry W. Li and David E. Boyce. "*CMOS Circuit Design, Layout, and Simulation.*" The Institute of Electrical and Electronics Engineers, Inc., New York. 1998.
- [4] Roubik Gregorian "*Introduction to cmos op-amps and comparators*"
- [5] Phillip E Allen Douglas R Holberg, "*CMOS Analog Circuit Design*" second Edition, OXFORD university press 2002.
- [6] Behzad Razavi, "*Principales of Data Conversion System Design*", IEEE circuits and systems society sponsor 1995.
- [7] Bob Perrin, "*Practical Analog Design*", Circuit Cellar Ink, Issue 94, 1998.
- [8] P.Boyd, Thomas H, "*Automated design of Folded-cascode OP-AMPS with Sensitivity Analysis*", centre for integrated systems, Stanford university, Stanford CA 94305.
- [9] David A. Johns and Ken Martin, "*Analog Integrated Circuit Design*", John Wiley & Sons, Inc, first edition, 1997.
- [10] Don Dapkus and Kenny Han, "*Utilizing Class-D Audio Power Amplifiers for High Efficiency*", International IC–Korea Conference Proceedings.
- [11] Chih-Liang Chen, "*2.5V Bipolar/CMOS Circuits for 0.25 $\mu$ m BiCMOS Technology*", IEEE Journal of Solid-State Circuits, Vol. 27, No. 4, April 1992.
- [12] Dan Tulbure, "*Introduction to Power MOSFETs*", Microsemi Santa Ana MicroNote, Series 901.
- [13] S.M.SZE, "*Semiconductor Devices physics and technology*", JOHN WILLY& SONS.1985.
- [14] Alan Hastings "*the Art of Analog Layout*", PRENTICE HALL UPPER Saddle River, NJ 07458.
- [15] Vincent Bourguet "*Conception d'une Bibliothèque de Composant Analogiques pour la Synthèse Orientée Layout.*", these Docteur de l'Université Paris VI.

- 
- [16] Ashish C Vora “*Design of a Low Power, High Performance Track-and-Hold Circuit in a 0.18 $\mu$ m CMOS Technology*” Master Thesis Division of Electronic Devices Department of Electrical Engineering Linköping University, Sweden.
- [17] Ashish C Vora “*operational transconductance amplifier*” thesis, department of electrical engineering kate gleason college of engineering rochester institute of technology rochester, new york december 2005.
- [18] Joyce Cheuk Wai Wong “*CMOS Sample and Hold Circuits*”. Department of Electrical and Computer Engineering University of Toronto. November 12, 2001.
- [19] Professor Klar. “*Design of an integrated full differential operational amplifier in a 0.35 $\mu$ m CMOS AMS technology*.” TU Berlin, April-August 2000.