

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique
Université de Batna
Faculté de Technologie
Département d'Electronique

THESE

Pour l'obtention du diplôme de
Doctorat ès-Sciences en Electronique
Option : Microélectronique

Présentée par:
Samir BARRA

Thème

**Contribution à la Conception
d'un Convertisseur Analogique
Numérique en Technologie CMOS**

Soutenue le, 04/07/2013

Devant le jury constitué de :

Pr. Farida HOBAR	Professeur	Président	Université de Constantine
Pr. Nour-eddine BOUGUECHAL	Professeur	Rapporteur	Université de Batna
Pr. Saida LATRECHE	Professeur	Examineur	Université de Constantine
Pr. Abdelhamid BENHAYA	Professeur	Examineur	Université de Batna
Pr. Abdelhamid OUNISSI	Professeur	Examineur	Université de Batna
Dr. Saida REBAI	M.C.A	Examineur	Université de Constantine

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

Dédicace

Je dédie ce modeste travail fruit de plusieurs années de patience :

A ma chère mère symbole de tendresse, et à mon cher père symbole de sacrifice

A mes frères Omar, Messaoud et Mounir

A mes sœurs Faïda et Wissem

A l'esprit de mon frère Farid et ma tante Fatma

A tous mes Amis

A mes enseignants, lumières de mon chemin



Remerciements

Bien que cette thèse porte mon nom, elle est véritablement le fruit de la coopération de plusieurs personnes, qui m'ont encadré, supporté, guidé tout au long de ces années. Ce sont ces personnes que je tiens ici à remercier.

*Je souhaite remercier avant tout mon directeur de thèse **Mr. Nour-Eddine BOUGUECHAL** professeur à l'université de Batna et responsable du laboratoire de l'électronique avancée (LEA). Je retiens du professeur **BOUGUECHAL** ses grandes qualités d'encadrement, n'a eu de cesse de m'encourager et de me soutenir durant ces dernières années. J'en profite pour lui exprimer ici ma plus profonde gratitude.*

*Mes vifs remerciements à **Mme. Farida HOBAR**, professeur à l'université de Constantine, pour avoir accepté de présider le jury et à bien voulu prendre le temps de s'intéresser au sujet de la présente thèse.*

*Je tiens à remercier vivement **Mme. Saïda LATRECHE**, professeur à l'université de Constantine, **Mr. Abdelhamid BENHAYA** professeur à l'université de Batna, **Mr. Abdelhamid OUNISSI**, professeur à l'université de Batna et **Mme. Saïda REBAI**, Maître de conférence à l'université de Constantine d'avoir fait partie du jury en qualité d'examineurs et pour m'avoir honoré par leurs présences au jury.*

*Je remercie également mes collègues devenus amis, **Souhil, A. Ghani, Hakim, Fayçal, Amir, Mounir, Brahim, Asaad, Nacreddine, Toufik, Karim, Anouar, Mohammed, et Lamine** ; pour tout ce qu'ils m'ont permis d'apprendre et bien plus encore. Je remercie également mes amis proches pour avoir toujours été là. Je remercie aussi les gens que j'ai pu côtoyer durant mes années de thèse qui ont contribué de près ou de loin le long de mes études et recherches scientifiques.*

Enfin, je dois une dette certaine à ma famille et à mes parents, qui ont été mes plus fidèles supporteurs et qui m'ont aidé à traverser cette période.



ملخص

هذه الأطروحة هي مساهمة في تصميم محول تماثلي رقمي خط أنابيب. قد يكون المحول التماثلي الرقمي خط أنابيب هو إستراتيجية التحويل الأكثر استعمالاً، لأنه يوفر أفضل حل وسط بين السرعة والدقة. لقد وضعنا منهجية تصميم- "أعلى إلى أسفل" و تم تنفيذها من أجل تقليل وقت المحاكاة وفهم مصادر مختلفة من الأخطاء في المحول التماثلي الرقمي خط أنابيب، اعتمدنا هذا الأسلوب لتطوير بنية المحول التماثلي الرقمي خط أنابيب ذو 10 بت مستندا إلى طابق محول رقمي تماثلي مضاعف 1.5 بت. كما تم اقتراح نموذج سلوكي أو عملي للمحول التماثلي الرقمي خط أنابيب لصف لدراسة الطوابق الحرجة عن طريق دراسة متعمقة عن المصادر المختلفة للأخطاء في المحول التماثلي الرقمي وأثرها على العوامل السكونية والديناميكية فيه. وقد وضعنا طريقة تحسين تسمح باستكشاف الأداء التشغيلي للمضخمات العملية التي تشكل لبنة البناء الأساسية في المحول التماثلي الرقمي خط الأنابيب و تقدم تقديرا مسبقا للعوامل الخاصة به.

كلمات مفتاحية : المحولات التماثلية الرقمية, تصميم محول تماثلي رقمي خط أنابيب, النمذجة السلوكية, التحسين متعدد الأهداف اللوغاريتمات الجينية.

Abstract

This thesis is a contribution to the design of a pipeline ADC. Pipeline ADCs are perhaps the most popular ADC conversion strategy as they offer the best compromise between speed and resolution. The Methodology "Top - Down" is implemented in order to reduce the simulation time and understand the different sources of errors in a pipeline ADC, this method was adopted to develop an architecture of 10-bit pipeline ADC based on 1.5-bit MDAC. A behavioral model of pipeline ADC was proposed to refine the study of the critical stages of the CAN by depth study of various sources of errors and their impact on the static and dynamic parameters of the pipeline converter. An original Optimization method was developed to allow the exploration of performance for operational amplifiers that constitute the basic building block of the pipeline ADC and provide an estimation of their parameters.

Keywords: Analog-to-Digital converters (ADC), Pipeline ADC Design, behavioral Modeling, multi-objectives Optimization, Genetics Algorithms (GA).

Résumé

Ce travail de thèse constitue une contribution à la conception d'un CAN pipeline. Les CAN pipeline sont peut-être la stratégie de conversion CAN la plus populaire ADC, puisque comme ils offrent le meilleur compromis entre la vitesse et la résolution. Une méthodologie « Top – Down » est mise en œuvre dans le but de réduire les temps de simulation et bien comprendre les différentes sources d'erreurs d'un CAN pipeline, cette méthode a été adoptée pour concevoir une architecture de CAN pipeline à 10 bits basé sur un étage MDAC 1.5-bits. Un modèle comportemental du CAN pipeline a été proposé pour affiner l'étude des étages critiques du CAN par l'étude approfondie des différentes sources d'erreurs et leurs conséquences sur les paramètres statiques et dynamiques du convertisseur pipeline. Une méthode d'optimisation originale a ainsi été développée permet l'exploration des performances pour les amplificateurs opérationnels qui constituent la brique de base du CAN pipeline et elle fournit une estimation de leurs paramètres.

Mots clés: Les Convertisseurs Analogiques Numériques (CAN), Conception du CAN Pipeline, Modélisation comportementale, Optimisation Multi-Objectifs, Les Algorithmes Génétiques (AG).

Sommaire

Chapitre I: L'état de l'art des convertisseurs analogiques numériques

I.1.	Introduction	5
I.2.	Théorie sur la conversion	6
I.2.1	Théorie de l'échantillonnage	6
I.2.2	La conversion analogique-numérique	6
I.2.3	Les spécifications des convertisseurs analogique-numérique	9
I.3.	Les paramètres des convertisseurs A/N	11
I.3.1	Caractéristiques statiques des CANs.....	11
I.3.2	Caractéristiques dynamiques des CANs	16
I.4.	Etat de l'art des CANs.....	18
I.4.1	Architectures de convertisseurs A/N.....	19
IV.4.1.	Architecture Flash	19
IV.4.2.	Architecture Pipeline.....	23
IV.4.3.	Architecture Sigma-Delta.....	22
IV.4.4.	Architecture Wilkinson	20
IV.4.5.	Architecture à approximation successive (SAR).....	21
I.5.	Conclusion	25

Chapitre II: Conception du convertisseur analogique numérique pipeline

II.1.	Introduction	28
II.2.	Principe de fonctionnement des convertisseurs de type pipeline	28
II.3.	L'approche de conception Top-Down.....	32
II.4.	la conception d'un CAN pipeline à 10 bits	34
II.4.1.	Spécifications du convertisseur	35
II.4.2.	Les blocs de construction clés d'un CAN Pipeline	36
II.4.2.1.	Les différentes architectures de commutateur	36
II.4.2.2.	Le générateur d'horloge.....	40
II.4.2.3.	Les Amplificateurs Opérationnels.....	41
II.4.2.4.	Les comparateurs	47
II.4.2.5.	Circuit Echantillonneur-Bloqueur	49
II.4.2.6.	L'étage « MDAC ».....	52
II.4.2.7.	Techniques de correction logique	56

II.5. Conclusion	59
------------------------	----

Chapitre IV: Modélisation du convertisseur analogique numérique pipeline

III.1. Introduction	60
III.2. Modèle comportemental du CAN pipeline	61
III.2.1. Modèle comportemental idéal du CAN pipeline.....	62
III.2.1.7. Modèle comportemental idéal complet du CAN pipeline.....	67
III.2.2. Modèle comportemental non-idéal du CAN pipeline	68
III.2.2.1. Les non-idéalités du CAN pipeline	68
III.2.2.2. Modèle complet du CAN pipeline avec des non-linéarités.....	83
III.3. les résultat de simulation des modèles comportementaux.....	85
III.4. Conclusion	89

Chapitre 4 Optimisation du CAN pipeline par les algorithmes génétique

IV.1. Introduction	90
IV.2. Les algorithmes génétiques (GA).....	91
IV.2.2.1. C'est quoi un Algorithme Génétique?.....	91
IV.2.2.2. Le fonctionnement des algorithmes génétiques	93
IV.3. L'optimisation Multi-Objective	98
IV.3.1. Concept de base de l'optimisation multi-objective.....	100
IV.3.1.1. <i>Méthodes de l'optimisation multi-objective</i>	100
IV.3.1.2. <i>Concept du Front de Pareto</i>	101
IV.4. Optimisation des circuits analogiques par les Algorithme Génétique.....	102
IV.4.1. Les fonctions objectives des amplificateurs opérationnel.....	103
IV.4.1.1. Amplificateur opérationnel à deux étages.....	103
IV.4.1.2. Amplificateur opérationnel Symmetricque	104
IV.4.1.3. Amplificateur opérationnel cascode replié.....	105
IV.4.1.4. Amplificateur opérationnel télescopique.....	105
IV.4.2. L'optimisation multi-objective par les algorithmes génétiques	106
IV.4.1.1. Le choix de la fonction de fitness.....	106
IV.4.1.2. Mise en ouvre de l'approche d'optimisation multi-objective.....	107
IV.5. Les résultats de l'optimisation.....	109
IV.6. Conclusion	114

Introduction générale

Les bases de la microélectronique moderne remontent aux années cinquante avec l'invention du transistor à effet de champ par les laboratoires Bell. Depuis cette époque le développement de la microélectronique a été déterminé par deux grands domaines : le traitement du signal et l'informatique. Ces deux domaines, et surtout leurs applications commerciales, ont permis une évolution toujours plus rapide des technologies de la microélectronique.

C'est dans les années soixante que la première loi de Moore fut énoncée, prophétisant le fulgurant essor de l'informatique et par la même de la microélectronique. Durant ces mêmes années, les ordinateurs devenant de plus en plus puissants, il devint nécessaire de développer des objets permettant une interface efficace entre le monde des ordinateurs et le monde des hommes. Ces années virent ainsi l'apparition des premières solutions commerciales de convertisseur analogique numérique (CAN). La deuxième loi de Moore fut énoncée dans les années soixante-dix, définissant que le nombre de transistors intégrés sur un microprocesseur doublait tous les dix huit mois. Les années quatre-vingt signèrent l'époque de la micro-informatique à destination des particuliers et permirent, grâce à ce nouveau marché, son explosion dans les années quatre-vingt-dix. Enfin c'est dans les années deux mille que le cap du milliard de transistors intégrés sur un même substrat a été dépassé par la société Nvidia.

C'est bien l'évolution des technologies de fabrication des transistors MOS qui est à l'origine de cette fulgurante ascension. En réduisant toujours plus la taille minimale de la grille d'un transistor, les processus de fabrication permettent à présent de fabriquer des transistors MOS dont la largeur de grille est de 32nm [1]. Même si le marché des processeurs a profité le plus de cette évolution en baissant le coût de fabrication des circuits de microélectronique, de nombreux domaines ont pu bénéficier de cette technologie [2].

L'évolution rapide des technologies micro-électroniques rend de plus en plus difficile la conception de la partie analogique des circuits intégrés pouvant couvrir une telle dynamique. Les tensions d'alimentations sont de plus en plus faibles, le niveau plancher de bruit ne baisse pas dans les mêmes proportions, les courants de fuite augmentent et les capacités parasites ne sont plus négligeables. Par contre, le marché de l'électronique numérique pousse vers des technologies de plus en plus fines en dimensions minimales: cela permet un gain en vitesse et aussi en consommation. Compte tenu du nombre de voies de lecture élevé (centaine de

millions), il faut réduire la consommation de toute la partie électronique. Enfin, il faut garantir une tenue aux radiations puisque l'électronique se trouve dans un environnement très pollué.

Ces différentes contraintes poussent à numériser les signaux de plus en plus tôt dans la chaîne d'acquisition, pour privilégier le traitement numérique par rapport au traitement analogique. C'est pourquoi, le rôle du convertisseur analogique– numérique (CAN) est de plus en plus critique [3]. Le monde qui nous entoure n'étant que phénomène analogique, les circuits analogiques ne disparaîtront sans doute jamais. De ce fait, les signaux analogiques doivent être numérisés pour ainsi être traité de façon numérique. C'est ici que les convertisseurs analogiques à numérique (CAN) sont utilisés en guise de pont entre les deux domaines. Les applications du CAN pipeline sont de plus en plus visibles, comme la télévision haute définition (HDTV) [4], les capteurs CMOS et les détecteurs en technologie CMOS [5], la spectrométrie rayons- X [6], Les communications sans fil [7, 8], les réseaux LAN sans fil [9], les applications de vidéo [10] etc.

La problématique

La conception d'un circuit de systèmes de plus en plus complexes représente déjà un défi en soi. Une difficulté supplémentaire vient encore compliquer la tâche, c'est la diminution du délai disponible pour répondre efficacement et à temps. Autrement dit, comment concevoir des systèmes de plus en plus complexes dans un délai de plus en plus court?

Les puces de cette nouvelle génération peuvent devenir des systèmes autonomes, gérant de façon optimale leur consommation, tout en récupérant de l'énergie environnante. Elles disposent des capacités de communication avec d'autres puces voisines, par des liens radios, optiques, acoustiques ou infrarouges [11]. Du fait de leur complexité et de leur hétérogénéité ces systèmes ouvrent de nouveaux enjeux. Ces enjeux pluridisciplinaires, alliés au besoin d'optimiser le processus de conception pour réduire le temps de la mise sur le marché, conduisent au développement d'approches nouvelles de conception haute niveau, modélisation fonctionnelle, et de réutilisation de modules existants (IPs) etc. Ces approches nouvelles doivent être considérées dès les premières étapes de la conception.

La modélisation comportementale est une autre clé de la conception des systèmes actuels. Il apparaît primordial de pouvoir se baser sur des modèles fonctionnels, pour vérifier, par simulation tout au long du processus de conception, l'accord entre le cahier des charges et les performances présumées, mais aussi pour optimiser les performances du système, et ce, avant d'entamer les étapes de réalisation technologique. La tendance actuelle est d'aller au

bout de cette logique de conception en ayant une approche uniquement basée sur des modèles. Ils constituent une représentation d'un module (circuit) pouvant être proposée à différents niveaux d'abstraction suivant les objectifs à atteindre et la précision souhaitée. Un modèle peut être développé très tôt dans le processus de conception pour formaliser les spécifications (modèle descriptif de haut niveau). Cette description permet alors d'explorer différentes options d'architectures et de s'assurer de la bonne adéquation avec les fonctionnalités souhaitées. Le modèle de haut niveau est particulièrement adapté car il permet d'avoir un temps de simulation réduit.

Les approches proposées

Ce travail, est une contribution à la conception d'un convertisseur analogique numérique pipeline, une nouvelle technique de conception est proposée. Notre approche est fondée sur trois étapes de conception, on commence par la conception des différents blocs du CAN pipeline, ensuite on procède à la modélisation comportementale du CAN, et enfin on termine par l'optimisation des blocs clé du CAN. L'approche de conception adoptée est basée sur la méthode top-down. Une méthodologie « top - down » est mise en œuvre dans le but de réduire les temps de simulation et mieux comprendre les différentes sources d'erreurs du CAN pipeline. Cette méthode consiste à concevoir un modèle comportemental du CAN pour affiner l'étude des étages critiques du CAN. La conception des convertisseurs est faite dans la technologie TSMC 0,18 μ m.

La clé de l'outil de synthèse proposé est un simulateur de comportement qui nous permet d'estimer avec précision les performances du CAN. Ce simulateur comportemental comprend un ensemble de modèles comportementaux qui décrivent l'effet des non-idéalités principales d'une implémentation pratique des blocs de construction de base dans le convertisseur pipeline. Une partie de ce travail sera consacré à la présentation de ces modèles comportementaux et illustrant l'impact de ces non- idéalités sur les performances du CAN [12].

Nous proposons d'utiliser la modélisation comportementale rapide avec différents niveaux d'abstraction pour l'évaluation des performances. Celle-ci ouvre différentes voies telles que l'optimisation des paramètres ou l'analyse statique, qui nécessitent généralement des temps de calcul prohibitifs pour des circuits complexes. Un outil basé sur Simulink Matlab a été réalisé pour la description et la simulation rapide du CAN pipeline à partir de la modélisation spécifique. Une méthode originale a ainsi développé pour le CAN Pipeline ou

l'analyse de performance est étroitement couplée à la simulation pour réduire le coût de calcul. Une modélisation propre aux circuits à capacité commutée à également été établi. Elle permet l'exploration des performances dynamiques pour une technologie donnée et fournit une estimation de la consommation.

Objectif du travail de recherche

Les objectifs de ce travail de thèse sont :

- L'étude approfondie des différentes sources d'erreurs et leurs conséquences sur les paramètres statiques et dynamiques du convertisseur pipeline 10bits à 100 MHz.
- La conception d'une nouvelle architecture de CAN pipeline en technologie CMOS. Dans cette partie, on s'intéresse donc à la conception du Convertisseurs Analogique-Numérique (CAN) en technologie CMOS. À travers notre propos de "conception", il ne s'agit pas de la réalisation complète du CAN mais de sa conception. On s'intéresse ici uniquement à une méthode d'analyse et de conception dont l'objectif est de permettre de formaliser les étapes nécessaires au développement d'un système CAN complet répondant aux spécifications imposées de manière automatique.
- L'optimisation des paramètres de l'amplificateur opérationnel qui représente l'élément de base des deux principaux blocs du CAN pipeline, le MDAC et l'E/B, avec un processus d'optimisation basé sur les Algorithmes Génétiques est développé sous Matlab.

Organisation de la thèse

Ce manuscrit est organisé en quatre chapitres.

- ❖ Le chapitre I présente un état de l'art des architectures de convertisseurs A/N.
- ❖ Le chapitre II détaille le principe de fonctionnement du CAN pipeline et l'approche de la conception des différents composants de base d'un CAN pipeline, particulièrement l'étage MDAC et le circuit E/B.
- ❖ Le chapitre III présente une étude détaillée des différentes sources d'erreurs est décrite à l'aide du développement d'un modèle comportemental du convertisseur A/N pipeline sous Matlab.
- ❖ Le chapitre IV décrit la méthode d'optimisation des convertisseurs de type pipeline par les algorithmes génétiques

Chapitre 1

L'état de l'art des convertisseurs analogiques numériques

I.1. INTRODUCTION

Le monde de la conversion de données analogiques numériques est véritablement apparu avec le développement des télécommunications au début du 20^{ème} siècle. Cependant, il aura fallu attendre les années cinquante pour voir apparaître les premières offres commerciales de convertisseur analogique numérique (CAN). Cette commercialisation suivait de très près la première offre commerciale d'ordinateur digital, en 1951. Le développement des CANs a dès lors suivi étroitement le développement de la micro informatique. Jusque dans les années quatre-vingt-dix les CANs sont devenus de plus en plus rapides, de moins en moins encombrants, de nouvelles architectures sont apparues, il est alors devenu possible de classer les architectures en fonction de leur domaine d'application. A partir des années quatre-vingt-dix, la microélectronique, grâce au développement de l'informatique, a connu une évolution exceptionnelle en termes d'intégration. Il existe à présent des centaines de modèles commerciaux différents, classés selon leur résolution en bit, leur vitesse de conversion et leur consommation. La cause de cette abondance d'offres repose sur la place qu'occupent les CANs dans les systèmes électroniques actuels [2].

Ce chapitre fournit une brève introduction à la conversion analogique-numérique. Avant de décrire la structure interne et le principe de fonctionnement de base du CAN pipeline qui seront cités dans le chapitre II, le concepteur doit connaître les idées qui sous-tendent le processus de conversion analogique-numérique. À cette fin, Sect. I.2 fournit un bref aperçu des principes fondamentaux de convertisseur analogique-numérique. Par la suite, les caractéristiques et les performances des convertisseurs analogiques numériques (A/N) seront introduites en Sect. I.4. En conclusion de ce chapitre, les principales architectures de convertisseurs analogique-numérique seront cités.

I.2. THEORIE SUR LA CONVERSION

I.2.1 Théorie de l'échantillonnage

Le processus d'échantillonnage convertit un signal continu dans le temps en un signal discret dans le temps. Selon le théorème de Nyquist [13], si le signal est à une bande limitée de certaine fréquence f_b , et les échantillons sont prélevés à une fréquence d'échantillonnage f_s au moins deux fois la largeur de bande du signal f_b , c'est à dire:

$$f_s \geq 2 \cdot f_b \quad (1.1)$$

Le signal est déterminé de façon unique. Par conséquent, le signal analogique peut être reconstruit à partir de ces échantillons sans perte d'information. Le convertisseur dans lequel la fréquence d'échantillonnage utilisée est le double de la largeur de bande du signal est connu sous le nom de convertisseurs de Nyquist. Les convertisseurs pipeline sont en fait des convertisseurs de Nyquist.

I.2.2 La conversion analogique-numérique

La conversion analogique-numérique est l'étape qui permet de passer d'un signal analogique continu en temps et en amplitude à un signal discret en temps (échantillonnage) et en amplitude (quantification). La conversion analogique-numérique se passe donc généralement en deux étapes distinctes : l'échantillonnage-blocage et la quantification [14].

L'échantillonnage consiste à maintenir la valeur du signal continu analogique V_{in} pendant une durée fixée appelée période d'échantillonnage (cf. Fig. 1.1), ceci se fait par un circuit nommé Echantillonneur-Bloqueur (E/B). La tension V_{analog} , continue par morceaux est obtenue. La période d'échantillonnage T_{ech} est fixée selon le théorème de Shannon: la fréquence d'échantillonnage doit être au moins égale au double de la composante fréquentielle maximale du signal continu analogique [14].

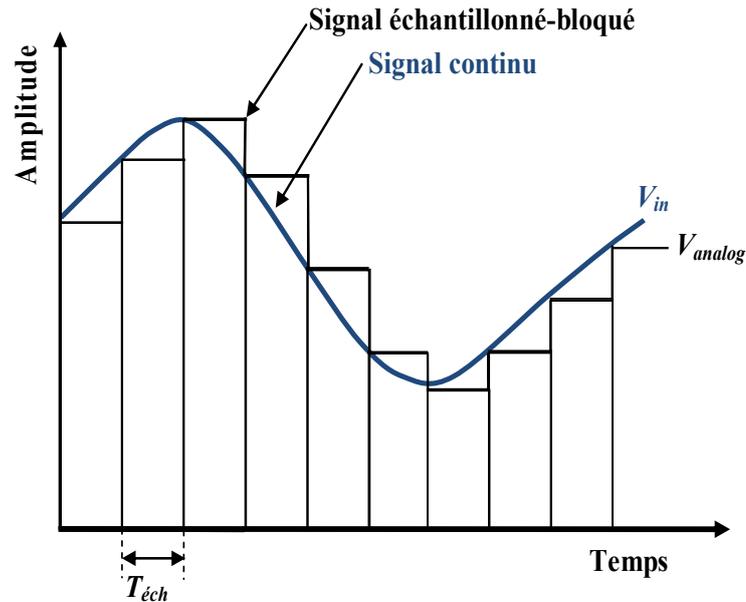


Figure 1.1 Echantillonnage-blocage d'un signal continu.

La quantification est l'étape de conversion analogique-numérique à proprement dite : elle consiste à transformer cette tension réelle V_{analog} en un nombre binaire $V_{num}=(b_i)_{0 \leq i \leq N-1}$, choisi parmi un ensemble fini et prédéterminé de valeurs. Un convertisseur analogique-numérique (CAN) est caractérisé par deux principaux paramètres: son nombre de bits N (ou résolution) et sa dynamique d'entrée $\Delta V_{in}=[V_{min}, V_{max}]$. A partir de cela, le quantum q ou LSB (Less Significant Bit) est déterminé par la relation [14]:

$$q = \frac{\Delta V_{in}}{2^{N-1}} \quad (1.2)$$

C'est la valeur de base dont sont multiples toutes les tensions numériques de sortie. Pour une tension analogique d'entrée V_{analog} , le CAN fait correspondre la tension analogique V_{num} telle que (cf. Fig. 1.2):

$$|V_{analog} - V_{num}| \leq \frac{q}{2} \quad (1.3)$$

$$\text{Avec } V_{num} = q \cdot [b_{N-1} 2^{N-1} + \dots + b_1 2^1 + b_0 2^0] \quad (1.4)$$

La relation (1.4) implique l'utilisation d'un code numérique en binaire naturel. Bien sûr d'autres types de codage pourraient être utilisés : le code Gray, le code I parmi N ... La différence $V_\varepsilon = V_{analog} - V_{num}$ est souvent appelée bruit de quantification. Ce bruit est inhérent

au principe de la conversion analogique numérique, et ne peut bien sûr jamais être supprimé. Il conduit par la suite aux calculs de rapport signal sur bruit.

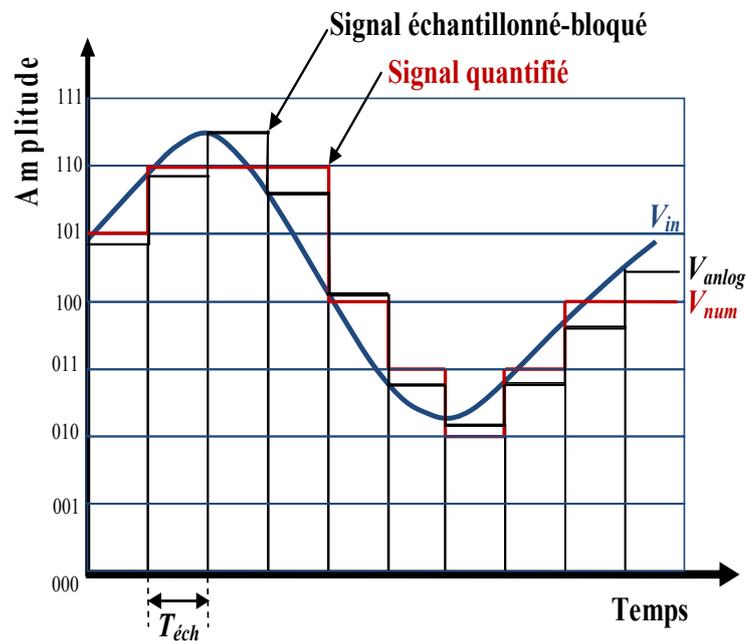


Figure 1.2 Quantification d'un signal analogique.

La fonction de transfert d'un convertisseur analogique-numérique est simplement le tracé de la tension numérique V_{num} en fonction de la tension analogique V_{analog} . Celle-ci est illustrée sur la donnée Figure 1.3 dans le cadre d'un CAN de résolution 3-bits [2].

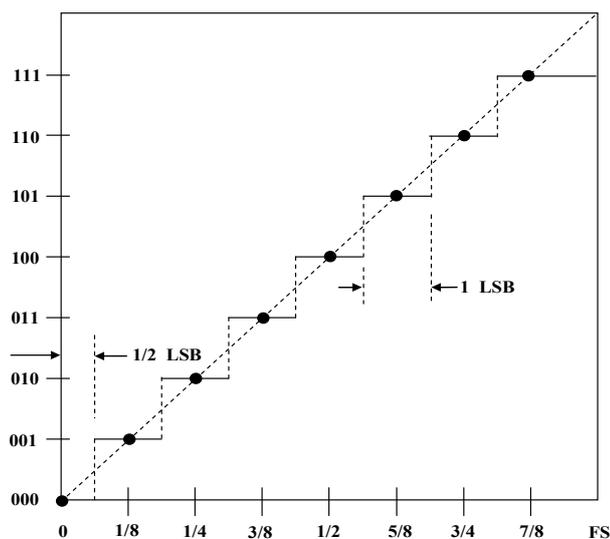


Figure 1.3 La fonction de transfert idéale d'un CAN 3 bits

I.2.3 Les spécifications des convertisseurs analogique-numérique

Il y a plusieurs exigences de conception lors de la sélection d'une topologie CAN et la mise en œuvre de ses circuits qui sont: la bande passante du signal ou le taux d'échantillonnage, la résolution, la distorsion, la puissance, la surface, l'immunité au bruit, la plage dynamique et la latence [15]. Chacune de ces spécifications sera décrite séparément dans les paragraphes qui suivent:

I.2.3.1 La bande passante du signal ou la fréquence d'échantillonnage

La bande passante du signal d'un CAN est généralement définie comme la gamme de fréquences sur laquelle le CAN conservera sa résolution spécifiée. La bande passante du signal et la fréquence de l'horloge d'échantillonnage du CAN est reliée par le critère de Nyquist. En d'autres termes, la fréquence d'échantillonnage est au moins deux fois de la bande passante du signal.

I.2.3.2 La résolution

La résolution d'un CAN est une mesure avec précision dans laquelle la sortie numérique représentera l'entrée analogique. Elle peut être définie comme la plus petite modification de l'entrée analogique qui provoque un changement LSB dans le code de la sortie numérique. La résolution est souvent exprimée en nombre de bit N de la sortie numérique. Par conséquent, il y a 2^N possibilités de la sortie numériques, en d'autre terme la résolution du CAN en bit détermine le nombre de valeurs disponibles pour coder le signal d'entrée.

I.2.3.3 La distorsion

La non-linéarité des dispositifs semi-conducteurs et le mésappariement entre les composants identiques du circuit peuvent provoquer une distorsion dans la sortie d'un CAN.

I.2.3.4 La gamme dynamique

Comme la technologie CMOS émergeant à réduire l'échelle, l'épaisseur d'oxyde de la grille du transistor est réduite ce qui force la tension d'alimentation à diminuer. Par conséquent, la région de fonctionnement linéaire d'un circuit à transistor est diminuée ce qui réduit l'oscillation utilisable du signal de la tension d'entrée d'un CAN. La plage dynamique d'un CAN est plus ou moins définie comme étant la plage d'amplitudes d'entrée qui est plus grande que le bruit et la distorsion du système.

1.2.3.5 La puissance

Un but important dans n'importe quelle conception d'un circuit est de réduire au minimum sa puissance. Dans les grands systèmes VLSI où des composants analogiques, numériques, et mixtes qui sont intégrés ensemble, la dissipation de la puissance maximum est souvent stipulée et régie par des issues de fiabilité de circuit et les restrictions de la tension d'alimentation (par exemple dispositifs à piles). Même, un budget de puissance est assigné à un CAN. Le contrôle de la dissipation de puissance est réalisé avec une sélection architecturale et des techniques de conception des circuits.

1.2.3.6 La surface

Quand une conception est présentée en technologie basée sur le silicium, elle occupe inévitablement une surface. Le coût de silicium se développe proportionnellement avec la surface. D'ailleurs, les processus CMOS sont sujets à des défauts dans la technologie. Statistiquement la densité de ces défauts affectera un grand nombre de circuits. Par conséquent, la minimisation de la surface réduira le coût et diminuera la probabilité qu'un circuit échoue en raison des défauts.

1.2.3.7 L'immunité au bruit

Tous les circuits électroniques sont soumis aux sources de bruit environnementales aléatoires et extérieures comme le bruit thermique, le bruit de scintillation (flicker), la diaphotie (cross talk), le bruit de la tension d'alimentation, le clock jitter, et l'interférence électromagnétique (EMI).

1.2.3.8 La latence

La latence dans les CANs se rapporte au nombre de cycles d'horloge entre l'échantillonnage du signal d'entrée analogique et l'instant quand les données numériques sont présentées à la sortie du CAN. La latence est une considération importante de la conception pour les systèmes de conversion de données en temps réel.

Un CAN est cependant aussi défini par une liste d'erreurs caractérisant ses performances statiques et dynamiques.

I.3. LES PARAMETRES DES CONVERTISSEURS A/N

Les différents paramètres utiles définissant les performances d'un convertisseur analogique-numérique sont définis dans cette partie. Il existe dans la littérature une multitude de critères pour estimer les performances d'un convertisseur analogique-numérique. Malgré cela, seulement quelques uns sont vraiment explicites: le SNR (Signal-to-Noise Ratio), le SFDR (Spurious-Free Dynamic Range), le nombre effectif de bits (ENOB – Effective Number Of Bits) et enfin la puissance consommée. Le nombre effectif de bits peut être déterminé en dynamique (SNR et SFDR) ou en statique avec l'INL (Integral Non-Linearity) ou la DNL (Differential Non-Linearity), cependant les mesures dynamiques permettent une meilleure précision sur cette estimation.

Les paramètres des convertisseurs A/N peuvent se diviser en deux groupes: les paramètres statiques et les paramètres dynamiques. Nous présenterons les principaux paramètres mesurés sur les convertisseurs. La fonction de transfert d'un convertisseur A/N se définit comme étant la fonction qui associe à chaque plage de valeur d'entrée $[i-q ; i]$ en volt, sa valeur binaire codée sur N bits entiers. La fonction de transfert d'un CAN 3 bits est présentée sur la Figure 1.3. Nous pouvons également définir le pas de quantification q , à l'aide de l'expression (1.4), où V_{dyn} correspond à la dynamique du signal d'entrée et N la résolution du convertisseur [3].

$$q = \frac{V_{dyn}}{2^N} \quad (1.4)$$

I.3.1 Caractéristiques statiques des CANs

I.3.1.1 L'erreur de quantification (ou bruit de quantification)

L'erreur introduite par un écart entre la valeur exacte et la valeur quantifiée s'appelle erreur de quantification. Cette erreur est bornée dans la gamme d'entrée du convertisseur, elle évolue selon la courbe donnée par la Figure. 1.4, et vaut au maximum:

$$\pm \frac{PE}{2^{n+1}} = \pm \frac{LSB}{2} \quad (1.5)$$

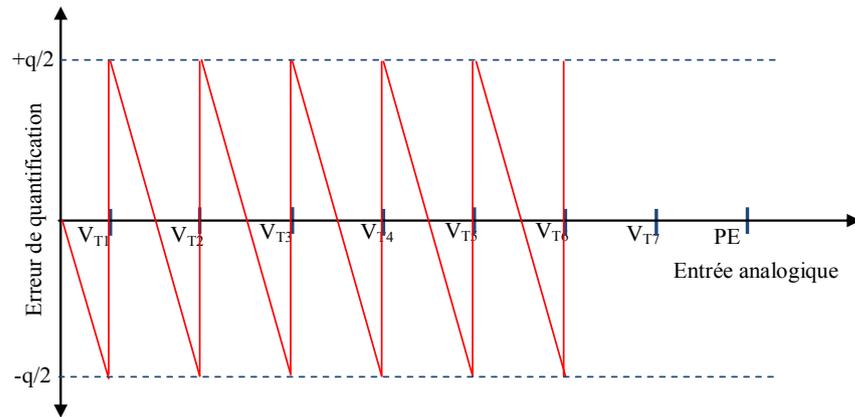


Figure 1.4 Variation de l'erreur de quantification

C'est cette erreur de quantification qui parasite le signal et il faut l'étudier dans le domaine fréquentiel [11]. A cette erreur de quantification q , on associe un bruit de quantification qui est considéré comme une variable aléatoire uniformément répartie sur l'intervalle $[-q/2, +q/2]$, q étant le pas de quantification, (le bruit de quantification est assimilable à un bruit blanc de moyenne nulle). Sa densité de probabilité f_q est donc constante sur cet intervalle (Figure 1.5).

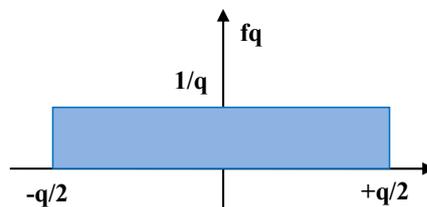


Figure 1.5 Répartition du bruit de quantification

Soit $P(V_x)$ est la puissance du signal V_x et f_q sa densité de probabilité, elle s'écrit :

$$f_q = \frac{1}{q} \cdot 1_{\left[-\frac{1}{q}, \frac{1}{q}\right]} \quad (1.6)$$

La puissance du bruit de quantification vaut :

$$P(V_\varepsilon) = \int_{-\infty}^{+\infty} x^2 \cdot f_q(x) \cdot dx \quad (1.7)$$

d'où

$$P(V_\varepsilon) = \int_{-\infty}^{+\infty} x^2 \cdot \frac{1}{q} \cdot 1_{\left[-\frac{1}{q}, \frac{1}{q}\right]} \cdot dx = \frac{1}{q} \int_{-\frac{q}{2}}^{\frac{q}{2}} x^2 dx = \frac{q^2}{12} \quad (1.8)$$

Elle représente la puissance moyenne du bruit de quantification.

La puissance moyenne d'un signal aléatoire étant son moment d'ordre 2, i.e. sa variance (si la valeur moyenne est nulle), la valeur RMS du bruit de quantification vaut :

$$\varepsilon_{rms} = \sqrt{P(V_\varepsilon)} = \frac{q}{\sqrt{12}} \quad (1.9)$$

1.3.1.2 La Non-Linéarité Différentielle

La Non-Linéarité Différentielle ou DNL est définie pour chaque code comme la différence entre la largeur réelle du palier (X_{k+1}), X_k étant le point de transition du code k , et la valeur idéale du pas de quantification q . Ainsi, la non-linéarité différentielle s'exprime par [3] :

$$DNL(k) = \frac{(X_{k+1} - X_k) - q}{q} \quad (1.10)$$

La DNL s'exprime en LSB dans ce cas.

Cette fonction est également connue comme l'erreur de linéarité différentielle (DLE).

1.3.1.3 La Non-Linéarité Intégrale

La Non-Linéarité Intégrale ou INL est décrite comme étant la déviation de la fonction de transfert réelle par rapport à une ligne droite. Elle correspond également pour un code k au cumul des Non-Linéarités Différentielles des codes inférieurs ou égal à k . Ainsi, la non-linéarité intégrale a pour expression [3]:

$$INL(k) = \sum_{i=0}^k DNL(i) \quad (1.11)$$

Comme la DNL, la non-linéarité intégrale s'exprime en LSB. Ces deux paramètres sont décrits sur la Figure 1.6 ci-dessous.

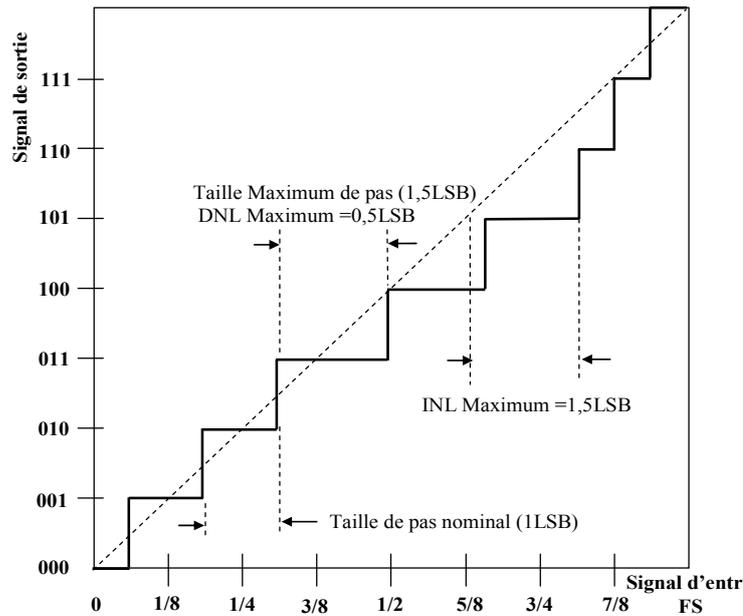


Figure 1.6 Définition de la non-linéarité différentielle et de la non-linéarité intégrale

1.3.1.4 L'Erreur de gain et l'Erreur d'offset

En se basant sur la Figure 1.3, on peut définir la fonction de transfert d'un CAN comme étant égale à [2]:

$$N = Y + X.A \quad (1.12)$$

où N représente la valeur numérique de sortie du CAN, Y représente l'offset de la fonction de transfert du CAN et X le gain du CAN. Idéalement Y est égal à 0 et X est égal à 1.

□ L'erreur de gain

L'erreur de gain correspond à l'écart de la pente de la fonction de transfert réelle par rapport à la pente de la fonction de transfert idéale (L'erreur de gain représente la différence entre la valeur de X et 1). Une telle erreur provoque un changement de la dynamique du convertisseur [2].

□ L'erreur d'offset

L'erreur d'offset est un décalage en tension de l'ensemble de la fonction de transfert. L'erreur d'offset représente donc la différence entre la valeur de Y et 0. Cette erreur entraîne une erreur constante sur l'ensemble des codes du convertisseur [2].

Les deux paramètres précédents : erreur de gain et erreur d'offset sont illustrés sur les Figures 1.7 et 1.8 respectivement.

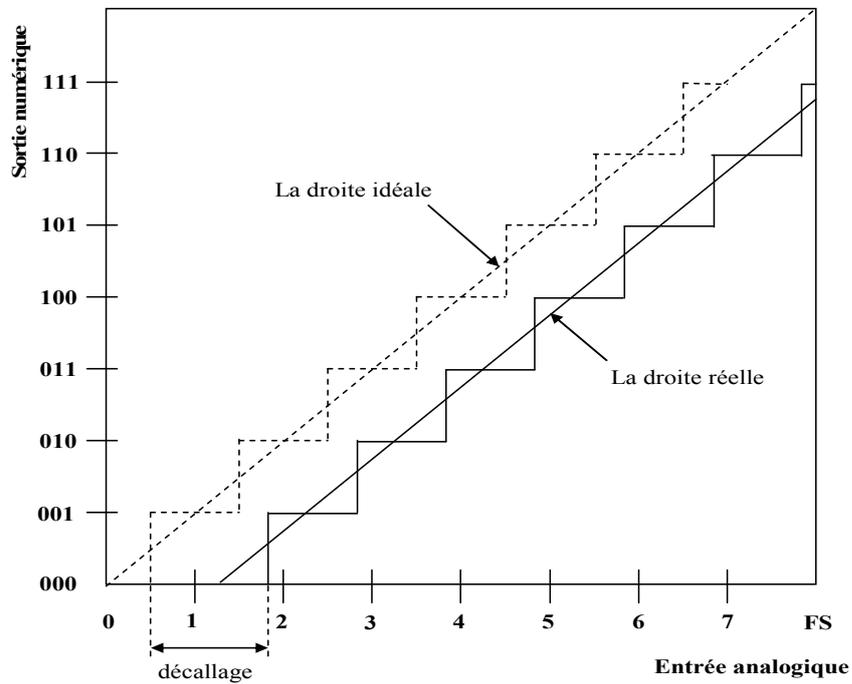


Figure 1.7 Erreur de l'offset d'un CAN

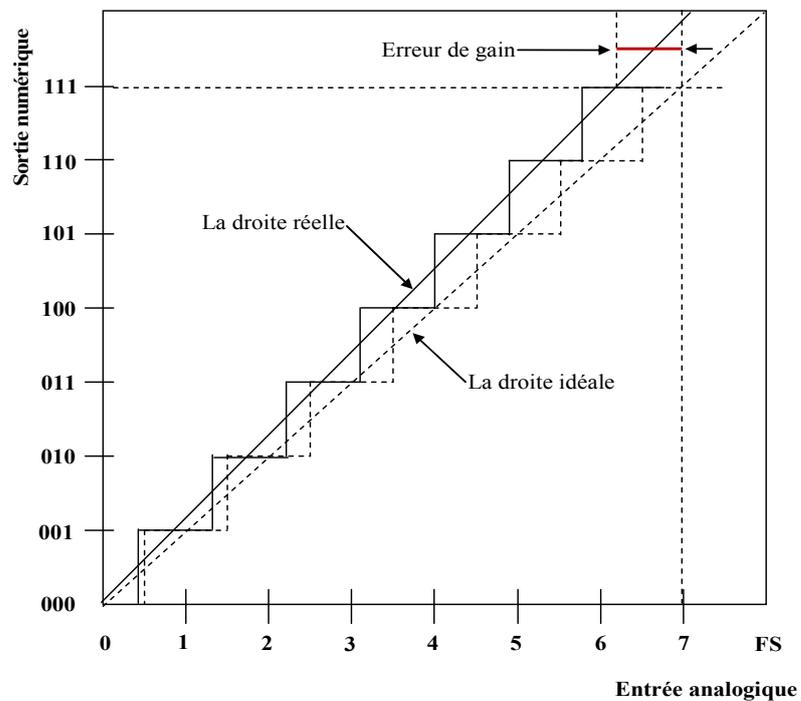


Figure 1.8 Erreur de gain d'un CAN

1.3.2 Caractéristiques dynamiques des CANs

Ces paramètres sont mesurés à l'aide d'un signal sinusoïdal. Le calcul de la transformée de Fourier (FFT) à partir des données de sortie permet de caractériser le convertisseur de façon dynamique. Les différents paramètres ainsi mesurés sont présentés ci-dessous.

1.3.2.1 Le rapport signal sur bruit (SNR)

Le rapport signal sur bruit (SNR) est caractérisé par la numérisation d'un signal sinusoïdal pur d'amplitude crête à crête. Il est alors obtenu en effectuant le rapport entre la puissance contenue dans la raie fondamentale du signal numérisé P_s et la puissance du bruit P_n . L'expression générale s'écrit donc [3] :

$$SNR_{dB} = 10 \cdot \log_{10} \left(\frac{P_s}{P_n} \right) \quad (1.13)$$

La valeur de la moyenne quadratique ou RMS (Root Mean Square) du signal est alors égale à :

$$V_{in,rms} = \frac{2^{N-1} \cdot q}{\sqrt{2}} \quad (1.14)$$

où N est la résolution du CAN et q est le quantum.

Tout convertisseur possède un bruit RMS généré par l'erreur de quantification. A partir de l'équation (1.8) La valeur RMS du bruit de quantification est égale [16]:

$$V_{Q,rms} = \frac{q}{\sqrt{12}} = \frac{V_{LSB}}{\sqrt{12}} \quad (1.15)$$

Prenant l'équation (1.14) et (1.15) et remplaçant $V_{in,rms}$, $V_{Q,rms}$ dans (1.13) alors nous pouvons obtenir l'équation de rapport signal sur bruit (SNR):

$$SNR_{dB} = 10 \cdot \log_{10} \left(\frac{V_{in,rms}}{V_{Q,rms}} \right) = 10 \cdot \log_{10} \left(\frac{2^{N-1} \cdot q}{\frac{q}{\sqrt{12}}} \right) = 10 \cdot \log_{10} \left(\sqrt{\frac{2}{3}} \cdot 2^N \right) \quad (1.16)$$

Pour un convertisseur idéal, le SNR s'exprime en fonction de sa résolution N par :

$$SNR_{dB} = 6,02 \cdot N + 1,76 \quad (1.17)$$

1.3.2.2 Le taux de distorsion harmonique (THD)

Le taux de distorsion harmonique représente le rapport de la puissance des raies harmoniques générées par les non-linéarités du convertisseur, sur la puissance de la raie fondamentale. La THD est alors la racine carrée de la somme quadratique des amplitudes $A(i.f_{in})$ des raies harmoniques d'ordre j divisée par l'amplitude $A(f_{in})$ de la fondamentale (du signal d'entrée). Plus ce rapport est faible, plus le CAN possède un comportement linéaire. Son expression est [3]:

$$THD_{dB} = 20. \log_{10} \left(\frac{\sqrt{\sum_{i=2}^j A^2(i.f_{in})}}{A(f_{in})} \right) \quad (1.18)$$

Avec $A(f_{in})$ l'amplitude fondamentale du signal d'entrée, $A(i.f_{in})$ l'amplitude de la $i^{\text{ème}}$ harmonique et j le nombre des harmoniques considérées.

1.3.2.3 Les autres paramètres dynamiques

□ **SFDR**

Ce paramètre définit le rapport entre la puissance de la raie fondamentale P_s et la puissance de la pire harmonique ou raie du spectre P_h . La SFDR est illustrée sur la Figure 1.9 ci-dessous. L'expression générale de ce paramètre est [3]:

$$SFDR_{dB} = 10. \log_{10} \left(\frac{P_s}{P_h} \right) \quad (1.19)$$

□ **SINAD**

Ce paramètre correspond au rapport entre la puissance contenue dans la raie fondamentale et la somme de la puissance des raies harmoniques et du bruit. Par définition le SINAD s'exprime sous la forme [3]:

$$SINAD_{dB} = 20. \log_{10} \left(\frac{A(f_{in})}{\text{bruit} + \sqrt{\sum A^2(i.f_{in})}} \right) \quad (1.20)$$

□ **Le nombre de bits effectifs (ENOB)**

Le nombre de bits effectifs est un nombre qui permet de caractériser l'ensemble des performances dynamiques d'un CAN. Sous cette notion de bits effectifs, l'ensemble des défauts du CAN sont pris en compte : la non-linéarité, le bruit de quantification, le bruit, les codes manquants, ou encore la monotonie. Il est important de noter que même dans le cas d'un CAN idéal de N bits, à cause du bruit de quantification, la résolution effective du convertisseur est inférieure à N . L'expression générale du nombre de bits effectifs est donc à partir de l'équation (1.17) [3]:

$$ENOB = \frac{SNR_{dB} - 1,76}{6,02} \quad (1.21)$$

Nous utilisons la Figure 1.9 pour montrer les Caractéristiques dynamiques abordés qui sont analysés dans le domaine fréquentiel.

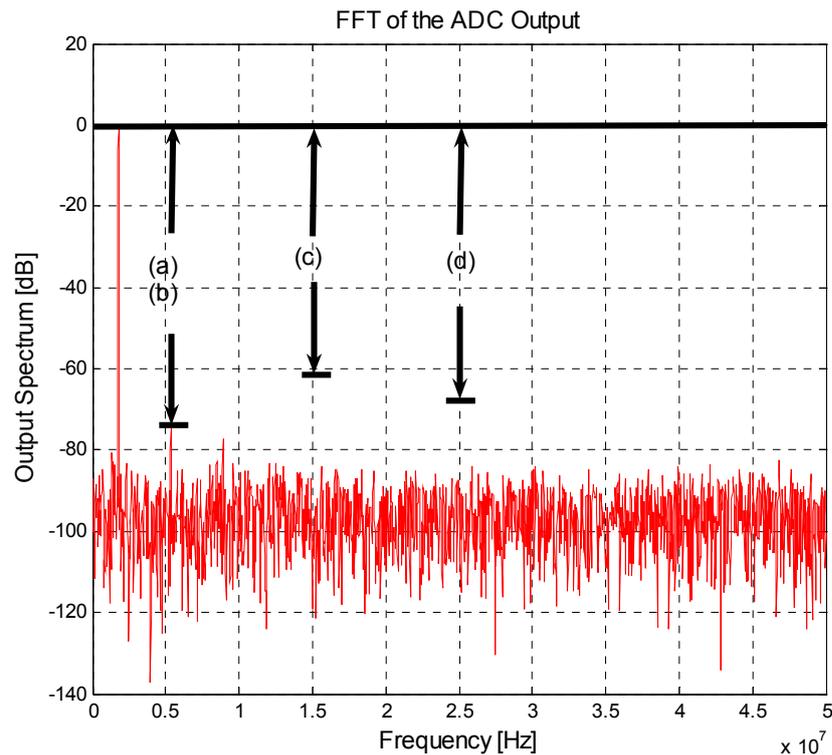


Figure 1.9 Un spectre fréquentielle typique de la sortie d'un CAN Pipeline. (a) SFDR, (b) DR, (c) SNR, (d) SNDR

I.4. ETAT DE L'ART DES CANS

Les convertisseurs Analogique – Numérique font l'interface entre le monde naturel: signaux continus, et le monde des ordinateurs: suite de 1 et de 0. Il existe différents types de convertisseurs Analogique – Numérique (Figure 1.10) des plus rapides (avec une fréquence d'échantillonnage, F_s , élevée: au-delà du GHz et une résolution faible (8 à 10 bits), au plus lents (quelques KHz pour F_s) mais précis (24 bits de résolution par exemple) [3].

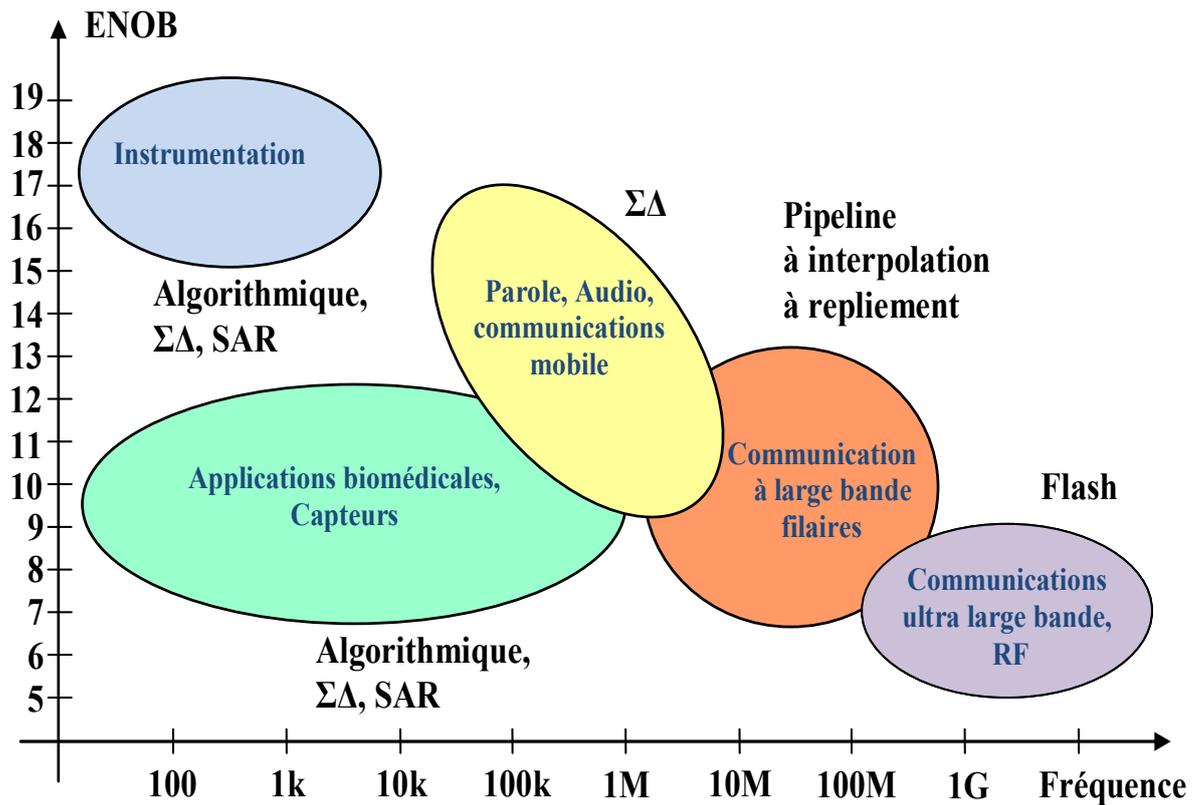


Figure 1.10 Hiérarchie des différents Convertisseurs Analogique-Numérique.

I.4.1 Architectures de convertisseurs A/N

On peut définir cinq grandes familles de convertisseurs analogiques numériques, présentant chacune une philosophie de fonctionnement particulière :

- CAN Flash
- CAN Sigma Delta
- CAN Pipeline
- CAN à Approximation successive (SAR)
- CAN Wilkinson (rampe)

I.4.1.1. Architecture Flash

Aussi appelé convertisseur analogique numérique parallèle [17],[18]. Il est constitué d'une série de comparateurs, chacun d'eux comparant son signal d'entrée à une tension unique de référence. Les sorties des comparateurs sont connectées à un encodeur de priorité, celui-ci renvoie une combinaison binaire image de la tension d'entrée V_{in} . La Figure 1.11 montre un CAN flash 3 bits [2]:

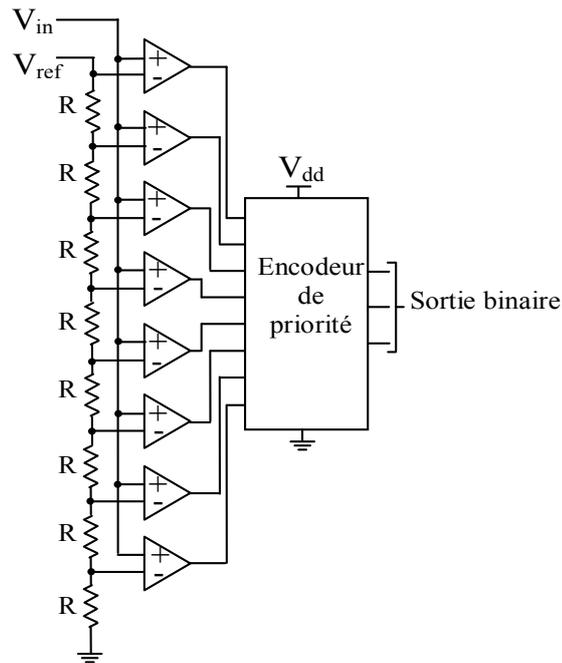


Figure 1.11 Architecture de CAN flash 3 bits à échelle de résistance

Dès que la tension d'entrée analogique (V_{in}) dépasse la tension de référence (V_{ref}) de chaque comparateur, les sorties des comparateurs vont passer à un état haut de manière séquentielle. Plus la valeur de V_{in} est proche de V_{ref} plus le nombre de 1 logique délivré par les comparateurs sera élevé. L'encodeur génère alors un code binaire basé sur la combinaison renvoyée par les comparateurs. Ce type de CAN nécessite l'intégration de 2^{N-1} (avec N le nombre de bit du convertisseur) comparateurs. L'architecture flash permet la mise en œuvre de CAN rapide mais présentant une dissipation de puissance élevée [2].

1.4.1.2. Architecture Wilkinson

Le schéma de l'architecture d'un CAN Wilkinson [19-21] est présenté sur la Figure 1.12 ainsi que le chronogramme d'une conversion. Cette architecture a été particulièrement appréciée dans les années soixante dix pour sa grande précision et sa consommation réduite. Cependant, de nos jours les applications évoluant, l'architecture SAR que nous détaillerons dans une prochaine partie l'a très largement remplacé. L'architecture Wilkinson reste cependant appréciée dans le domaine de la spectroscopie pour sa monotonie garantie ainsi que la faible valeur de son erreur de DNL [2].

La Figure 1.12 ci-dessous illustre le principe de ce type de convertisseur. Il est constitué d'un générateur de rampe, d'un comparateur et d'un compteur numérique. Le signal échantillonné est comparé à la rampe balayant toute la dynamique d'entrée. Le compteur numérique est activé lorsque la rampe « débute ». La donnée binaire de sortie est valide à la

sortie du compteur lorsque la rampe générée est supérieure au signal d'entrée échantillonnée [3].

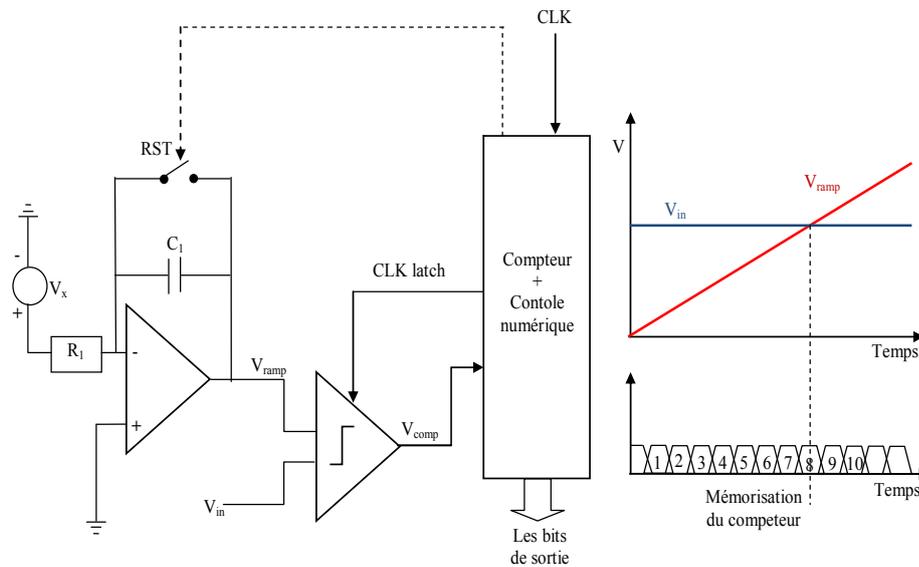


Figure 1.12 Architecture de CAN Wilkinson

Une rampe analogique couvrant toute la dynamique de conversion est générée de manière synchrone à un compteur. La valeur de cette rampe est comparée à chaque incrémentation du compteur au signal à convertir. Une fois que cette dernière devient inférieure à la valeur de la rampe, le comparateur bascule et arrête le compteur. La valeur du compteur représente directement le code de sortie. C'est la résolution du compteur qui détermine le nombre de bit du convertisseur [2].

Le principal avantage d'un tel convertisseur est sa simplicité. De plus, il peut atteindre une résolution supérieure à 16 bits. Son principal inconvénient est sa vitesse de conversion. Elle dépend de la génération de la rampe. Enfin, pour une résolution de N bits, la rampe doit également être précise à N bits. Dans le cas des applications multivoies, cette architecture présente l'inconvénient de la dispersion : soit les pentes des rampes, ou les offsets des comparateurs [3].

1.4.1.3. Architecture à approximation successive (SAR)

Le principe de l'architecture SAR [22, 23] est de tester successivement chaque bit en partant du bit de poids fort comme l'explique la Figure 1.13.

Pour réaliser ses opérations, le convertisseur est composé d'un CNA du même nombre de bits que sa résolution, d'un comparateur et d'un registre à approximation successive

permettant l'analyse du résultat du test et le contrôle du CNA. La Figure 1.13 présente le détail de l'architecture du CAN SAR ainsi qu'un chronogramme de conversion

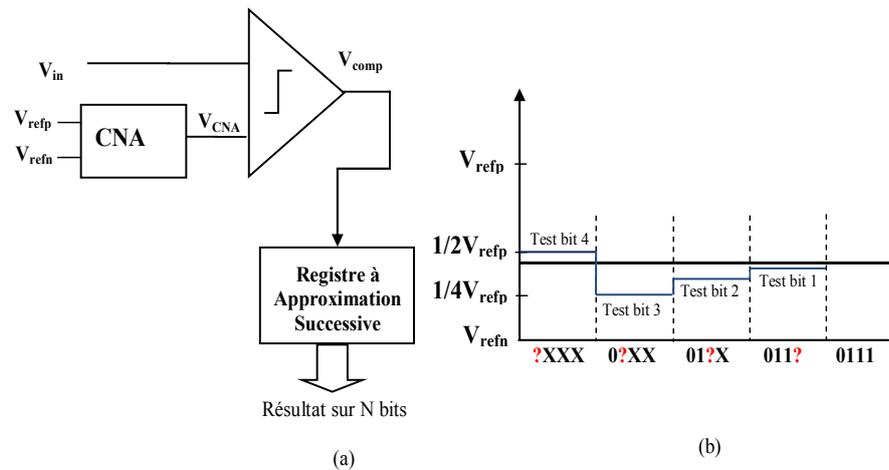


Figure 1.13 Détail de l'architecture d'un CAN SAR et chronogramme d'une conversion sur 4 bits

Le registre à approximations successives travaille selon le principe de la dichotomie. Un exemple de ce principe de fonctionnement est présenté dans la Figure 1.13 (b). Pour une résolution de N bits, la conversion est réalisée en N coups d'horloge. Ce convertisseur représente un exemple de sérialisation de l'opération de conversion. Ce type de CAN a l'avantage d'être peu gourmand en composants : un seul comparateur et un seul CNA, et également en consommation. Par contre, le principal inconvénient est son temps de conversion : autant de nombre de coups d'horloge que de nombre de bits à atteindre. La résolution du CNA et l'offset du comparateur sont les principales difficultés de conception.

1.4.1.4. Architecture Sigma-Delta

L'architecture sigma-delta [24, 25] a une approche fondamentalement différente de celles que nous avons détaillées précédemment. Le convertisseur sigma-delta, dans sa forme la plus basique, est composé d'un intégrateur, un comparateur et un CNA à 1 bit comme le montre la Figure 1.14 [16].

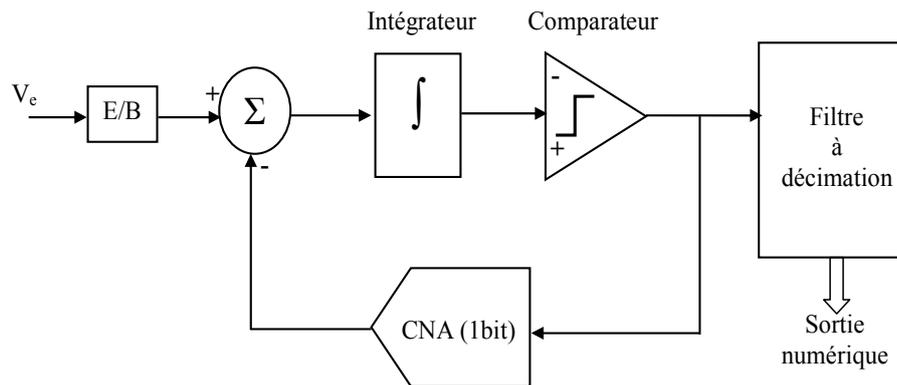


Figure 1.14 Architecture de CAN sigma-delta

Le fonctionnement de cette architecture repose sur le principe du sur-échantillonnage. La sortie du CNA est soustraite du signal d'entrée V_e , cette différence est intégrée par un intégrateur et convertie, ensuite, en numérique (0 ou 1) par un comparateur. Ce résultat sera reconverti en signal analogique par un CNA à 1 bit, la sortie du CNA est soustraite du signal d'entrée, et ainsi de suite. Cette boucle fermée fonctionne à une fréquence très élevée par rapport à la fréquence du signal d'entrée (principe du sur-échantillonnage). La sortie du comparateur (ou CAN à 1bit) est une suite de « zéros » et de « uns », et la valeur du signal est proportionnelle à la densité des « uns » venant du comparateur. Cette chaîne est ensuite filtrée par un filtre à décimation pour trouver la forme binaire en sortie du CAN [16].

1.4.1.5. Architecture Pipeline

Cette architecture consiste en une succession de différents étages [26-31]. Chacun des étages contient: un circuit échantillonneur /bloqueur (E/B), un CAN à faible résolution, un convertisseur numérique - analogique, un circuit sommateur et un amplificateur [2].

Le convertisseur Pipeline est un compromis entre les CAN « Flash » et les CAN « SAR ». En effet, comme nous l'avons noté précédemment, les CAN « Flash » sont constitués de 2^{N-1} comparateurs et les CAN « SAR » d'un seul comparateur. Contrairement aux architectures de convertisseurs précédents, les CAN « Pipeline » répartissent l'opération de conversion sur M étages. L'architecture de ce convertisseur est illustrée sur la Figure 1.15 ci-dessous [3].

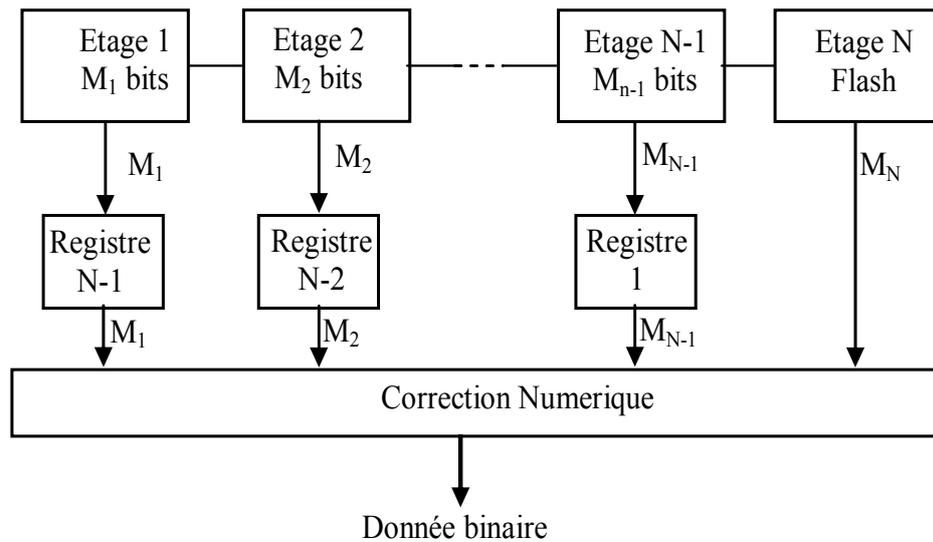


Figure 1.15 Architecture de CAN pipeline

Chacun des M étage est un bloc de conversion élémentaire numérisant le signal présenté à son entrée et fournissant le signal d'erreur analogique amplifié à l'étage suivant. Ce dernier est appelé le résidu. L'architecture de chaque étage est présentée sur la Figure 1.16 ci-dessous. Il est constitué d'un CAN Flash fournissant sur un nombre de bits réduit une partie de la donnée binaire. La deuxième partie de l'étage est constituée d'un « sommateur », d'un convertisseur numérique – analogique et d'un amplificateur permettant d'amplifier le signal d'erreur dans le but d'obtenir un signal à la pleine échelle pour l'étage suivant. Cette deuxième partie est généralement appelée « MDAC » (Multiplying DAC).

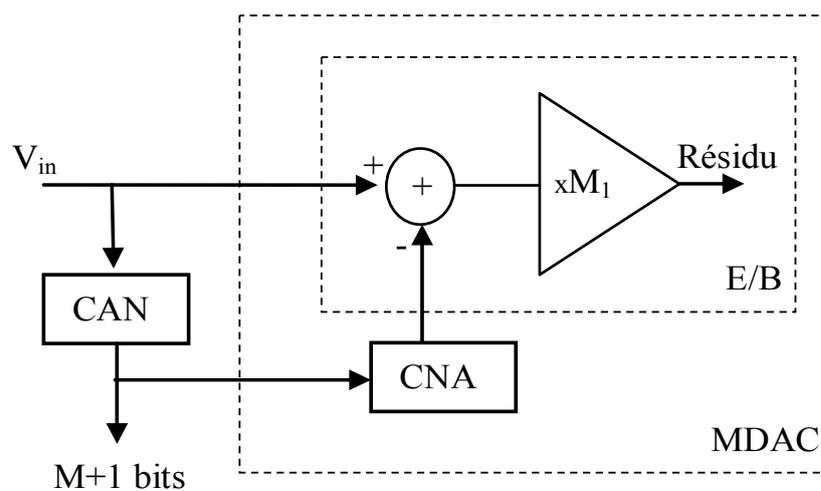


Figure 1.16 Architecture d'un étage "MDAC"

La présence des registres à décalage permet de rendre cohérent et de synchroniser les données binaires en sortie. Le convertisseur de type Pipeline possède une architecture efficace en termes de résolution et de vitesse avec une consommation assez raisonnable et une taille réduite pour le circuit.

A chaque coup d'horloge, le convertisseur effectue n conversions en parallèle. Chaque conversion est dédiée à une partie du code binaire. En traversant le convertisseur (en n clocks), la tension d'entrée est convertie en commençant par les bits de poids fort et finissant par les bits de poids faible. Le schéma du convertisseur pour une architecture à k bits par étage sur trois étages est présenté sur la Figure 1.15 [2].

A la fin de chaque étape, on calcule le résidu de la conversion partielle, ce résidu est ensuite ramené à pleine échelle par une multiplication. Ce convertisseur possède un temps de latence en raison de la propagation de l'entrée dans les cellules (ici trois coups d'horloge). Une fois le convertisseur « chargé », une nouvelle conversion est effectuée à chaque coup d'horloge.

I.5. CONCLUSION

Les concepts de base du convertisseur analogique-numérique ont été introduites. Ensuite, les indicateurs de performance fondamentaux pour caractériser les CANs ont été décrits. Enfin, les différentes architectures de convertisseurs à grande vitesse ont été examinées. Toutes les architectures de conversion que nous venons de présenter ont servi dans différentes réalisations dans le domaine électronique de conditionnement et de traitement des signaux. Cependant, leurs spécificités (résolution, vitesse, etc.) font qu'elles ne sont adaptées qu'à certaines architectures de conditionnement. Des critères tels que la bande passante du signal, la fréquence d'échantillonnage, la surface et la consommation sont déterminantes dans le choix d'un convertisseur (cf. Tableau 3.1)

Tableau 3.1 : Résumé sur les architectures de CAN

Architecture	Résolution	Vitesse de conversion	Avantages /inconvénients
Wilkinson	8 à 18 bits	$\leq 100\text{KHz}$	<ul style="list-style-type: none"> ⊕Simplicité ⊕Résolution élevée ⊕Faible consommation. ⊕Excellente réjection analogique du bruit ⊕Très faible vitesse d'échantillonnage ⊕Dispersion pour multi voies ⊕Offset comparateur
$\Sigma\Delta$	16 à 24 bits	$\leq 5\text{MHz}$	<ul style="list-style-type: none"> ⊕Résolution la plus élevée ⊕Excellente linéarité ⊕Faible consommation. ⊕Excellente rejection numérique du bruit ⊕Vitesse d'échantillonnage limitée
SAR	8 à 16 bits	$\leq 20\text{MHz}$	<ul style="list-style-type: none"> ⊕Résolution élevée ⊕Faible consommation. ⊕Vitesse d'échantillonnage limitée ⊕CNA et comparateurs : principales difficultés
Pipeline	8 à 16 bits	Entre 10 et 500 MHz	<ul style="list-style-type: none"> ⊕Très rapide ⊕Correction numérique des erreurs ⊕Meilleur compromis vitesse/résolution

Flash	6 à $10 \leq$ bits	Jusqu'à 20GHz	<ul style="list-style-type: none">⊗ Les plus rapides⊗ Résolution limitée⊗ Puce de dimension importante⊗ Capacité d'entrée élevée⊗ Consommation importante
--------------	--------------------	---------------	---

Dans le chapitre suivant, nous allons introduire la conception de l'architecture CAN pipeline.

Chapitre 2

Conception du convertisseur analogique numérique pipeline

II.1. INTRODUCTION

Les CAN sont conçus en utilisant beaucoup d'architecture. L'architecture choisie peut dépendre de la résolution de sortie (nombre de bits), les exigences de vitesse (fréquence d'échantillonnage) ou de puissance. L'architecture pipeline est optimisée pour la conversion à grande vitesse et offre une faible consommation électrique puis une vitesse comparable des dispositifs. En général, le concept de pipeline est utilisé pour la résolution assez faible, mais la conversion à grande vitesse. Ce chapitre se concentre sur la conception d'un CAN à l'aide de l'architecture pipeline [32]. Avant d'aborder la conception des différents blocs de base d'un convertisseur A/N pipeline: le commutateur analogique, le comparateur et l'amplificateur opérationnel (sec. II.3), nous aborderons la notion de principe de fonctionnement du CAN pipeline (sec II.2) et nous présenterons également dans ce chapitre l'approche de conception des circuits convertisseur analogiques numériques (sec. II.3).

II.2. PRINCIPE DE FONCTIONNEMENT DES CONVERTISSEURS DE TYPE PIPELINE

Dans le but de comprendre le fonctionnement général d'un convertisseur A/N de type pipeline et pouvoir concevoir les différents blocs qui le constituent, nous présentons l'algorithme qui présente le principe de base d'un CAN pipeline. Le principe du convertisseur pipeline ou des convertisseurs algorithmiques (cycliques) repose sur l'algorithme de division récurrente. La Figure 2.1 illustre une conversion de ce type sur n bit en base 2 [33].

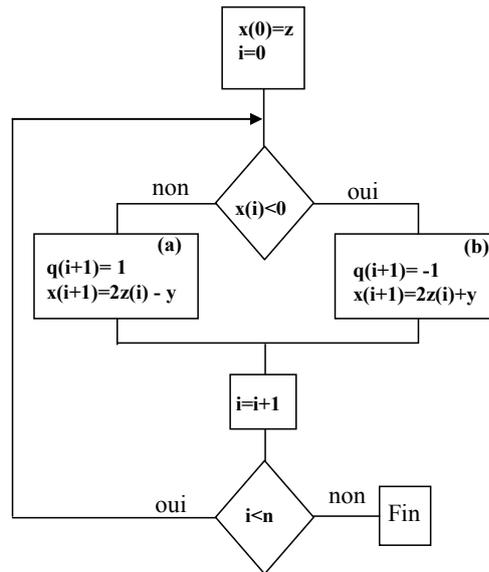


Figure 2.1 Conversion algorithmique

Montrons que l'issue des n itérations, les chiffres $q(i)$ contiennent une approximation numérique du quotient x/y .

Les étapes (a) et (b) assurent en effet que si $|x| < y$, tous les restes partiels $x(i)$ sont tels que $|x(i)| < y$. Par ailleurs, celles-ci peuvent s'écrire sous la forme condensée [33]:

$$x(i+1) = 2x(i) - q(i+1)y \quad (2.1)$$

On a alors par récurrence :

$$\begin{cases} x(0) = x \\ x(1) = 2x - q(1)y \\ x(2) = 2^2x - (2q(1) + q(2))y \end{cases}$$

$$x(n) = 2^n x - \left(\sum_{i=1}^n q(i) \cdot 2^{n-i} \right) \cdot y$$

Ce qui donne finalement:

$$\frac{x}{y} = \sum_{i=1}^n q(i) \cdot 2^{-i} + \frac{x(n)}{y} \cdot 2^{-n} \quad (2.2)$$

Le dernier terme étant strictement inférieur à 2^{-n} , on voit que les chiffres $q(i)$ constituent bien une représentation approchée du quotient x/y .

La récursion décrite par l'équation (2.1) se prête également à une réalisation très simple en technique échantillonnée. La figure 2.2 en donne le schéma de principe basé sur deux phases ϕ_1 et ϕ_2 . Durant ϕ_1 , la tension d'entrée charge les capacités C_1 et C_2 et le signe de V_x

est mémorisé dans le bit d . durant ϕ_2 , la charge est redistribuée en fonction de la tension de référence et du bit de signe [33]:

$$V_r = \left(1 + \frac{C_2}{C_1}\right) V_x + q \cdot \frac{C_2}{C_1} V_{ref} \quad (2.3)$$

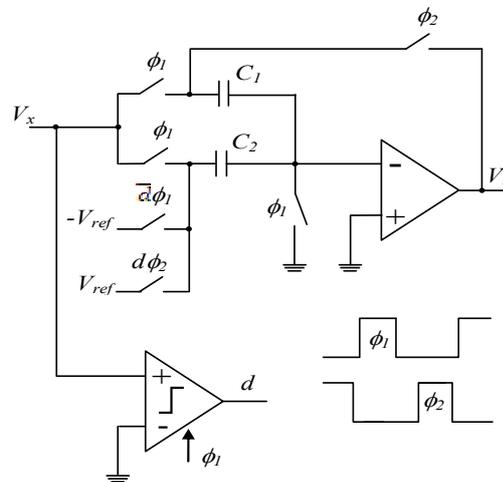


Figure 2.2 Schéma de principe réalisant la récursion par l'équation (2.1)

$$q = \begin{cases} +1 & \text{si } d_i = 1 \\ -1 & \text{si } d_i = 0 \end{cases}$$

En choisissant $C_1=C_2$, on obtient bien l'équation (2.1). Le convertisseur pipeline utilise plusieurs blocs élémentaires de faible résolution pour construire le code de sortie. Dans notre exemple précédent, une résolution de n bit serait obtenue à partir de n blocs identiques à celui de la Figure 2.2. Ces blocs forment une chaîne et sont activés à chaque période d'horloge H (Figure 2.3). Le résultat du traitement élémentaire est constitué d'une donnée analogique: le résidu r_i et d'un code intermédiaire d_i . C'est la combinaison de ces codes intermédiaires qui forme le mot de sortie du convertisseur. Chaque code étant associé à un poids et à un retard qui correspond à son rang dans la structure. Pour m blocs élémentaires, le traitement complet d'un échantillon du signal nécessite m périodes d'horloge. Ceci constitue le temps de latence du convertisseur. Les m blocs fonctionnant en parallèle, un échantillon du signal est cependant disponible à chaque période d'horloge.

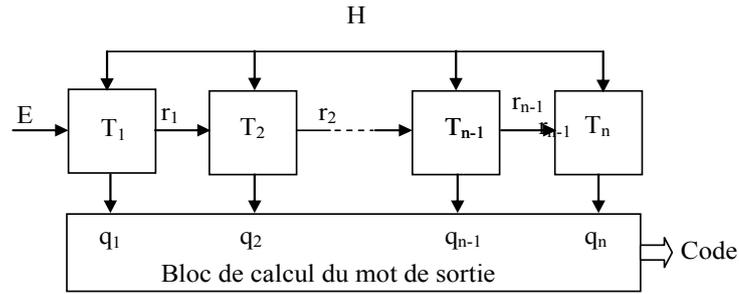


Figure 2.3 Schéma de principe du convertisseur Pipeline

Dans le cas général le traitement d'un bloc est constitué d'une quantification qui fournit le code élémentaire, d'une soustraction et d'un gain comme indiqué sur la Figure 2.4. On notera que la génération du dernier résidu n'est pas nécessaire puisque celui-ci n'est pas exploité. Le dernier étage du pipeline est constitué d'un simple CAN. La résolution réduite et la recherche d'un temps de conversion minimum conduisent à utiliser une structure flash pour le CAN de tous les étages.

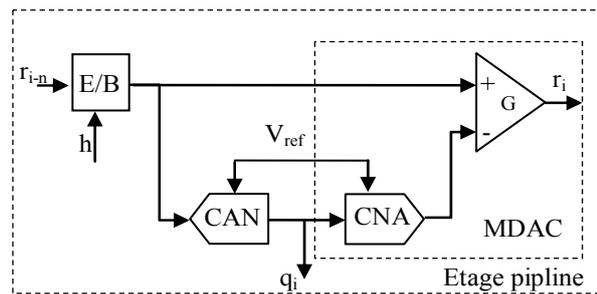


Figure 2.4 Etage d'un convertisseur Pipeline

Le CNA et l'amplificateur sont généralement regroupés en un seul élément que l'on nomme MDAC. Ceci du à l'utilisation fréquente de la pondération de charges pour le CNA comme c'est le cas dans la Figure 2.2 pour une résolution de 1 bit. La conservation de charge entre les deux phases ϕ_1 et ϕ_2 nous donne [33]:

$$-\sum_{i=1}^n C_i \cdot V_e = -\sum_{i=1}^n q_i \cdot C_i \cdot V_{ref} + C_0 \cdot V_s \tag{2.4}$$

avec $C_i = -2^{i-1}C_0$, $i=1; \dots, n$ on obtient la sortie V_s :

$$V_s = 2^n \left[V_e - \frac{V_{ref}}{2^n} \cdot \sum_{i=1}^n q_i \cdot 2^{i-1} \right] = G(V_e - V_q) \tag{2.5}$$

Ceci correspond bien au schéma de la Figure 2.5 où le gain G et la sortie V_q du CNA sont données par la formule (2.5). Aux imperfections du CNA près, la sortie V_q est une approximation de l'entrée directement obtenue à partir du code q . En notant $G(i)$ et $V_q(i)$ les valeurs correspondantes pour le bloc i , la relation de récurrence générale pour les différents résidus est telle que:

$$V_r(i) = G(i) \cdot (V_r(i-1) - V_q(i)) \quad (2.6)$$

Par conséquent, Le principe de fonctionnement de chaque étage est le suivant [34] (Figure 2.4). Dans une première phase, le signal d'entrée est échantillonné et comparé à un ou plusieurs comparateurs suivant la résolution effective de chaque étage. Puis, de même que pour les CAN à multiples étages, un signal de référence obtenu par un CNA piloté par le(s) bit(s) de ce(s) comparateur(s) est retranché ou additionné au signal échantillonné. Enfin, le signal résultant de cette opération est amplifié d'un facteur $G=2^i$ (où i est la résolution effective de l'étage. C'est ce signal amplifié que l'on appelle résidu. Cette amplification permet de relaxer d'autant la résolution des étages qui suivent. Ceci se traduit essentiellement en termes d'économie d'énergie. Cette économie d'énergie est cependant amoindrie par la nécessité d'amplifier le signal entre chaque étage, nécessité qui devient alors la principale source de dissipation énergétique du dispositif [34].

II.3. L'APPROCHE DE CONCEPTION TOP-DOWN

Les concepteurs des circuits analogiques ont décidé de changer de règle (stratégie) de conception et d'adopter une méthodologie de conception hiérarchique descendante « Top-Down », qui décompose le problème de la conception complexe en une suite de problèmes plus faciles à appréhender.

Le processus de conception d'un CAN commence avec les spécifications du convertisseur (ENOB, F_s , etc.) et se termine par le dessin des masques physiques (layout) [12]. Au cours de cette procédure de conception, les concepteurs doivent explorer de nombreuses alternatives, étudier plusieurs compromis, identifier les contraintes de conception et de dépendances et optimiser la conception en termes de superficie de silicium et de consommation de puissance. Il est évident qu'il s'agit d'un défi majeur qui nécessite généralement l'élaboration de méthodologie de conception robuste et systématique. Une des approches plus courantes est ce que l'on appelle la méthodologie de conception de haut en bas, où la conception du convertisseur est divisée en plusieurs niveaux d'abstraction. Ainsi, initialement le processus de conception est abordé d'un point de vue fonctionnel (niveaux

d'abstraction supérieur) et affiné vers le bas (faible niveau d'abstraction). En conséquence, les spécifications du convertisseur sont converties du haut vers le bas des niveaux d'abstraction. Il y a plusieurs avantages à cette décomposition hiérarchique [35]: (1) la possibilité d'effectuer l'exploration architecturale du système et une meilleure optimisation globale du système à un niveau élevé avant de commencer l'implémentation détaillée du circuit; (2) le fait qu'il permet la bonne identification et compréhension des compromis et des dépendances entre les différents niveaux hiérarchiques et (3) le fait que la conception du convertisseur est réduite afin de trouver les spécifications pour chaque niveau hiérarchique, ce qui permet une conception modulaire qui consomme plus moins de temps.

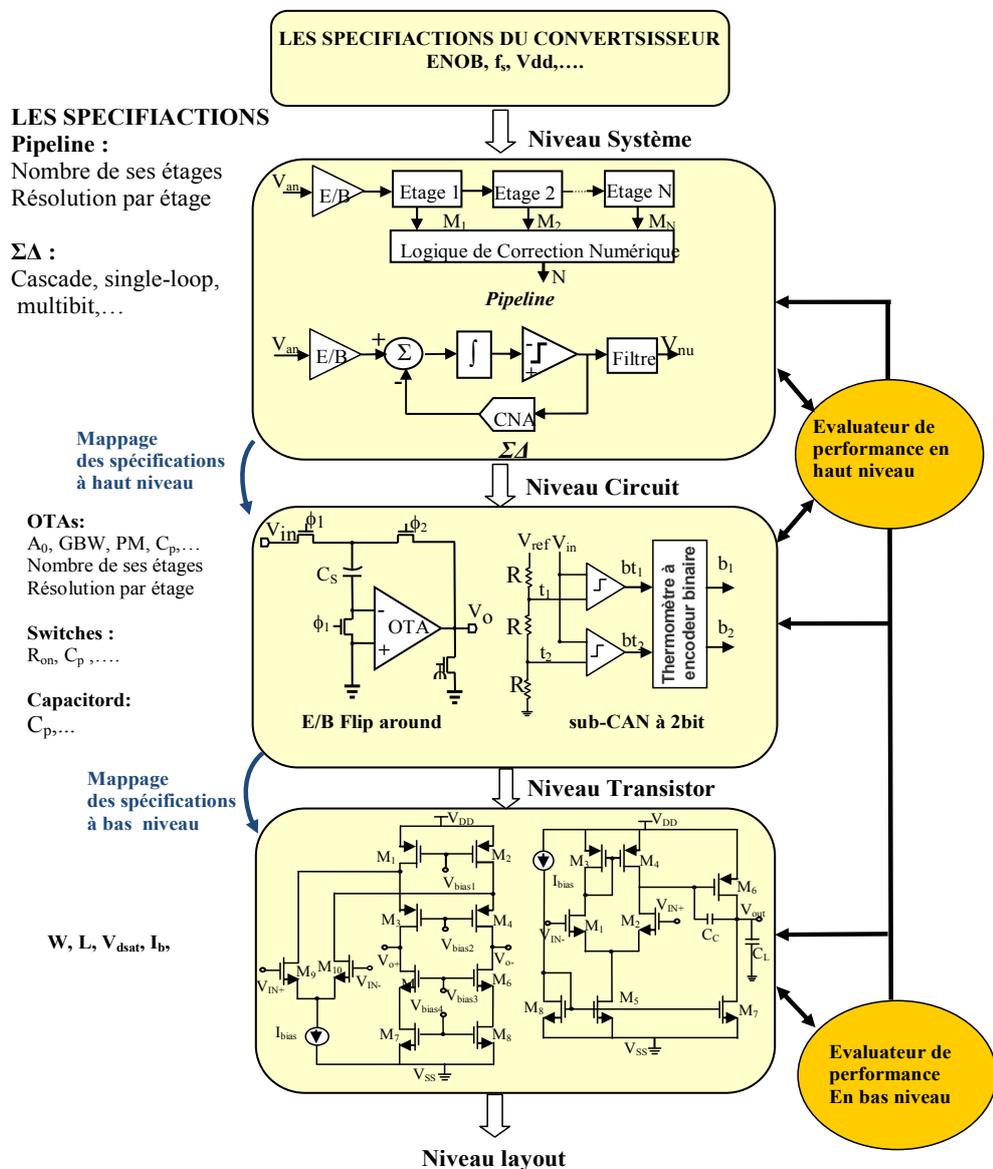


Figure 2.5 La méthodologie Top Down adoptée pour la conception des CANs

La Figure 2.5 présente une méthodologie de conception conventionnelle de haut en bas pour les CAN. Comme on peut le déduire, le processus de conception est divisé en quatre niveaux hiérarchiques :

Niveau système, où les aspects architecturaux comme le type de convertisseur, la topologie, etc. sont discutées. À ce niveau, les blocs de construction de base du convertisseur peuvent être considérés comme une boîte noire et décrit au niveau fonctionnel.

Niveau Circuit, où les blocs de construction de base sont décrits plus en détail à l'aide des modèles simples et efficaces, qui prennent en compte les principales non-idéalités de l'implémentation effective du circuit.

Niveau transistor, où les blocs de construction de base sont décrits jusqu'au niveau électrique à l'aide de complexes équations différentielles non linéaires et des modèles très précis.

Niveau layout, où l'implémentation physique des transistors est considérée.

II.4. LA CONCEPTION D'UN CAN PIPELINE A 10 BITS

Le concept de fonctionnement de CAN pipeline et l'approche de conception ont été introduit aux deux sections précédentes. Dans cette section, une description plus détaillée de la conception du CAN pipeline sera présentée. Un schéma synoptique général d'un convertisseur A/N pipeline est illustré sur la Figure 2.6.

L'utilisation de l'architecture 1,5 bits/étage détend les exigences sur le sous-CAN, donc efficace pour les conceptions à haute vitesse qui peuvent être développés. L'architecture 1,5 bits/étage ne peut avoir que trois intervalles de quantification valide, « 00 », « 01 » et « 10 ». Afin d'éviter le débordement dans la correction numérique, "11" n'est pas une sortie valide à moins qu'au dernier étage. Pour obtenir M bits de résolution, M-1 étages sont nécessaires. À l'aide de cette topologie unique, le facteur de gain peut être défini à une constante de 2 entre les étages.

L'architecture pipeline de 10 bits, avec une résolution effective de 1,5 bit par étage a été choisie en raison de son potentiel d'un taux de conversion élevé. Pour le moins grand nombre de bits par étage, les exigences de comparateur du sous-CAN sont plus détendus, et la vitesse propre de chaque étage est plus rapide [36].

La Figure 2.6 montre un diagramme de bloc d'un CAN pipeline à 10 bits, et de 1,5 bits/étage. Il comprend un circuit échantillonneur-bloqueur, 8 étages de 1,5 bits identiques, un dernier étage 2 bits et un générateur d'horloge. Le signal d'entrée analogique est échantillonné par le circuit E/B. Les étages restants effectuent la quantification, la conversion N/A des

codes quantifiés, la soustraction de l'entrée maintenue ou bloquée et l'amplification pour le prochain étage à plusieurs reprises. Le CAN de résolution 1,5 bits dans chaque étage échantillonne et quantifie le signal d'entrée aux codes numériques thermiques. Avec un circuit logique simple, les codes thermiques sont transférés aux codes binaires: 00, 01 et 10 sont trois codes binaires de sortie possible. Les codes de sortie sont ensuite projetés à la conversion N/A par un circuit logique de commande [36]. Le CNA, le soustracteur et l'E/B tous partagent une gamme commune de condensateur, et leurs fonctions sont combinées dans un CNA multiplicateur (MDAC). C'est le circuit clé dans le CAN et il sera décrit en détail dans la section suivante. Pendant ce temps, les codes de sortie sont distribués dans une chaîne du registre. En passant un certain nombre de registres, une correction numérique est effectuée et les 10 bits finaux des sorties numériques sont produits [36].

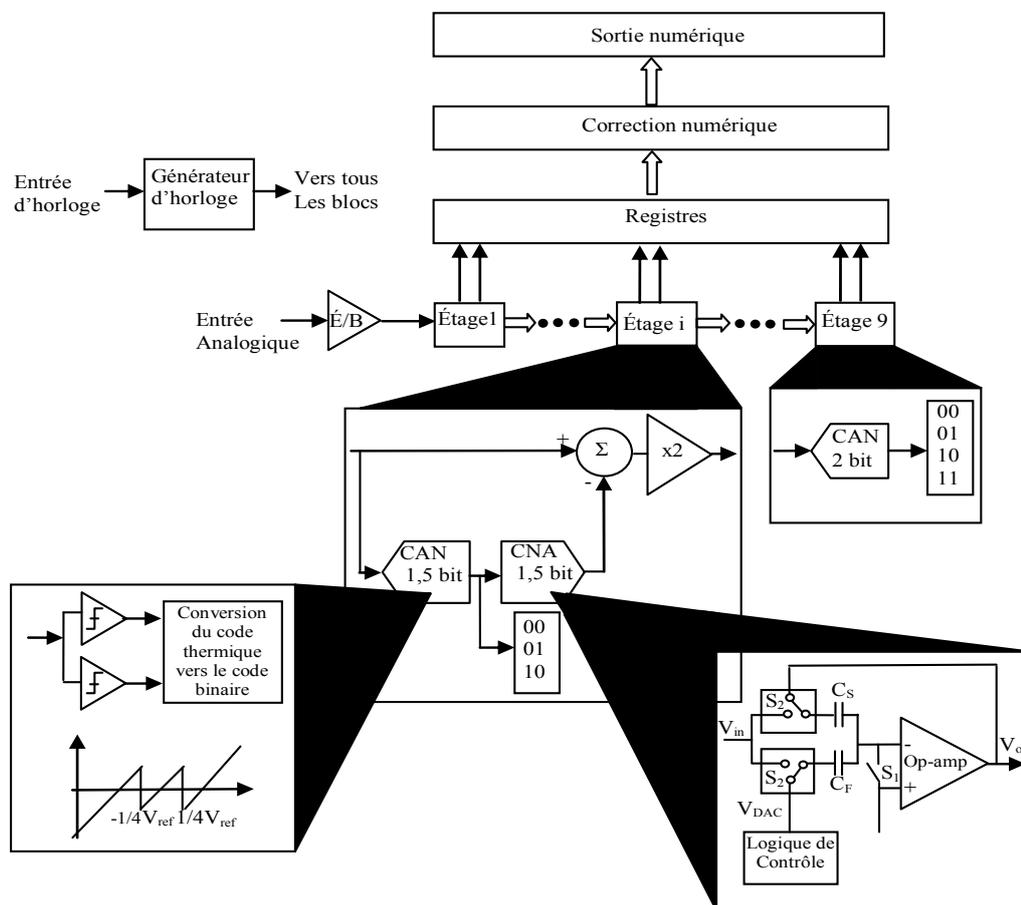


Figure 2.6 Architecture d'un 10 bit CAN Pipeline à 1.5bit par étage

II.4.1. Spécifications du convertisseur

Un convertisseur pipeline sera conçu pour des systèmes de radiodiffusion sans fil à haute qualité, où les résolutions autour de 10 bits et la bande passante du signal d'entrée

d'environ 20-100MHz. Dans de telles applications, une faible tension d'alimentation, une faible puissance et une petite surface de la puce sont simultanément nécessaires. Les spécifications du convertisseur dans le tableau 2.1 répondent à ces exigences. En raison de la tension d'alimentation réduite et la plage d'entrée élevée nécessaire, l'utilisation d'OTA à deux étages est obligatoire. Ces spécifications doivent être satisfaites sur tous les coins technologiques et environnementaux avec une consommation électrique minimale. En outre, l'exigence ENOB doit également être satisfaite sur toute la bande de Nyquist. Le CAN pipeline à 10 bits sera implémenté en technologie TSMC 180nm.

Tableau 2.1 spécifications du convertisseur pipeline

Technologie	180nm
Tension d'alimentation	1,8V
Gamme d'entrée	1,8v
Taux d'échantillonnage	100MS/s
ENOB	9 bits
Nombre de bits	10 bits

II.4.2. Les blocs de construction clés d'un CAN Pipeline

Une fois les spécifications de convertisseur et les paramètres technologiques ont été identifiés, la synthèse au niveau transistor du convertisseur est réalisée en suivant le processus de conception décrit dans la section II.2.

II.4.2.1. Les différentes architectures de commutateur

Dans cette partie nous détaillerons les différentes architectures de commutateurs analogiques que nous avons utilisées dans nos étages « MDAC » afin de remédier aux problèmes de linéarité de la résistance R_{ON} , et aussi aux phénomènes de charges injectées et de « clock feedthrough » [3].

a) Commutateur CMOS

Le commutateur le plus simple possible est un transistor de passage indiqué sur la Figure 2.7 (a). Dans le cas de transistors NMOS, lorsque la tension de grille est élevée, le drain et la source sont reliés électriquement et la conduction se produit entre eux. On peut voir que la tension maximale qui peut passer est $V_{dd}-V_t$. Inversement, dans un commutateur PMOS, la tension minimale qui peut passer est V_t . Pour la gamme de conduction qui peut être

de 0 à V_{dd} , les commutateurs sont modifiés comme indiqués dans la Figure 2.8 pour former la porte de transmission CMOS [37].

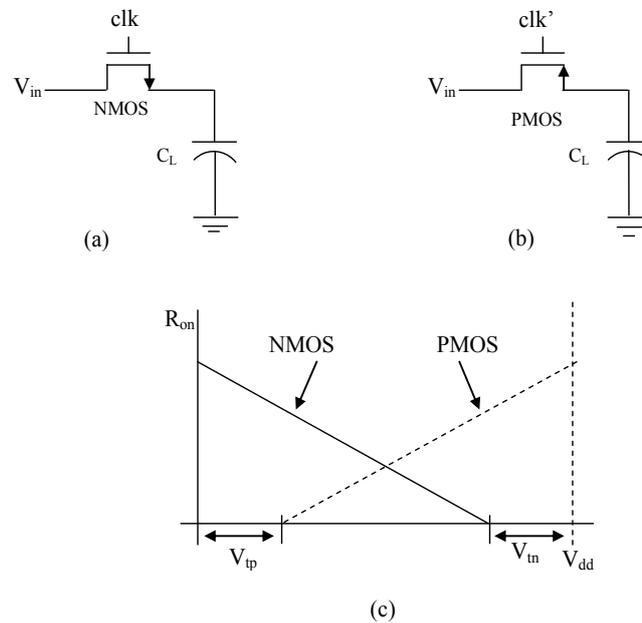


Figure 2.7 CMOS switch, (a) le switch NMOS, (b) switch PMOS, (c) la résistance des Switch

Pour les applications où la linéarité de la sortie n'est pas une préoccupation, un transistor NMOS ou un transistor PMOS juste fonctionnerait très bien dans leur région de conduction. Figure 2.7 (c) montre la résistance sur des commutateurs NMOS et PMOS. Ces commutateurs avec une variation de la résistance (R_{on}), produira une distorsion à la sortie qui n'est pas souhaitable dans les applications analogiques. Il existe deux manières populaires de contrer cela et sont décrits ci-dessous [37].

b) la porte de transmission CMOS

Un coup d'œil à la Figure 2.8 (a) suggère que les commutateurs NMOS et PMOS sont utilisés en parallèle, donc la résistance effective est comme illustré à la Figure 2.8 (b). Cette combinaison s'appelle la porte de transmission fonctionne bien dans de nombreuses applications.

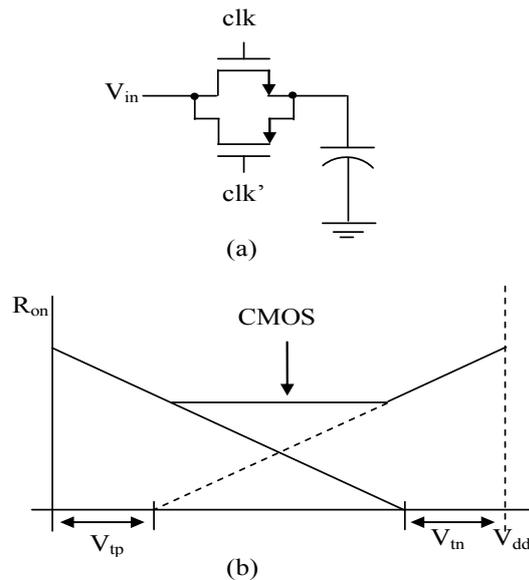


Figure 2.8 La porte de transmission CMOS

Quand on met les deux transistors NMOS et PMOS en parallèle, leurs dimensions relatives sont en proportion à leurs mobilités afin d'assurer les résistances-on égaux. À part de l'augmentation de la linéarité, cette combinaison contribue également à l'injection de charges qui est un gros problème dans les circuits à capacités commutées. La charge de grille des transistors NMOS et PMOS sont de polarité opposée [37]. Quand le commutateur est fermé, ces paquets de charges chargées en opposée qui sortent annulent les uns les autres ce qui améliore l'intégrité du signal dans une certaine mesure.

c) Commutateur de type « Bottom plate sampling »

Le principe du « bottom plate sampling » [38, 39] s'agit en fait d'une architecture permettant de réduire l'erreur d'injections de charges sur le signal mémorisé. Sur la Figure 2.7, nous avons illustré le principe du « top plate sampling ». Dans le cas de la Figure 2.8 (a), nous illustrons le principe du « bottom plate sampling ». Il est constitué d'un commutateur supplémentaire NM2 connecté entre un potentiel constant (le mode commun par exemple) et l'armature basse de la capacité d'échantillonnage C_{ECH} [3].

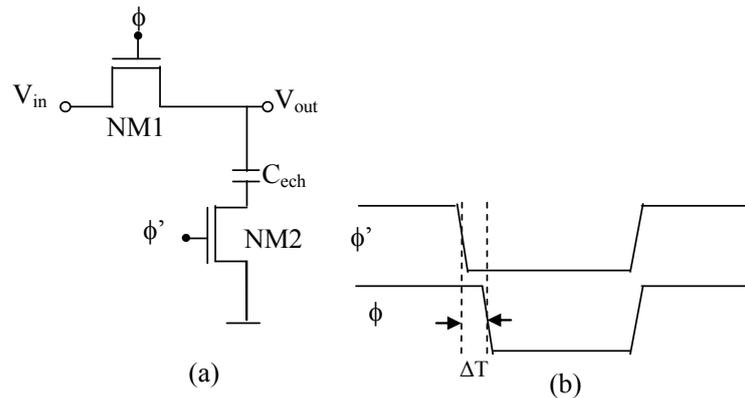


Figure 2.9 Principe de fonctionnement du "bottom plate sampling", (a) schéma électrique et (b) évolution temporelle des commandes des commutateurs.

Le mode de fonctionnement est le suivant [3]:

- Pendant la première phase d'écriture, les deux commutateurs NM1 et NM2 sont fermés au même instant. L'information est stockée dans la capacité C_{ECH} .
- Dans la seconde phase, l'ouverture de NM2 est ouverte et déconnecte l'armature basse de C_{ECH} , d'où l'appellation « bottom plate sampling ».
- Enfin, dans la troisième phase, le commutateur d'entrée est ouvert. Ceci a pour effet la non-perturbation du signal mémorisé sur la capacité C_{ECH} .

d) Commutateur de type « Bootstrap »

La variation de la résistance d'un transistor est causé par le changement de sa tension grille source (V_{gs}) au cours de la phase d'échantillonnage. Si cela V_{gs} peut être maintenue constante au cours de la période d'échantillonnage, la cause de la non-linéarité est éliminée. Cela se fait comme indiqué dans la Figure 2.10. Un condensateur est pré-chargé à une tension fixe ($> V_t$). En raison de sa disponibilité, cette tension de pré-charge est généralement V_{dd} [37].

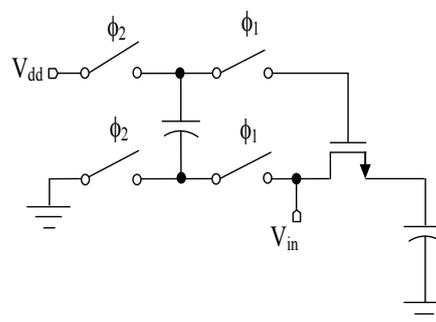


Figure 2.10 Switch bootstrap

Bien que le concept soit toujours le même, de nombreuses versions de ce circuit ont apparu. Une version de celui-ci est indiquée sur la Figure 2.11 [24].

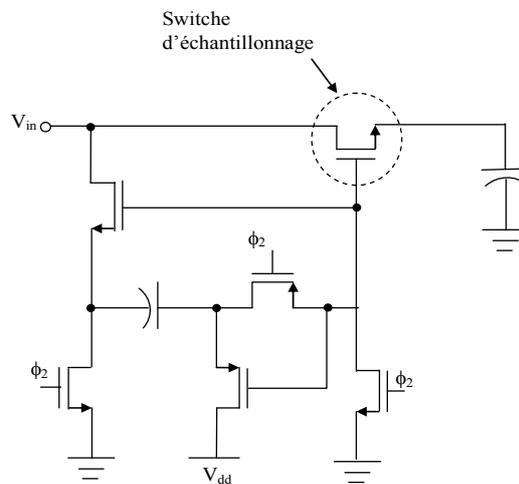


Figure 2.11 Implémentation du Switch bootstrap

II.4.2.2. Le générateur d'horloge

Il existe différentes topologies du générateur d'horloge [40-42]. Les signaux d'horloge utilisés dans les circuits à capacités commutées dans le CAN pipeline sont générés par le générateur d'horloge comme le montre la Figure 2.12. À partir d'un signal d'horloge *clock_in* fonctionnant à 100MHz, les deux signaux d'horloge non-chevauchés $\phi 1$ et $\phi 2$ sont générés. D'autres signaux d'horloge $\phi 1a$ et $\phi 2a$ sont avancés légèrement que $\phi 1$ et $\phi 2$ respectivement, ce qui permet de réduire l'injection de charges [42].

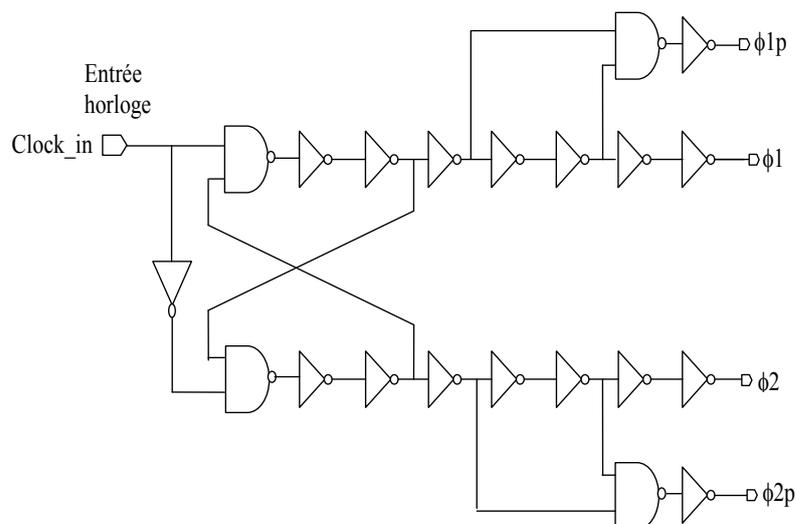


Figure 2.12 Générateur d'horloge

II.4.2.3. Les Amplificateurs Opérationnels

Un amplificateur opérationnel (amp-op) n'est pas seulement un composant largement utilisé dans la plupart des circuits analogiques, mais un élément constitutif très important d'un CAN pipeline à capacité commutée car il limite souvent les performances telles que la vitesse et la précision, et consomme plus de la puissance dans les circuits à capacités commutées. Afin de ne pas limiter les performances de linéarité de l'amp-op par les non-idéalités, les amp-ops doivent avoir un grand gain DC et une large bande passante suffisante pour que la sortie s'installe de 1/2 LSB à la valeur désirée en un demi-cycle d'horloge [40].

L'élément de base de l'étage « MDAC » est l'amplificateur opérationnel (amp-op) [3]. Le gain en boucle ouverte de l'amplificateur doit être élevé pour garantir la précision du convertisseur A/N [34]. De plus, la fréquence d'échantillonnage du CAN est limitée par le produit gain – bande passante de l'amplificateur [43] et [39].

Dans cette section, les paramètres importants des différentes topologies d'amp-op sont examinés et leurs avantages et inconvénients sont discutés.

A) Amplificateur opérationnel à deux étages

La Figure 2.13 montre un schéma [40] d'un amplificateur opérationnel CMOS de base à deux étages [44-46]. Un étage différentiel d'entrée pilote une charge active suivi d'un second étage de gain. Un étage de sortie n'est généralement pas utilisé mais peut être ajoutée pour la conduite de grandes charges hors puce. Cette configuration de circuit offre une bonne plage en mode commun, un swing de sortie, le gain en tension, et le CMRR dans un circuit simple qui peut être compensé par un seul condensateur [47].

Le gain de l'amplificateur opérationnel à deux étages peut être approximativement:

$$A_v = g_{m1} \cdot (r_{o1} \parallel r_{o3}) \cdot g_{m1} \cdot (r_{o6} \parallel r_{o7}) \quad (2.7)$$

Le produit gain bande passante de l'amplificateur à deux étages est donné par:

$$\omega_u = \frac{g_{m1}}{C_c} \quad (2.8)$$

La vitesse de balayage est donnée par:

$$SR = \min \left(\frac{I_5}{C_c} \right) \quad (2.9)$$

où I_5 , C_c sont le courants de polarisation du transistor M_5 et la capacité de compensation respectivement.

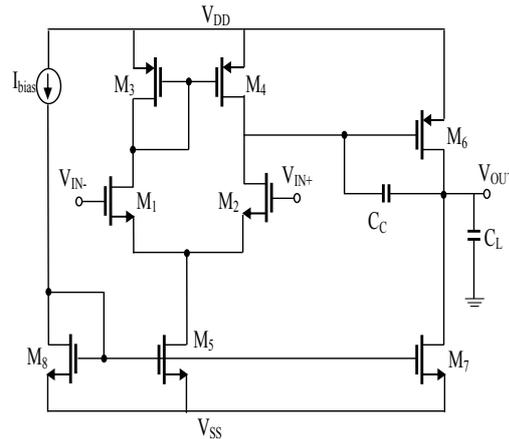


Figure 2.13 Amplificateur opérationnel à deux étages

B) Amplificateur opérationnel symétrique

L'amplificateur opérationnel à miroir de courant [48] ou autrement appelée OTA Symétrique [49] est extrêmement attractive dans les applications à grande vitesse et de faible puissance, Le schéma de circuit d'OTA symétrique est représenté sur la Figure 2.14. L'étage d'entrée différentiel est formé par des transistors d'entrée M_0 , M_1 et les transistors connectés en diode M_2 , M_3 . Les miroirs de courant sont formés par les transistors connectés en diode M_2 , M_3 avec le transistor M_6 , M_7 et M est le facteur de multiplication de courant de miroirs de courant. Une valeur typique de M est comprise entre 1 et 3 [40].

Le gain en tension de l'amplificateur opérationnel symétrique est donné par [40]:

$$A_v = M \cdot g_{m1} \cdot (r_{o6} \parallel r_{o7}) \quad (2.10)$$

où r_{o4} , r_{o6} sont la résistance du transistor M_4 , M_6 , respectivement.

La valeur du produit gain bande passante est donnée par :

$$\omega_u = M \cdot \frac{g_{m1}}{C_L} \quad (2.11)$$

Où g_{m1} est la transconductance du transistor d'entrée M_1 , C_L est la capacité de charge et M est le rapport de miroir de courant.

La vitesse de balayage de l'amplificateur opérationnel symétrique est donnée par [1]:

$$SR = M \cdot \frac{I_5}{C_c} \quad (2.12)$$

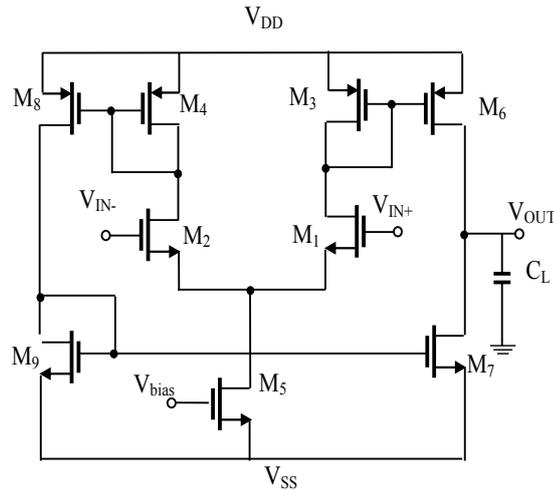


Figure 2.14 Amplificateur opérationnel symétrique

C) Amplificateur opérationnel télescopique

Le circuit de la Figure 2.15 est un amplificateur opérationnel télescopique [50, 51], fournit un gain comparable au gain de l'amp-op à deux étages de la Figure 2.13. Cette structure a été appelée amp-op télescopique parce que les miroirs de courant cascodes sont connectés entre les sources d'alimentation en série avec les transistors de la paire différentielle, résultant en une structure dans laquelle les transistors de chaque branche sont reliés le long d'une ligne droite comme les lentilles d'un télescope réfracteur [47].

La version la plus simple d'un OTA à un seul étage est l'architecture télescopique, la paire différentielle d'entrée injecte les signaux de courant dans les étages de grille commune. Ensuite, le circuit réalise la différence à la conversion à une sortie unique avec un miroir de courant cascode.

Le gain de l'amplificateur opérationnel télescopique est donnée par

$$A_v = g_{m1} \{ (g_{m3} r_{o3} r_{o1}) \parallel (g_{m5} r_{o5} r_{o7}) \} \quad (2.13)$$

L'amplificateur opérationnel télescopique est un bon candidat pour les applications à grande vitesse, de faible puissance parce qu'il s'agit d'une structure en une seule étage et il y a seulement deux branches de courant. Le produit gain bande passante de l'amplificateur est donnée par:

$$\omega_u = \frac{g_{m1}}{C_L} \quad (2.14)$$

La vitesse de balayage est donnée par:

$$SR = \frac{I_{b9}}{C_L} \quad (2.15)$$

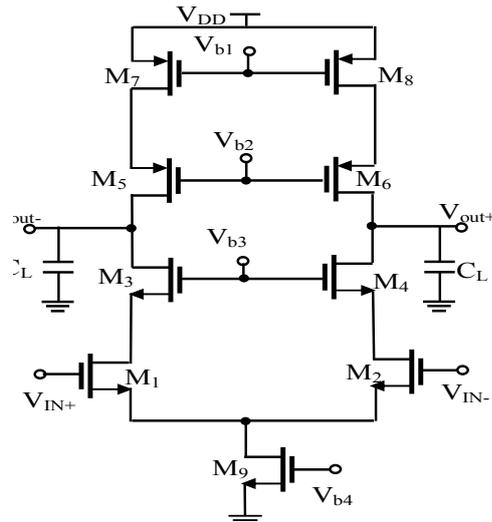


Figure 2.15 Amplificateur opérationnel télescopique

E) Amplificateur opérationnel cascode replié

La Figure 2.16 présente un amplificateur opérationnel cascode replié [52-55], le nom de «replié cascode» vient de plissement des charges actives cascodes à canal-p de la paire différentielle et en changeant les transistors MOSFET à canal-p par des transistors MOSFET à canal-n. Ce circuit est développé pour améliorer la plage d'entrée en mode commun et le rejet de charge de l'alimentation du deuxième étage de l'amp-op. L'amp-op "cascode replié» a des performances d'un gain important et une grande bande passante.

La structure de l'amplificateur opérationnel cascode replié [40] est illustrée sur la Figure 2.16 est dit être repliée dans le sens où il inverse le sens de circulation du signal vers la masse. Cette inversion a deux principaux avantages lorsqu'il est utilisé avec une paire différentielle. Premièrement, elle augmente le swing de sortie. Deuxièmement, elle augmente la plage de l'entrée en mode commun [47].

Le gain de l'amplificateur opérationnel cascode replié est donnée par :

$$A_v = \{g_{m9} \cdot [g_{m3} r_{o3} (r_{o1} \parallel r_{o2})] \parallel (g_{m5} r_{o5} r_{o3})\} \quad (2.16)$$

Le produit gain bande passante de l'amplificateur opérationnel est donné par:

$$\omega_u = \frac{g_{m9}}{C_L} \quad (2.17)$$

La vitesse de balayage est donnée par :

$$SR = \frac{I_{bias}}{C_L} \quad (2.18)$$

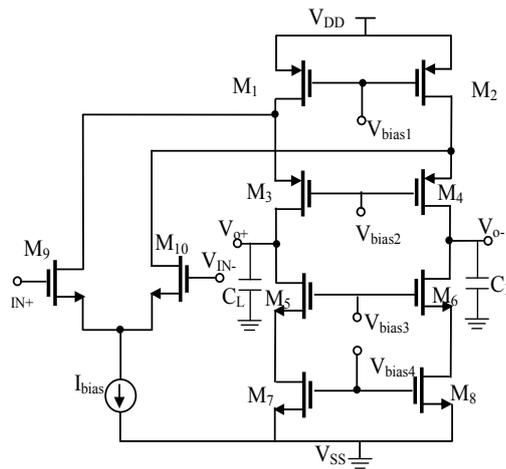


Figure 2.16 Amplificateur opérationnel cascode replié

F) les topologies des amplificateurs opérationnels et le circuit MDAC

La résolution réalisable du CAN est déterminée par la précision de l'étage MDAC. De plus, comme ce bloc est le plus gourmand en énergie dans le CAN, la plupart de la concentration pour améliorer les performances du CAN, est dépendante de ce bloc. L'amplificateur opérationnel étant le seul circuit actif dans un MDAC est d'intérêt principal. La plupart des MDACs sont implémentées en utilisant des circuits à capacités commutées et donc l'ampli-op peut vraiment être un OTA (amplificateur opérationnel à transconductance) avec une impédance de sortie élevée. Certaines de ces structures OTA populaires sont présentées dans les figures. 2.13, 2.14, 2.15 et 2.16. Pour la résolution de l'intérêt (≥ 10 bits), le gain de l'OTA doit être supérieur à 60 dB. Pour tenir compte des variations de processus ce qui est généralement choisi pour être supérieur à 70 dB.

Un tel gain élevé impose l'utilisation de structures cascode et cascade. Les trois OTAs populaires sont comparées dans le tableau 2.2. le gain élevé et la bande passante sont les conditions importantes de l'OTA [37].

Tableau 2.2 Comparaison des architectures des Amp-Op

Structure	Avantages	Inconvénients
Télescopique	Grande Vitesse Puissance basse	un swing du signal réduit
Cascode Replié	Swing du signal raisonnable grande Gamme de l'entrée mode en commun	Une vitesse réduite pas de puissance efficace
à deux étages	Swing du signal Grand Adéquate pour les applications à faible voltage	Lent Consomme une grande puissance

Pour répondre aux spécifications de gain, des amplificateurs cascades de base sont soit en cascade comme dans un amplificateur opérationnel à deux étages ou à gain amélioré (boosté). La première approche implique une compensation Miller, qui nécessite beaucoup d'énergie gaspillée dans le maintien de la stabilité en plus de perdre la vitesse. Il a l'avantage de signal swing plus élevé que ce qui le rend populaire dans les structures de basse tension. La deuxième approche de gain boosté montré dans la Figure 2.17 est beaucoup plus efficace et devient le choix des concepteurs.

L'amplificateur à gain boosté peut être une structure imbriquée comme montré dans [56] avec la stabilité le seul critère limitant ce qui augmentait le gain énormément. La stabilité dans ce cas est beaucoup plus facile à traiter et peut-être maintenu de manière fiable avec peu d'effort de conception. Un traité détaillé sur des amplificateurs à gain amélioré est trouvée dans [57].

L'implémentation des MDAC régulièrement sont différentielle pour avoir un bon PSRR (power supply rejection ratio) et CMRR (common-mode rejection ratio). Cela nécessite une boucle de rétroaction en mode commun (CMFB) pour maintenir la tension de sortie en mode commun au niveau désiré. Parmi les nombreuses structures existantes, la mise en œuvre à capacité commuté Figure 2.17 est populairement utilisé dans les circuits MDAC. Les horloges CLK_1 et CLK_2 sont les mêmes que les horloges MDAC. L'un des deux principaux avantages de cette structure est sa nature passive, qui n'a pas besoin de puissance supplémentaire. L'autre avantage est sa capacité à gérer un signal à haut swing qui est un facteur limitant majeur dans d'autres structures. Ce dernier souvent préféré quand le swing du signal de l'OTA peut être limité par l'incapacité de la boucle CMFB à gérer un élevé [37].

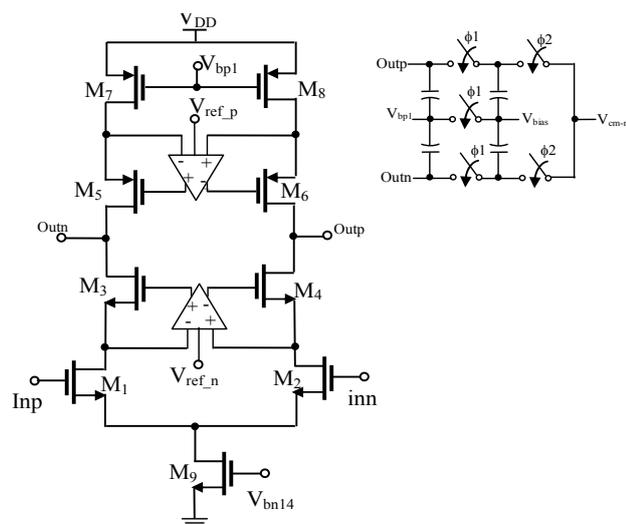


Figure 2.17 Amplificateur opérationnel télescopique à gain boosté avec la boucle CMFB

II.4.2.4. Les comparateurs

Conceptuellement, dans les convertisseurs A/N de type pipeline, les comparateurs peuvent avoir un offset assez important (centaine de mV) pour des étages MDAC 1,5 bit. Dans le cas d'étage MDAC multi-bits, l'utilisation de comparateurs de plus faible offset est indispensable afin de garantir le bon fonctionnement du CAN. Il existe différentes architectures de comparateurs [7].

Dans cette partie, nous détaillerons les principales architectures que nous avons pu utiliser au cours de ce travail: les comparateurs statiques et les comparateurs dynamiques.

Un comparateur est un composant qui pour une différence de tension donnée entre ses deux entrées va fournir une tension logique égale à « 1 » ou « 0 ». A sa fonction de transfert théorique d'un comparateur s'ajoute un offset statique ainsi qu'une vitesse de basculement finie comme le montre la Figure 2.18 [2].

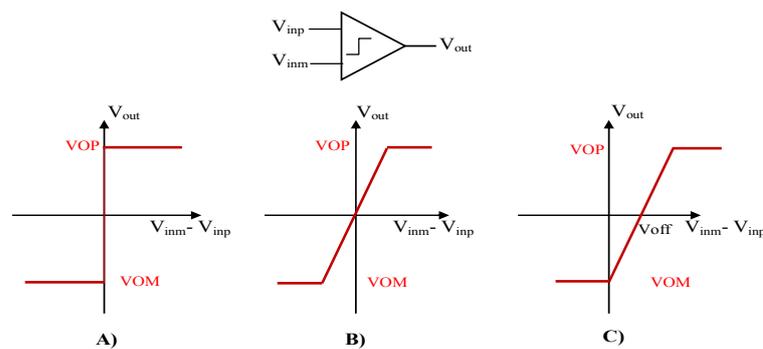


Figure 2.18 A) fonction de transfert d'un comparateur idéal, B) fonction de transfert d'un comparateur à gain fini, C) fonction de transfert d'un comparateur à gain fini présentant un offset statique

Les comparateurs statiques

Les comparateurs statiques présentent l'avantage d'un faible offset et d'un bruit de commutation ramené en entrée plus faible. La Figure 2.19 illustre un schéma électrique simplifié d'un comparateur statique [3].

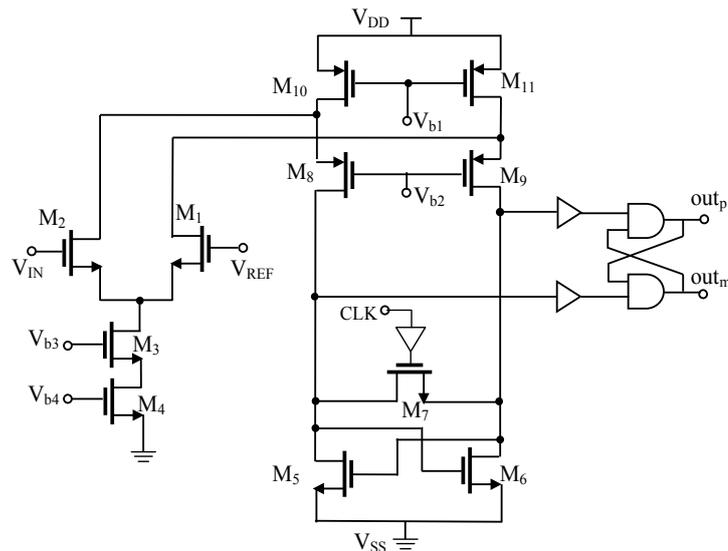


Figure 2.19 Comparateur statique

Il est constitué d'une paire différentielle d'entrée M_1 et M_2 avec une charge active M_{10} et M_{11} . Les transistors M_8 et M_9 constituent l'étage cascode replié faisant le lien entre la bascule de contre réaction positive (M_5 et M_6) et l'étage d'entrée. La bascule RS en sortie permet dans un premier temps la conversion en niveau logique CMOS ($0 - V_{DD}$) et ensuite le maintien de l'information pendant une période d'horloge (CLK). Le transistor M_7 permet de déterminer l'instant de comparaison [3]. Plus de détails sur le fonctionnement de ce comparateur sont donnés dans [58].

Les comparateurs dynamiques

Nous avons adopté un comparateur dynamique «Lewis-Gray" qui n'a pas de consommation d'énergie à courant continu, mais grand décalage. Ce circuit a des avantages, il a une consommation d'énergie zéro en courant continu et intègre un réglage de seuil linéaire comme le montre la Figure 2.20 [42].

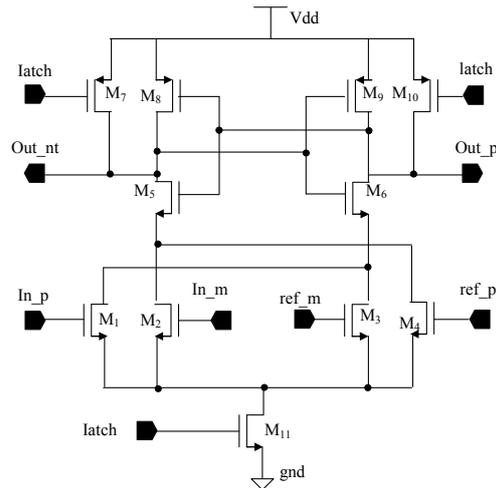


Figure 2.20 Schéma électrique simplifié du comparateur dynamique

Le schéma électrique simplifié d'un comparateur dynamique est illustré sur la Figure 2.20 [56]. Les transistors M_1 - M_4 forment les deux paires différentielles d'entrée. Pour des raisons de lisibilité, l'étage de sortie (bascule RS) n'est pas représenté. Le fonctionnement du comparateur est le suivant. Lorsque le signal « latch » est à l'état bas (0V), les transistors M_7 et M_{10} sont actifs. Les sorties « out_n » et « out_p » sont à l'état haut (V_{DD}). De plus, le transistor M_{11} est bloqué; le comparateur est dans sa phase de repos. Au front montant de « latch », M_{11} passe dans sa zone active et les transistors M_7 et M_{10} sont bloqués. Un déséquilibre est présent au niveau de la bascule composée par les transistors M_5 - M_8 d'une part et M_6 - M_9 d'autre part. Ceci entraîne le basculement de l'une des deux sorties en fonction de l'état du signal d'entrée (in_p et in_m) par rapport aux seuils de référence (ref_m et ref_p).

II.4.2.5. Circuit Echantillonneur-Bloqueur

La plupart des CAN pipeline ont besoin d'un Echantillonneur-Bloqueur (E/B) pour acquérir un signal d'entrée à haute fréquence. Sans lui, un CAN pipeline aura une erreur causée par décalage de l'horloge entre le réseau d'échantillonnage de MDAC en premier étage et les comparateurs dans le sous-CAN du premier étage [40]. Parce que l'E/B est placé au front dans un CAN pipeline, sa conception est cruciale pour la performance globale d'un CAN. Par conséquent, l'exigence de la conception d'un E/B doit être au moins égale ou être encore plus rigoureuse que l'exigence de la conception globale d'un CAN.

Principe de fonctionnement d'un circuit E/B

Réaliser un échantillonneur-bloqueur consiste à associer un interrupteur à une capacité. La figure 2.21 illustre la configuration la plus élémentaire d'un échantillonneur-bloqueur. La

capacité (C_h) joue le rôle de mémoire analogique, l'interrupteur sert à rafraîchir la valeur de la tension mémorisée sur cette capacité ou bien à l'isoler de l'entrée, selon la phase (échantillonnage ou blocage) [16].

Dans un cas idéal, lorsque l'interrupteur est fermé, la tension aux bornes de la capacité (la sortie de l'E/B dans le cas élémentaire de la Figure 2.21) suit les variations de l'entrée. Cette phase est dite d'échantillonnage (Sample, S). Et lorsque l'interrupteur est ouvert, la sortie, étant isolée de l'entrée, reste constante et égale à la dernière valeur transmise du signal d'entrée. Cette phase correspond à celle de blocage (Hold, H). La Figure 2.22 montre la tension aux bornes de la capacité durant les deux phases de fonctionnement de l'E/B.

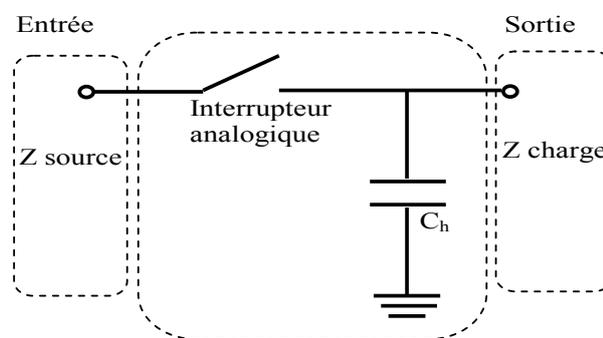


Figure 2.21 Schéma de principe d'un échantillonneur –bloqueur élémentaire

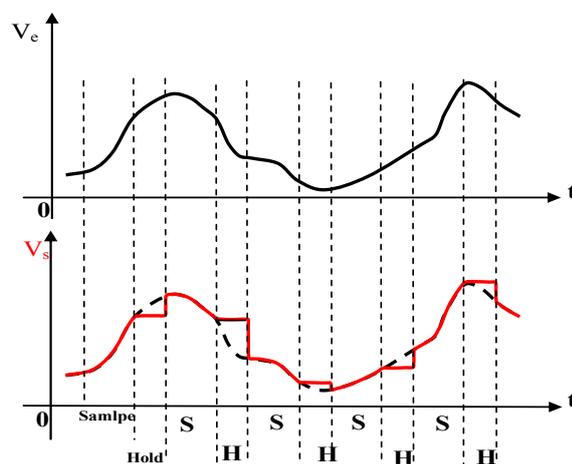


Figure 2.22 Allure du signal de sortie durant les phases d'échantillonnage et de blocage.

De manière générale, deux architectures d'E/B CMOS sont largement utilisés. L'un est appelé E/B à redistribution de charge et l'autre est appelé E/B flip-around [59]. Le schéma de ces deux peut être vu dans la Figure 2.23.

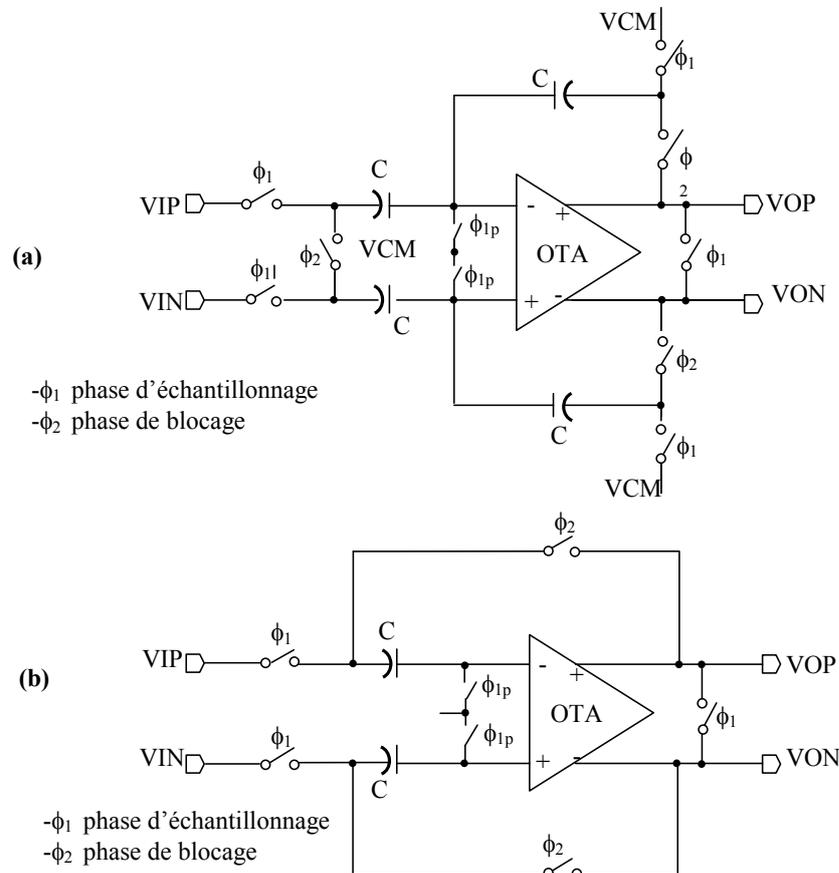


Figure 2.23 Architecture de l'échantillonneur bloqueur, (a) E/B à distribution de charge, (b) E/B flip-around

Dans la phase d'échantillonnage de l'E/B à redistribution de charge, les deux condensateurs d'entrée sont chargés. Dans la phase de maintien, les plaques de bas de ces deux capacités d'entrée sont connectées ensemble. Ainsi seulement la charge différentielle est transférée aux condensateurs de rétroaction. Ainsi, on peut gérer la très grande variation de l'entrée en mode commun [60].

En ce qui concerne l'E/B flip-around, il a seulement deux condensateurs. Dans la phase d'échantillonnage, ces deux condensateurs sont chargés de la même manière que l'E/B à redistribution de charge. Dans la phase de maintien, ces deux condensateurs sont retournés par la connexion de leurs plaques du bas à la sortie de l'amplificateur. A ce temps, la charge en mode commun et en mode différentiel est transférée [60].

Bien que le circuit de rétroaction en mode commun force la sortie en mode commun à une valeur nominale, le mode commun pour l'entrée de l'amplificateur changera si le niveau

du signal d'entrée en mode commun est différent de la sortie. En conséquence, l'amplificateur doit gérer une grande variation d'entrée en mode commun. Cependant, l'E/B flip-around est plus populaire dans la conception des CAN à une vitesse élevée à cause de sa faible consommation d'énergie, faible bruit et petite dimension [61].

II.4.2.6. L'étage « MDAC »

Dans le CAN pipeline, en plus du premier étage qui est l'échantillonneur-bloqueur, les autres étages qui suivent comprennent l'E/B, le sous-CAN, le sous-CNA, le soustracteur, et l'amplificateur. Parmi ces cinq sous-circuits, l'E/B, le soustracteur, l'amplificateur et le 1,5-bit sous-CNA peuvent être mise en œuvre par un circuit à capacités commutées, qui est communément appelé MDAC. Un étage pipeline est représenté sur la Figure 2.4. comprend un CAN flash de faible résolution et un circuit à triple-fonction, qui permet d'échantillonner le signal d'entrée, de générer le résidu en effectuant la différence entre l'entrée et une référence et d'amplifier ce résidu par un gain de 2^{Bi} .

Le circuit MDAC est le constituant clé et le bloc le plus critique dans un étage pipeline. Il réalise la conversion numérique-analogique de la sortie du sous-CAN, la soustraction du signal de sortie du CNA de l'entrée analogique échantillonnée et effectue la multiplication de cette différence. Le résultat de la multiplication, appelé résidu, est maintenu en sortie du MDAC jusqu'à la fin de la phase d'échantillonnage de l'étage suivant [16].

Il existe différentes façons pour implémenter le circuit du MDAC en capacités commutées. Toutes les configurations possibles reposent sur l'articulation des capacités autour d'un amplificateur opérationnel par l'intermédiaire de commutateurs analogiques CMOS que l'on nommera switches dans tout le reste de ce manuscrit. Ces derniers -switchs- sont commandés par deux phases principales de l'horloge: phase d'échantillonnage (Φ_s) et phase de maintien (Φ_f) [16].

Le circuit MDAC est essentiellement un intégrateur à capacité commutée formé autour d'un OTA différentiel, comme indiqué dans la Figure 4.24 montrant une analyse en mode simple sortie. Ce circuit fonctionne à deux phases, une phase d'échantillonnage et une phase de maintien. Au cours de la phase d'échantillonnage représentée sur la Figure 4.25 (a), le signal d'entrée est échantillonné à la fois sur C_s et C_f . Pendant la phase de maintien représentée sur la Figure 4.25 (b) les condensateurs sont ensuite commutés à l'un des trois tensions, $+V_{ref}$, $-V_{ref}$ et GND [60].

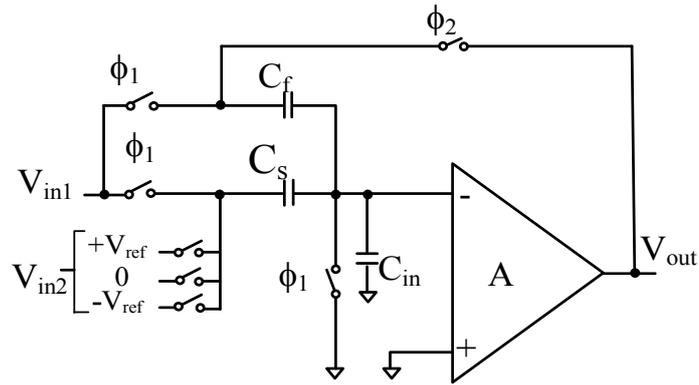


Figure 2.24 un circuit MDAC en mode d'une seule sortie

Mode d'échantillonnage

Mode d'amplification

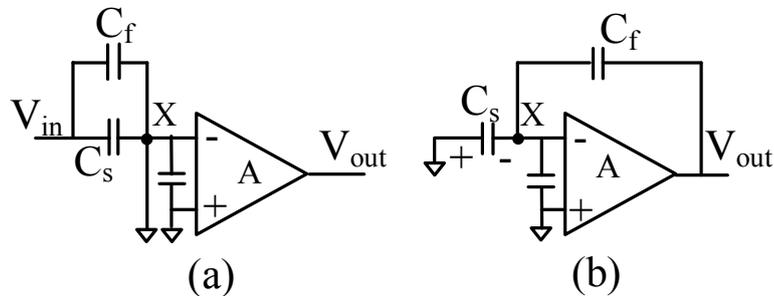


Figure 2.25 Configuration du circuit MDAC dans les deux phases: (a) phase d'échantillonnage, (b) phase d'amplification

Basé sur l'idée de redistribution de charge, la fonction de transfert statique de l'étage peut être dérivée comme suit:

$$V_{out} = \left[V_{in1} - V_{in2} \left(\frac{C_s + C_{in}}{C_s + C_f} \right) \right] \left(1 + \frac{C_s}{C_f} \right) \quad (2.19)$$

Le circuit de MDAC est illustré sur la Figure 2.26 et son diagramme de synchronisation (timing) sont représentés dans la Figure 2.27. L'opération du circuit MDAC et le timing sont les mêmes que le circuit E/B. Mais dans la phase d'échantillonnage, Les deux capacités C_s et C_f échantillonnent le signal d'entrée. Pendant la phase de maintien, l'ampli-op est connecté en contre-réaction et les charges stockées dans C_s sont tous transférés à C_f en fonction de la multiplication de 2 [42].

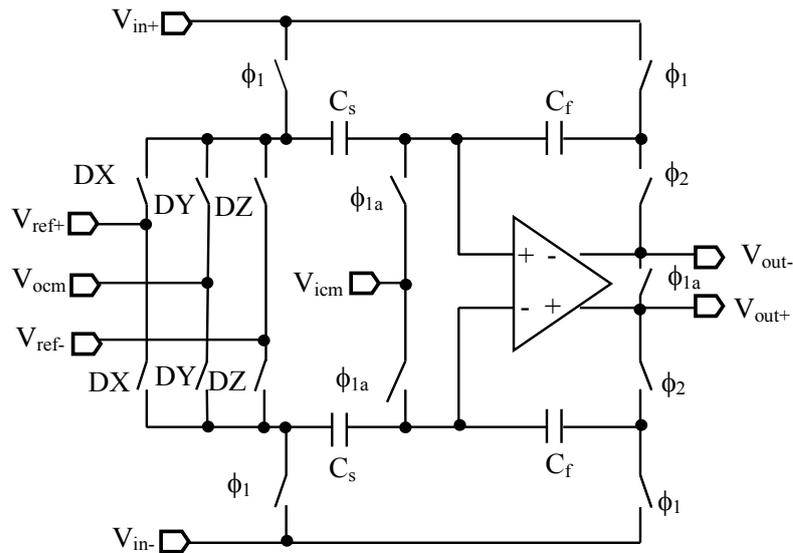


Figure 2.26 Le circuit MDAC

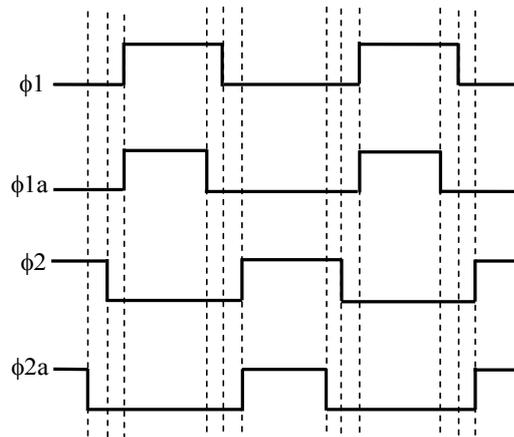


Figure 2.27 Digramme de timing de MDAC

A) Le sous -Convertisseur Analogique-Numérique (sous-CAN)

Chaque étage du convertisseur pipeline comporte un sous-CAN rapide de faible résolution. Les opérations d'échantillonnage et de conversion à faible résolution du signal s'effectuent en parallèle et simultanément dans un étage pipeline. Comme le codage s'effectue à la fin de la phase d'échantillonnage de chaque étage, le sous-CAN doit fournir sa sortie r au CNA au plus vite possible. Pour favoriser le temps d'établissement, la référence (sortie du CNA) doit être disponible tout à fait au début de la phase du maintien (Hold). Pour réaliser cette performance, le sous-CAN doit être très rapide, c'est pourquoi, des CANs Flash sont l'unique type de convertisseurs utilisés à cette fin.

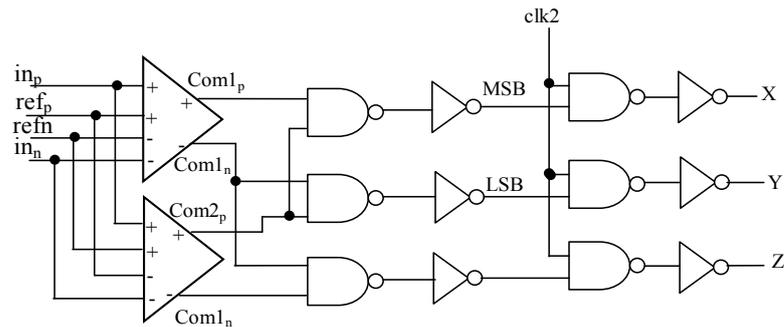


Figure 2.28 Le sous-CAN à 1.5bit par étage.

L'architecture d'un CAN flash a déjà été décrite dans le chapitre 1. Elle comporte des comparateurs de tension mis en parallèle et un encodeur qui sert à convertir en binaire le code thermomètre qui est constitué par les sorties logiques des comparateurs.

La Figure 2.28 présente le sous-CAN de 1,5 bit par étage. Il se compose de deux comparateurs différentiels avec deux tensions de seuil: $V_{ref} = \pm 1/4$ et certain circuit logique pour contrôler le MDAC. Les deux comparateurs ont généré un jeu de trois codes thermomètre et ensuite le circuit décodeur les convertis en codes binaires [42]. Lorsque la valeur d'entrée est comprise entre $-1V$ et $-0,25V$, le MSB (Most Significant Bit) et LSB sont décodées 0 et 0 ce qui force la sortie Z à devenir niveau haut. Quand la valeur d'entrée est entre $-0,25V$ et $0,25V$, le MSB et LSB sont décodées 0 et 1 ce qui force Y a devenu niveau haut. Lorsque la valeur d'entrée est comprise entre $0,25V$ et $1V$, le MSB et LSB sont décodées 1 et 0, ce qui force X basculer vers le niveau haut.

B) Le circuit décodeur à l'intérieur du sous-CAN

L'étage CNA agit comme un multiplexeur ou décodeur qui sélectionne si d'ajouter ou de soustraire V_{ref} du signal d'entrée ou de ne prendre aucune mesure.

Du schéma 2.28, nous savons que les sorties différentielles des deux comparateurs, c'est-à-dire $com1_p$, $com1_n$, $com2_p$, $com2_n$, passent une porte logique ET. Puis X, Y, Z peut être obtenu. La raison détaillée pour laquelle nous employons une telle architecture de logique est représenté dans le tableau 2.3 [60].

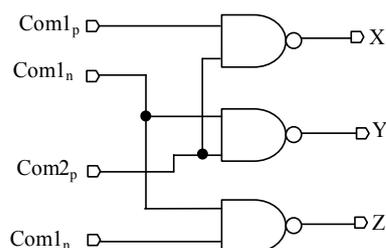


Figure 2.29 Le circuit décodeur à l'intérieur du sous-CAN

Tableau 2.3 Table de vérité du circuit décodeur de la Figure 2.27

V_{in}	Com1_p	Com1_n	Com2_p	Com2_n	X	Y	Z
$V_{ref}/4 < V_{in}$	1	0	1	0	1	0	0
$-V_{ref}/4 < V_{in} < V_{ref}/4$	0	1	1	0	0	0	1
$V_{in} < -V_{ref}/4$	0	1	0	1	0	1	0

C) CAN flash à 2-bit

Le dernier étage est un vrai CAN flash à 2-bit comme le montre la Figure 2.30. Il compare le signal d'entrée avec trois niveaux de décision et produit l'une des quatre sorties numériques 00, 01, 10 ou 11. Les seuils du CAN flash à 2-bit sont $+1/2V_{ref}$, 0 et $-1/2V_{ref}$. Les trois comparateurs génèrent un jeu de quatre codes thermométriques et puis un circuit décodeur les convertit en codes binaires [42].

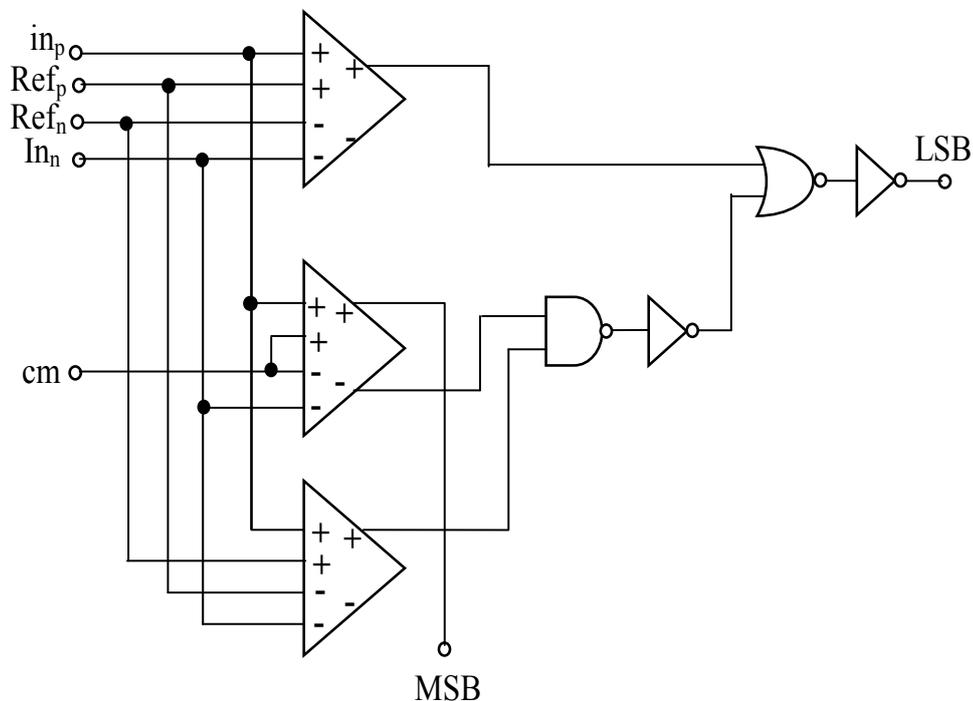


Figure 2.30 Configuration du circuit de sous -CAN dans le dernier étage

II.4.2.7. Techniques de correction logique

Afin d'alléger les contraintes sur les comparateurs de l'étage pipeline, un algorithme de correction numérique des bits, appelé aussi « Redundant Sign Digit » (RSD), est utilisé. C'est cette technique qui diffère les CAN pipeline des autres CAN à multiples étages [16].

L'algorithme de RSD utilise le bit du poids faible de chaque étage comme bit de redondance. Le code correct de sortie du CAN est obtenu en opérant la somme arithmétique du bit du poids faible de l'étage k avec le bit du poids fort de l'étage qui le suit (étage $k+1$) comme illustré sur le tableau 2.4 [16].

Tableau 2.4: algorithme de reconstruction de la sortie numérique du CAN à 5 bits

Sortie numérique étage 1	b1	b0			
Sortie numérique étage 2 +		b1	b0		
Sortie numérique étage 3 +			b1	b0	
Sortie numérique étage 4				b1	b0
Sortie numérique du CAN =	D4	D3	D2	D1	D0

Une somme binaire simple ne peut être utilisée car, il y a des cas nécessitant la propagation d'une retenue du dernier étage jusqu'au premier étage. A cet effet, la logique de correction est réalisée avec des additionneurs (Full-Adder) qui permettent à la retenue de se propager dans le sens contraire de la propagation du signal analogique dans la chaîne pipeline. L'additionneur (Full-Adder) utilisé est un additionneur complet à 1-bit qui peut être vu dans la Figure 2.31.

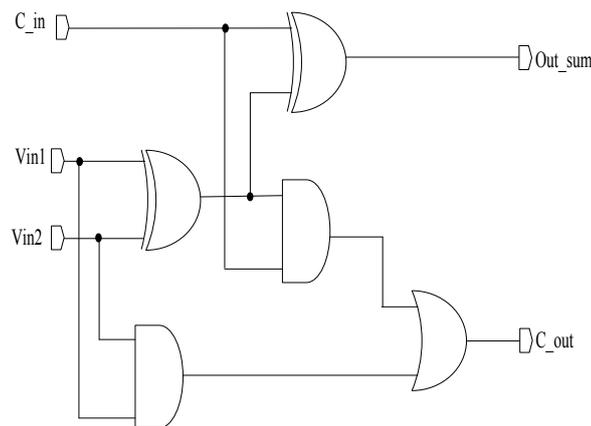


Figure 2.31 Circuit de l'additionneur complet à 1bit

Où est C_in valeur d'entrée de compteur, C_out est la sortie du compteur et out_sum est la sortie numérique. On peut voir le tableau de vérité de l'additionneur dans le tableau 2.5.

Tableau 2.5 La table de vérité de l'additionneur complet

Vin2	Vin1	C_in	Out_sum	C_out
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

A) Les cellules de synchronisation

Dans l'architecture de CAN pipeline, il y a plusieurs N-bits similaires par étage. Chacun d'eux est contrôlé par deux phases-échantillonnage et blocage. Dans ce cas, cependant, la sortie numérique de chaque étage n'est pas générée en même temps. Le temps de décalage (retard) est existée pour ces sorties numériques. Afin d'obtenir toutes les sorties numériques en même temps, nous avons besoin d'utiliser des registres (bascule D) pour conserver les données jusqu'à ce que la sortie numérique du dernier étage est générée. Puis toutes les sorties peuvent être traitées par la correction numérique en même temps. La structure de ce type de circuit de retard (type flip-flop D) peut être vue dans la Figure 2.32 [51].

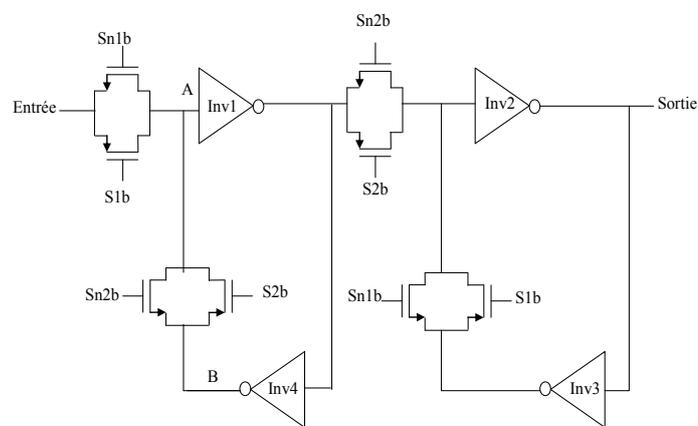


Figure 2.32 La bascule D type flip- flop

B) La correction numérique de l'erreur

La correction numérique de l'erreur est fait en ajoutant le code de sortie de $(N+1)^{\text{ième}}$ étage envoyé par les cellules de synchronisation et le codes N étages de sortie envoyés par cellules de synchronisation avec un chevauchement de 1 bit du LSB, la correction d'erreurs numériques est effectuée par des additionneurs en cascade. Le circuit de correction de l'erreur numérique est montré dans la Figure 2.33.

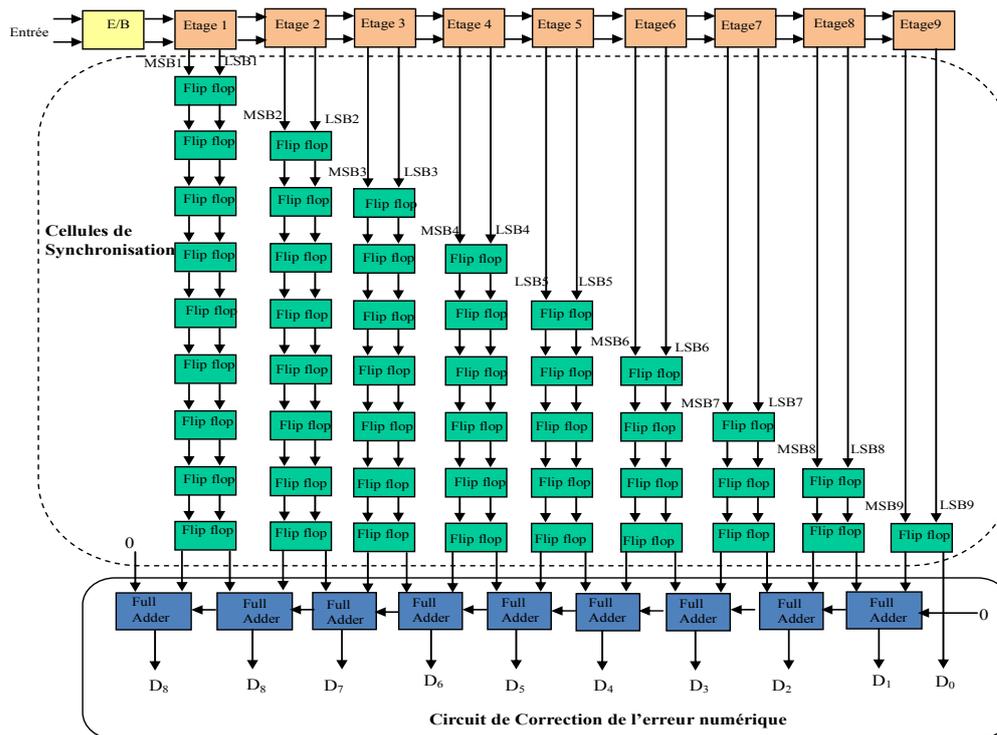


Figure 2.33 Circuit de correction de l'erreur numérique et de synchronisation

II.5. CONCLUSION

La méthodologie de conception top-down a été adoptée pour la conception d'un pipeline à 10 bits. Le processus de conception était divisé en plusieurs étapes. Le premier d'entre eux est la spécification, la deuxième étape, est consacrée au principe de fonctionnement du CAN pipeline pour mieux comprendre les caractéristiques de ce type de circuit. Enfin, la conception électrique au niveau des blocs de construction de base comme l'E/B, MDAC, le sous-CNA, le sous-CAN, et les blocs auxiliaires comme les amplificateurs opérationnels, les commutateurs, les comparateurs, les cellules de synchronisation et le circuit correction d'erreur logique comme était décrit, nous permettra d'implémenter le circuit complet du CAN pipeline. Les convertisseurs pipeline présentent une complexité matérielle (dans la partie analogique), En effet, le nombre de composants pour réaliser un convertisseur pipeline est bien plus important. Les amplificateurs présents doivent apporter un gain important et une grande précision est requise sur tous les composants. Chaque étage de quantification introduit une erreur dans le résidu qui provient des offsets des échantillonneurs bloqueurs, des erreurs de gain des amplificateurs, des non-linéarités des convertisseurs A/N et N/A et du temps d'établissement fini des amplificateurs. De ce fait, sa conception est très contraignante. De plus il faut procéder à une correction numérique de l'erreur.

Chapitre 3

Modélisation du convertisseur analogique numérique pipeline

III.1. INTRODUCTION

La méthode de conception développée étant définie, comme elle est basée sur la modélisation et la simulation comportementale, il faut préalablement modéliser le système à concevoir. Nous allons dans ce qui suit présenter la démarche adoptée pour modéliser un système. La modélisation a pour but de représenter par une fonction mathématique ou un modèle numérique le fonctionnement des différents composants qui constituent le circuit. C'est la partie la plus délicate du processus de conception, puisque des modèles simplifiés diminuent la précision, tandis que des modèles précis consomment beaucoup de temps de calcul.

Les blocs de construction de base d'une architecture pipeline sont soumis à plusieurs non-idéalités qui dégradent considérablement les performances du convertisseur. Ainsi, le développement de modèles qui tiennent compte de toutes ces non-idéalités est essentiel pour l'évaluation correcte de la performance de CAN pipeline. Ces modèles doivent satisfaire à deux exigences fondamentales: la fiabilité et l'efficacité. Des groupes de recherche travaillant dans le domaine de la modélisation comportementale des CAN pipeline [62, 63] ont utilisé différents langages de haut niveau et des approches alternatives comme Matlab Simulink [13, 64-68], VHDL-AMS [69, 70] et SPICE [71]. Des modèles comportementaux guidés par les événements ont été précédemment utilisés pour soutenir la conception du CAN pipeline [13, 64-66]. Cependant, ces modèles précédents ont quelques inconvénients, car ils prennent en compte seulement quelques sources d'erreurs. Dans ce travail, l'objectif de la modélisation est l'analyse de la plus part des non-idéalités et des sources de bruit dans les blocs de construction de base du CAN pipeline pour l'optimisation des paramètres de précision et de linéarité du convertisseur afin de prédire les performances statiques et dynamiques. Un modèle comportemental complet du CAN pipeline, y compris de nombreuses non-idéalités est construit par l'outil Simulink. Ce modèle peut être utilisé pour réduire considérablement le

temps de conception. En outre, nous pouvons utiliser ce modèle pour optimiser la consommation d'énergie d'un CAN pipeline à niveau du comportemental.

Dans une première partie, nous expliquons la méthodologie modulaire de la modélisation du convertisseur A/N pipeline ainsi que la validation des différents sous blocs. Dans la deuxième partie, nous détaillons les différents éléments de notre modélisation. Et enfin, la troisième partie est consacrée à l'exploitation des données de simulations de notre modèle. Les modèles sont d'abord réalisés dans le cas du composant idéal. Ensuite, les influences de chaque paramètre sur le comportement du circuit sont introduites progressivement.

III.2. MODELE COMPORTEMENTAL DU CAN PIPELINE

Dans cette section, les non-linéarités principales et leurs effets sur le CAN pipeline sont introduites. Les sources d'erreurs non-idéales sont d'abord présentées. En outre, nous employons l'outil Simulink pour construire le modèle comportemental incluant toutes les principales sources d'erreurs non-idéales dans un CAN pipeline.

Le CAN pipeline est construit en utilisant les circuits à capacité commutée (SC), qui exploitent les capacités de stockage de la charge de CMOS pour réaliser le traitement du signal de précision et qui est préféré dans le signal mixte et les interfaces A/N. Le schéma conceptuel d'un CAN pipeline générique est montré dans la Figure 3.1 (a), le CAN pipeline constitué d'une cascade de k étages arbitraires et d'un circuit échantillonneur-bloqueur (E/B) à l'entrée [12]. Chaque étage résout un mot de code partiels de longueur n_i , $i = 1, \dots, K$, qui sont toutes réordonnés et combinés au bloc de correction numérique pour obtenir la sortie du convertisseur. La structure interne d'un étage pipeline comprend quatre blocs, comme illustré dans Figure 1.b: un sous-CAN flash avec les codes de sortie $N_i \leq 2^{n_i}$, un sous-CNA avec des niveaux de sortie N_i , un soustracteur, et un E/B amplificateur de résidu avec un gain G_i . Les trois derniers blocs sont mis en œuvre dans la pratique par un sous-circuit unique qui est souvent désigné comme convertisseur numérique-analogique Multipliant (MDAC). On combine les blocs du sous-CAN et le MDAC ensemble pour obtenir un seul étage pipeline [72].

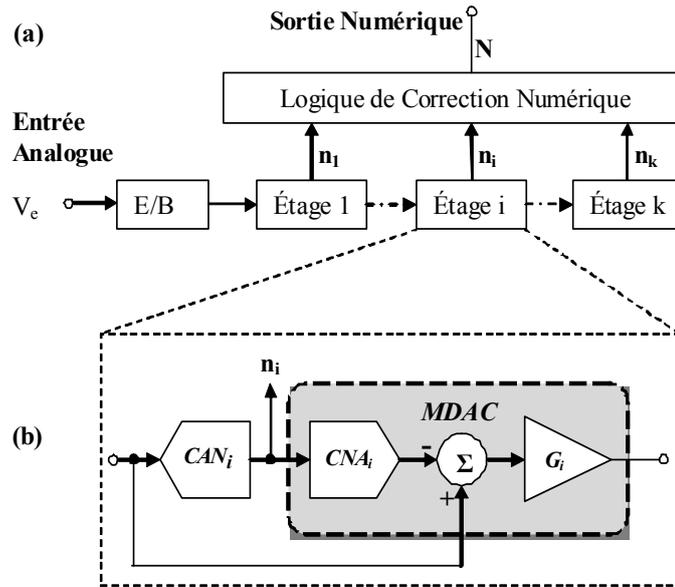


Figure 3.1. Schéma de bloc du CAN pipeline ; (a) Schéma de bloc conceptuel, (b) structure d'un étage

III.2.1. Modèle comportemental idéal du CAN Pipeline

Tout d'abord, nous utilisons l'outil Simulink de Matlab pour construire le modèle comportemental idéal d'un CAN pipeline à 10 bits avec l'architecture 1.5-bit/stage sans inclure aucune source d'erreurs. Nous utilisons les caractéristiques mathématiques de chaque bloc pour décrire le comportement de l'ensemble du CAN pipeline.

III.2.1.1. Le circuit échantillonneur bloqueur

Le circuit échantillonneur bloqueur flip-around est représenté dans la Figure 3.2. Dans cette configuration, un seul condensateur est utilisé à la fois comme condensateur d'échantillonnage et condensateur de rétroaction. La configuration de l'échantillonneur bloqueur est montrée dans la Figure 3.2 (a). Premièrement le condensateur d'échantillonnage (C_s) enregistre le signal d'entrée échantillonné, puis le transfère de la charge du signal se fait à travers le même condensateur (C_s) qui joue cette fois le rôle d'un condensateur de rétroaction, cette configuration peut atteindre une grande vitesse parce que le facteur de rétroaction (le rapport du condensateur de rétroaction à la capacité totale au niveau du nœud de sommation) peut être beaucoup plus proche de un. Cette configuration est généralement utilisée dans le circuit (E/B) initial d'entrée [73]. La tension de sortie de l'E/B est donnée par [30]:

$$V_{out} = 1.V_{in} \quad (3.1)$$

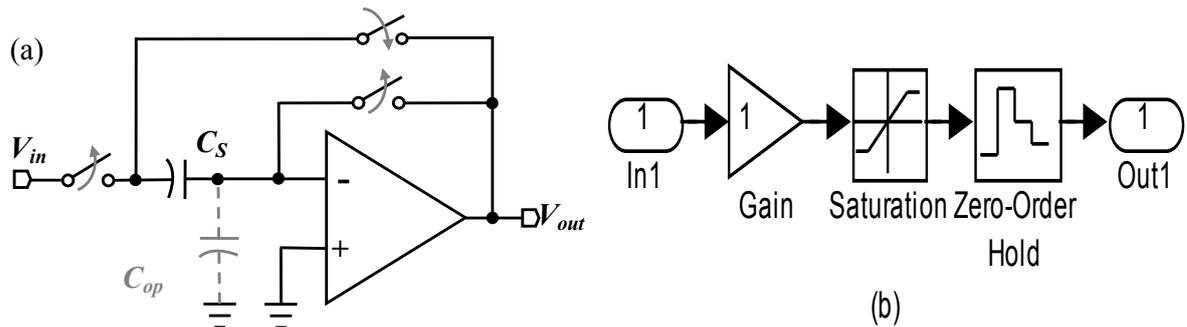


Figure 3.2. Le circuit de l'E/B, (a) schéma-bloc de l'E/B flip-around, (b) modèle comportemental.

Le modèle comportemental de l'E/B est montré dans la Figure 3.2 (b). La fonction de saturation peut limiter la plage du signal. La fonction de l'unité de retard peut retarder et maintenir le signal d'entrée par un intervalle d'échantillonnage [74]. Enfin, le signal idéal de sortie de l'échantillonneur-bloqueur est représenté sur la Figure 3.3.

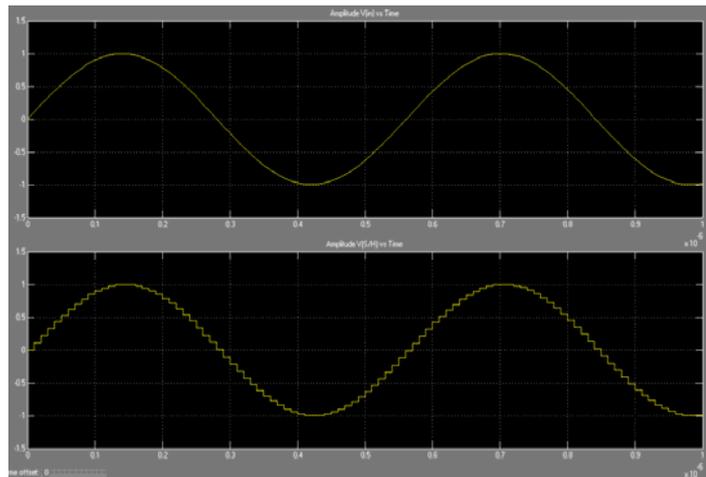


Figure 3.3. le signal de sortie idéal de l'échantillonneur-bloqueur d'une entrée sinusoïdal.

III.2.1.2. Le circuit convertisseur numérique analogique multiplicateur

Le MDAC est un simple circuit à capacités commutées qui peut également implémenter la fonction de l'E/B, la conversion N/A, la soustraction et l'amplification du reste. Le circuit MDAC dans l'architecture 1.5-bit/stage est très simple, comme indiqué dans la Figure 3.4.

Avec la notion de conservation de charge, la sortie en phase de blocage est donnée par :

$$V_{out} = \left(\frac{C_f + C_s}{C_f} \right) \cdot V_{in} - \left(\frac{C_s}{C_f} \right) V_{DAC} \quad (3.2)$$

où C_s est le condensateur d'échantillonnage, C_f est le condensateur de rétroaction, et V_{DAC} est la tension de sortie du circuit CNA dans le circuit MDAC.

En raison du fait que les condensateurs d'échantillonnage et la rétroaction sont à la fois

utilisés pour échantillonner le signal d'entrée, C_s et C_f , peut être choisi la même valeur pour atteindre l'objectif que le gain en boucle fermée est de 2. En conséquence, le facteur de rétroaction de cette configuration peut être maximisé pour se rapprocher de 1/2. Par conséquent, cette configuration a le potentiel d'une vitesse élevée. Le modèle comportemental idéal de cette configuration est illustré dans la Figure 3.5 [75].

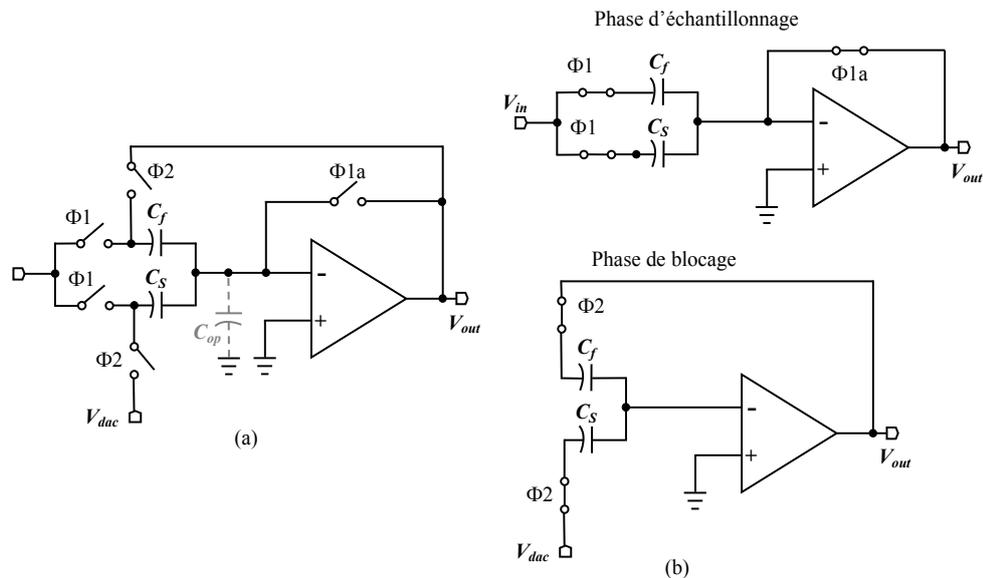


Figure 3.4. Le circuit MDAC, (a) schéma-bloc du circuit MDAC, (b) mode de fonctionnement dans les deux phases d'horloge.

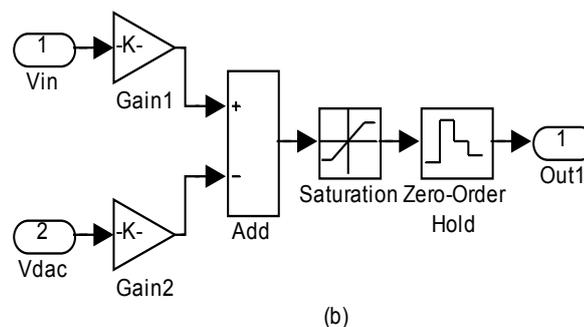


Figure 3.5. Le modèle comportemental idéal du circuit MDAC

III.2.1.3. Sous-CAN et CNA à 1.5-bit

Le sous-CAN à 1,5-bit est composé de deux comparateurs dont la tension de seuil $\pm V_{ref}/4$. Ce modèle inclut l'offset de chaque comparateur [30]. La tension de sortie du CAN est générée en tant que signal de V_{DAC} pour le circuit MDAC. La Figure 3.6 (a) montre l'architecture du circuit sous-CAN et CNA à 1.5-bit, et la Figure 3.6 (b) illustre le modèle comportemental du sous-CAN et CNA [74].

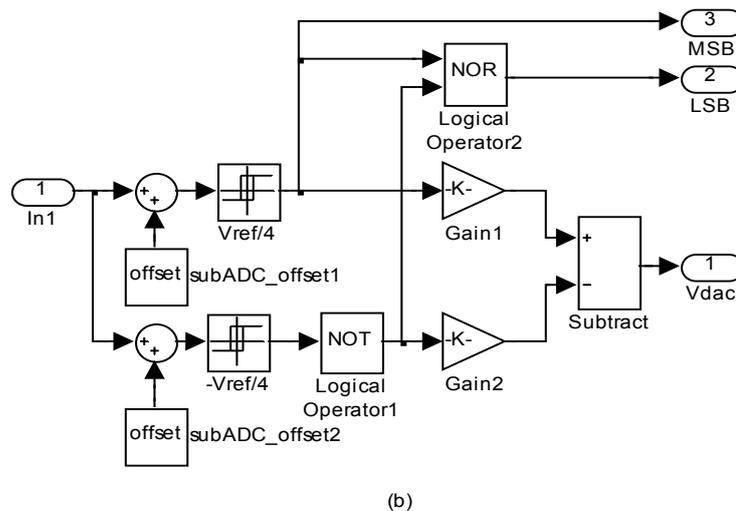
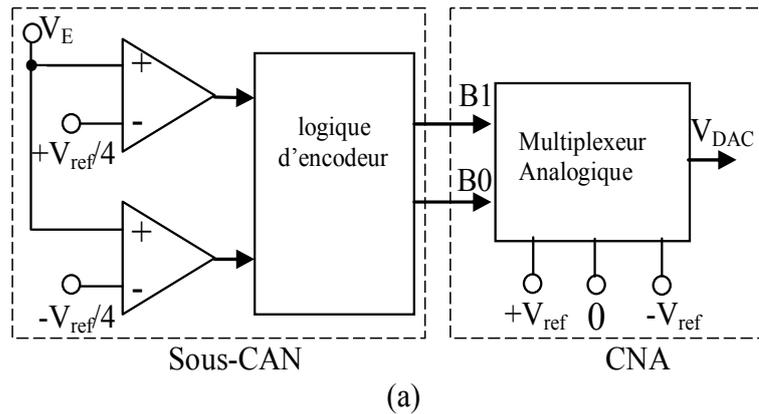


Figure 3.6. L'architecture du sous-CAN et CNA, (a) le circuit sous-CAN et CNA à 1.5bit, (b) le modèle comportemental de la sous-CAN et CNA.

III.2.1.4. Un étage pipeline

On combine les blocs du sous-CAN 1,5-bits et le MDAC ensemble pour implémenter un étage pipeline. Le modèle comportemental d'un étage pipeline est présenté dans la Figure 3.7.

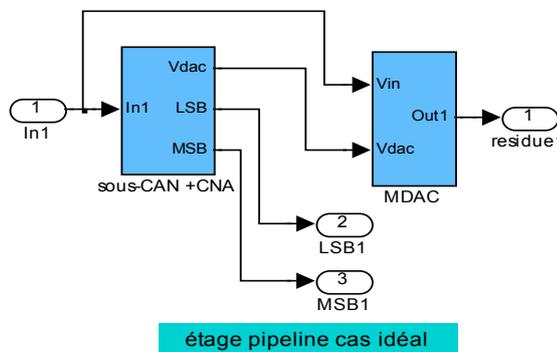


Figure 3.7. Le model comportemental d'un étage pipeline.

III.2.1.5. Dernier étage

Afin d'obtenir les codes complets, un CAN flash à 2-bits est utilisé dans le dernier étage au lieu d'un CAN flash à 1,5 bits. Son modèle comportemental est présenté dans la Figure 3.8.

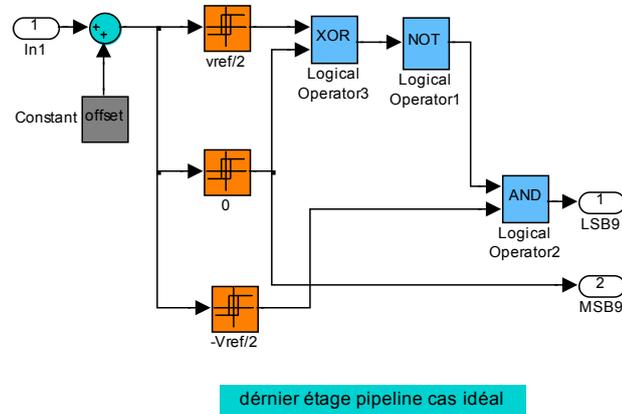


Figure 3.8. Le model comportemental du dernier étage pipeline.

III.2.1.6. Correction d'erreur numérique et les éléments de retard

La technique de correction d'erreur numérique (DEC) est largement utilisée pour corriger les erreurs de décalage dans le CAN pipeline/cyclique [56, 76]. Le circuit numérique dans le convertisseur pipeline réalise la fonction de correction d'erreur numérique combinant les résultats binaires de chaque étage en un nombre binaire final à N bits. Il contient une logique de retard et une logique de correction.

Dans la Figure 3.9, la partie supérieure de la figure comporte la logique de retard, elle est composée des éléments de retard servant à modéliser la fonction de synchronisation du circuit numérique. La sortie de chaque étage reçoit un bloc de retard où le premier étage a plus de retard alors que le dernier a moins de retard. La partie inférieure comporte la logique de correction d'erreur numérique constituée principalement par des additionneurs complets pour composer les additionneurs de retenue propagée. Dans le CAN pipeline à 10 bits; 18 bits (2 à partir de chacun des 9 étages) sont générés et avec une technique de correction numérique, 10 bits effectifs obtenus à la sortie [74] comme illustré sur la Figure 3.9.

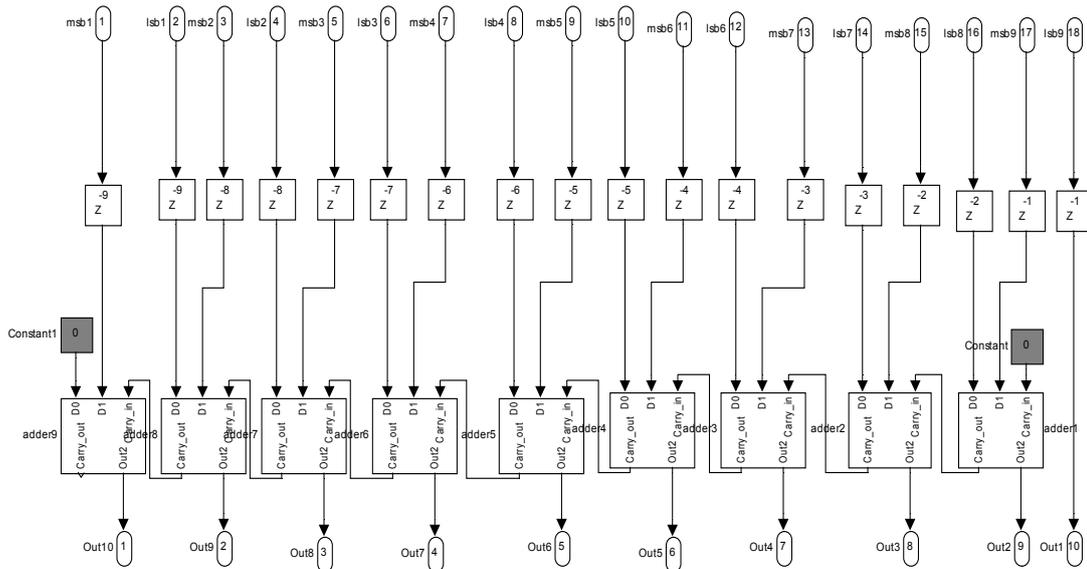


Figure 3.9. Modèle comportemental de la correction de l'erreur numérique et les éléments de retard.

III.2.1.7. Modèle comportemental idéal complet du CAN pipeline

Le modèle comportemental idéal complet d'un CAN pipeline à 10 bits est illustré sur la Figure 3.10. Ce modèle se compose d'un E/B frontal, 8 étages en pipeline, un dernier étage à 2-bit, et la logique de correction de l'erreur numérique. Le signal d'entrée peut être sélectionné mutuellement à travers un seul commutateur. Le signal sinusoïdal est nécessaire à l'analyse FFT (Fast Fourier Transform), et le signal de rampe est utilisé pour analyser du INL et DNL. Ce modèle est facile à être étendu à un modèle pour tous les CAN pipeline de résolution.

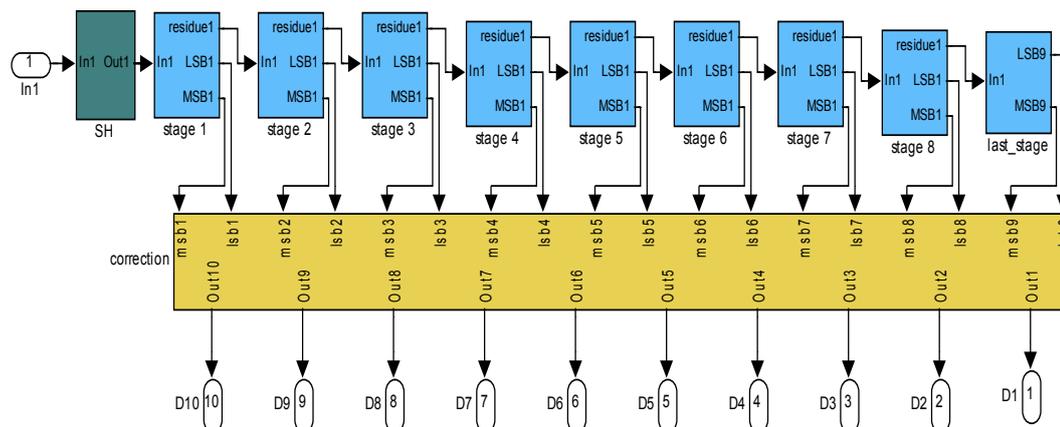


Figure 3.10. Le modèle comportemental idéal d'un CAN pipeline à 10 bits

Jusqu'à présent, le modèle idéal est entièrement construit. Cependant, dans la conception des circuits pratiques, il y a beaucoup de non-idéalités qui détruiraient la performance des CAN pipeline. Dans la section suivante, les non-idéalités principales seront introduites et inclus dans le modèle comportemental du CAN pipeline.

III.2.2. Modèle comportemental non-idéal du CAN pipeline

Les blocs de construction de base d'une architecture pipeline sont soumis à plusieurs non-idéalités qui dégradent considérablement les performances du convertisseur. Par conséquent, le développement des modèles qui tiennent compte de toutes ces non-idéalités est essentiel pour l'évaluation correcte de la performance du CAN pipeline. Ces modèles doivent satisfaire à deux exigences fondamentales: la fiabilité et l'efficacité. Le premier permettra de déterminer la vraisemblance entre la performance réelle du CAN et la prédiction des modèles, tandis que le second permettra de déterminer le temps nécessaire à l'évaluation de cette performance. Il est évident que les modèles précis et rapides sont souhaitables. Cependant, il y a un compromis fort entre ces deux exigences, c'est-à-dire plus les modèles sont précis, plus ils seront complexes, et par conséquent, plus de temps CPU nécessaire pour évaluer les performances du convertisseur [21]. Pour remédier à ce compromis, la technique dite la modélisation comportementale été utilisée avec succès dans ces dernières années [13, 64-66].

III.2.2.1. Les non-idéalités du CAN pipeline

L'architecture de CAN pipeline est plus appropriée que de l'architecture flash et double rampe pour les applications à haute résolution et à haute vitesse, en raison des avantages, y compris une petite taille, une vitesse plus élevée, et une faible dissipation de puissance, cependant, l'architecture pipeline est sensible aux imperfections dans les circuits. Quelques erreurs dans le CAN pipeline, y compris les décalages des amplificateurs opérationnels et les sous-CAN peuvent être facilement annulées par quelques techniques simples comme la technique de correction d'erreur numérique. Cependant, encore beaucoup d'imperfections pourraient dégrader les performances du CAN pipeline. Ces erreurs doivent être supprimées en dessous du niveau acceptable selon la précision requise de chaque étage pipeline. Nous pouvons tirer les spécifications des composants clés, y compris l'ampli-op, la valeur du condensateur, la taille de commutateur et de l'exigence de précision de chaque étage pipeline. Nous allons introduire les non-idéalités et leurs modèles comportementaux dans les CANs pipeline comme suit.

III.2.2.1.1. Les non-idéalités de l'amplificateur opérationnel

Le MDAC et l'E/B sont les composants majeurs d'un CAN pipeline à capacité commutée, qui sont construits en utilisant un amplificateur opérationnel (amp-op).

Un ampli-op idéal a un gain DC infini, une bande passante infinie, sans limitation de vitesse de balayage et aucune limite de saturation [74, 77]. Les fonctions de transfert de l'E/B et MDAC montrées dans (3.1) et (3.2) sont les deux dans le cas idéal sans incluant aucune erreur.

L'une des principales causes de dégradation des performances dans les CAN pipeline est le transfert incomplet des charges dans les circuits. Cet effet non-idéal est une conséquence des non-idéalités de l'amplificateur opérationnel y compris le gain fini, la bande passante et la vitesse de balayage. Ces points seront examinés séparément dans les sections suivantes.

a) Non linéarité de Gain en courant continu

Le gain de l'amp-op est infini, Théoriquement sa fonction de transfert est [77]:

$$V_s = AV_e \quad (3.3)$$

A étant le facteur d'amplification. Cependant par simulation nous obtenons en réalité la courbe de la Figure 3.11, dont la fonction de transfert est approximé par [11]:

$$V_s = AV_e + BV_e^2 + CV_e^3 \quad (3.4)$$

B et C sont les facteurs d'amplification parasites.

De ce fait, pour un signal sinusoïdal pur de fréquence f en entrée de l'amplificateur, on retrouve en sortie de l'amplificateur non seulement le signal de sortie de départ, amplifié, de même fréquence que V_e mais aussi d'autres signaux parasites de fréquence plus élevée et proportionnelle à la fréquence de V_e . Dans ce cas on dit qu'il y a une distorsion harmonique, car le spectre présent des fréquences $2f$, $3f$, etc. La distorsion harmonique totale s'exprime par le rapport de la somme quadratique des amplitudes de tous ces signaux sur l'amplitude du fondamental, ceci est donné par l'équation (1.18) (cf. chapitre I) [11].

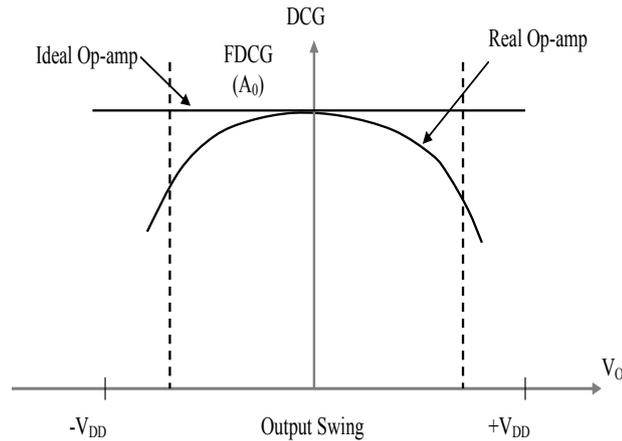


Figure 3.11. Le gain DC de l'amp-op en fonction de la tension de sortie.

b) L'effet gain fini en courant continu

Dans (3.1) et (3.2), le gain en courant continu est supposé infini. Toutefois, en pratique, le gain réel est limité par les contraintes du circuit, y compris la résistance de sortie finie et la transconductance d'entrée. Par conséquent, le gain réel est généralement limitée et non linéaire. Cela induit des non-linéarités dans le CAN pipeline. La fonctions de transfert du circuit à capacité commutée avec l'effet du gain DC fini de l'amplificateur opérationnel devient [77]:

$$V_s = GV_e \left(\frac{1}{1 + \frac{1}{A \cdot f}} \right) \quad (3.5)$$

Où G est le gain DC idéal du circuit, et le terme entre parenthèses représente l'erreur de gain DC fini du circuit, où A est le gain en courant continu de l'amplificateur opérationnel et f représente le facteur de rétroaction.

c) La bande passante et la vitesse de balayage

Les effets de la bande passante et de la vitesse de balayage sont liés les uns aux autres, et peuvent être interprétés comme un gain non linéaire [77].

Le comportement typique du temps d'établissement de la réponse indicielle est illustré sur la Figure 3.12. Dans la période initiale de l'établissement, la pente du signal de sortie est probablement limitée par la SR de l'ampli-op, qui produit un établissement non-linéaire. Une fois la pente du signal de sortie est inférieure à la SR, la réponse passe en réponse linéaire. Le point de transition (dans le temps) entre les deux est à l'instant t_0 . Nous ajoutons le comportement de l'erreur d'établissement dans (3.5). Cette réponse est donnée par [77]:

$$V_s = G \cdot V_e \left(\frac{1}{1 + \frac{1}{A \cdot f}} \right) \cdot \left(1 - e^{-\frac{t}{\tau}} \right) \quad (3.6)$$

Le terme exponentiel dans la seconde parenthèse représente l'erreur du temps d'établissement de l'amplificateur opérationnel à un pôle unique, et $\tau=1/(2\pi \times f \times \text{GBW})$ est la constante de temps du circuit, où GBW et f sont le produit gain bande passante et le facteur de rétroaction du circuit, respectivement. Nous pouvons observer à la Figure 3.12 que la pente de cette courbe atteint sa valeur maximale lorsque $t=0$. Par conséquent, la pente maximale du signal de sortie de la Figure 3.12 est donnée par $(d(V_{\text{out}})/dt)$ [77]:

$$\left. \frac{d}{dt} V_s(t) \right|_{t=0}^{\text{max}} = G \cdot V_e \cdot \left(\frac{1}{1 + \frac{1}{A \cdot f}} \right) / \tau \quad (3.7)$$

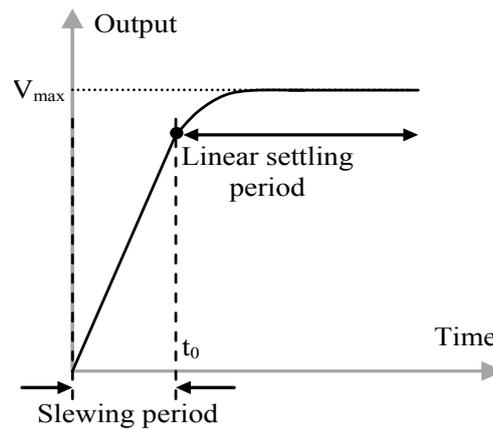


Figure 3.12. Comportement typique de l'établissement d'une réponse à un échelon.

En raison de deux comportements différents qui ont été discutés, nous devons maintenant examiner deux cas distincts [77].

(1)- la valeur spécifiée par (3.7) est inférieure à la vitesse de balayage (SR) de l'amplificateur opérationnel. Dans ce cas, aucune limitation de la vitesse de balayage (SR) n'apparaît et l'évolution de V_{out} est décrite par (3.8) [77].

(2)- la valeur spécifiée par (3.7) est plus grande que SR. Dans ce cas, l'amplificateur opérationnel est en balayage. Par conséquent, la première partie de la réponse transitoire de V_{out} est limitée par SR, et l'autre partie revient au comportement du temps d'établissement linéaire. Les équations suivantes (en supposant que $t_0 < T_s/2$) [77]:

$$t < t_0 \quad V_s = \text{SR} \cdot t \quad (3.8)$$

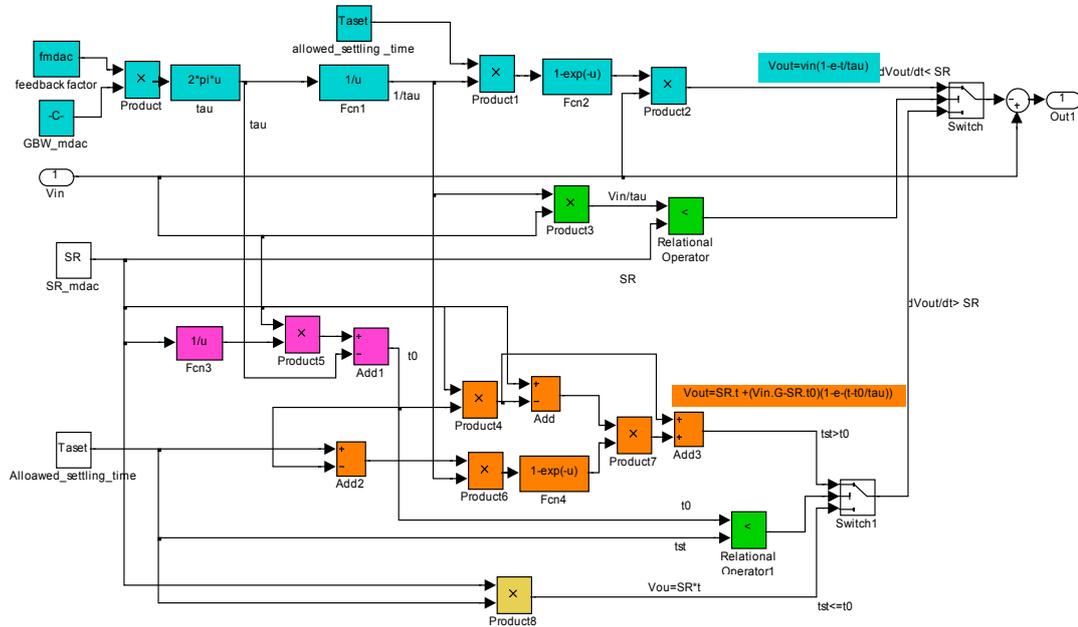
$$t > t_0 \quad V_s = V_s(t_0) + (V_e \cdot G - \text{SR} \cdot t_0) \left(1 - e^{-\frac{t-t_0}{\tau}} \right) \quad (3.9)$$

Où t_0 est le point de transition entre le balayage et la période du temps d'établissement linéaire comme le montre la Figure 3.12.

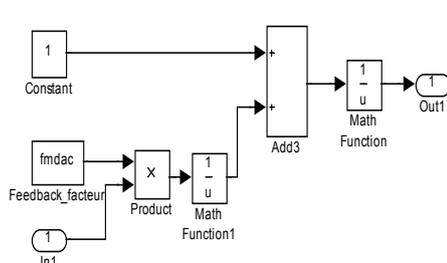
Notez que T_{set} est le temps de l'établissement autorisé dans les circuits est généralement plus petit que la moitié de la période d'horloge. Pour imposer des conditions pour la continuité

des dérivées de (3.8) et (3.9) en t_0 , nous supposons que les pentes des équations (3.8) et (3.9) à t_0 sont les mêmes. En conséquence, nous obtenons :

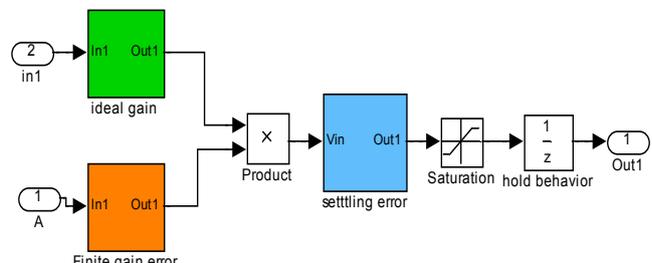
$$t_0 = \frac{G.V_e}{SR} - \tau \tag{3.10}$$



(a)



(b)



(c)

Figure 3.13. Le modèle comportemental de l'amplificateur opérationnel avec les non-idéalités, (a) le modèle de l'erreur du temps d'établissement, (b) le modèle de l'erreur de gain fini, (c) le modèle complet.

Le modèle comportemental montré dans la figure 3.13 est utilisé pour mettre en œuvre les équations ci-dessus pour calculer la valeur atteinte par $V_{out}(t)$ en T_{set} (le temps de l'établissement autorisé), qui sera différente de la valeur idéale à cause des limitations du gain, GBW et SR de l'amplificateur opérationnel [74]. Les limitations des SR et GBW produisaient une distorsion harmonique réduisant SNDR total du CAN pipeline.

d) Bruit thermique de l'amp-op

Le bruit thermique intrinsèque de l'ampli-op est la source la plus importante affectant le fonctionnement du circuit MDAC et E/B à capacité commutée. Le calcul du bruit thermique de l'amp-op est dépendant de l'architecture de l'amp-op. On suppose d'abord que les sources de bruit ne comprennent que les bruits produits par les transistors de l'entrée de la paire différentielle. La Figure 3.13 présente un simple modèle pour calculer le bruit de l'amp-op [77]:

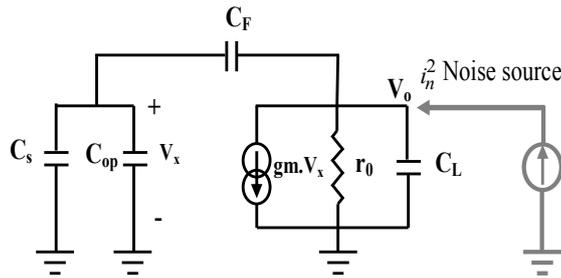


Figure 3.14. Modèle AC pour le calcul de bruit de l'amp-op.

La fonction de transfert de ce modèle est [77]:

$$H(s) = \frac{V_o}{I_n} = \frac{r_o}{(1+g_m r_o f) \left(1 + \frac{s C_{LT} r_o}{1+g_m r_o f}\right)} \quad (3.10)$$

où I_n est la source du courant de bruit qui peut être vu sur le côté le plus à droite de la Figure 3.13 et C_{LT} est la capacité de charge totale donnée par $C_{LT} = C_L + f(C_s + C_{op})$.

La source du courant de bruit peut être écrite comme suit [77]:

$$\bar{I}_n^2 = 4KT \cdot \left(\frac{2}{3} \cdot g_m\right) \cdot \Delta f \quad (3.11)$$

où k est la constante de Boltzmann, T est la température absolue et Δf est une petite bande passante à la fréquence f .

Donc, la puissance du bruit correspondant à l'entrée peut être exprimée comme suit:

$$\bar{V}_{in}^2 = \frac{\bar{V}_o^2}{G^2} = \frac{\int_0^\infty (|H(s)|^2 \cdot \bar{I}_n^2)}{G^2} = \frac{2}{3} KT \frac{1}{f} \frac{1}{C_{LT}} \left(\frac{C_F}{C_s + C_F}\right) \quad (3.12)$$

où G est le gain de l'amp-op

Les amplificateurs opérationnels dans le circuit E/B et MDAC sont les mêmes. La seule différence est qu'il existe un seul condensateur d'échantillonnage et de maintien dans l'E/B.

$$\sigma_{mdac}^2 = \frac{2}{3} KT \frac{1}{f} \frac{1}{C_{LT}} \left(\frac{C_F}{C_s + C_F}\right) \quad (3.13)$$

où $f = C_s / (2^B \cdot C_s + C_{op})$, et $C_{LT} = C_L + f(C_s + C_{op})$.

$$\sigma_{e/b}^2 = \frac{2}{3} KT \frac{1}{f} \frac{1}{C_{LT}} \quad (3.14)$$

e) L'offset de l'entrée de l'Amp -Op

Il existe deux formes d'offset de base qui ont des effets différents sur la fonction de transfert du CAN. D'une part, il y a le décalage de l'entrée qui s'additionne avec le signal d'entrée à l'étage. Ce décalage est dû principalement à l'amplificateur et à un moindre degré aux commutateurs. La fonction de transfert dans ce cas est de la forme [77]:

$$V_{out_i} = G_i \cdot (V_{in_i} + V_{off_i}) - D_i \cdot V_{ref} \quad (3.15)$$

où le décalage est multiplié par le gain de l'étage G_i , avec V_{off_i} est l'offset de la tension d'entrée, G_i et V_{in_i} représentent le gain et le signal d'entrée du circuit MDAC respectivement. D_i est un nombre entier dépendant de la sortie du sous-CAN et V_{ref} est une tension de référence.

La seconde forme de décalage, est due aux comparateurs. Ce qui a pour effet de déplacer un ou les deux niveaux de décision du sous-CAN.

Le décalage total de toutes les sources doit rester dans la limite de $\pm V_{ref}/4$ [77].

Dans le cas idéal, il n'y a pas de décalage dans le circuit ampli-op. Cependant, une fois que les dispositifs ampli-op avaient n'importe mésappariement (mismatches), le décalage de l'amplificateur opérationnel sera introduit. Le décalage fera décaler vers le haut ou vers le bas le tracé de résidus de MDAC. Bien que la technique de correction d'erreur numérique puisse corriger les erreurs partielles qui ne sont pas hors échelle, ils restent des régions encore partielles de tracé de résidus peuvent être hors-échelle, qui induisent une distorsion supplémentaire dans le CAN pipeline [77].

Par conséquent, le décalage de l'ampli-op dans les circuits SC est un facteur limitant de la performance dans le CAN pipeline malgré l'utilisation de la technique numérique de correction d'erreur. Ici, nous utilisons une valeur constante pour modéliser le décalage ampli-op, qui est similaire au modèle de décalage du sous-CAN illustré sur la Figure 3.6.(b) [77].

La courbe de transfert d'un étage pipeline à 1,5bit avec l'erreur d'offset de l'amp-op est illustrée sur la Figure 3.15.

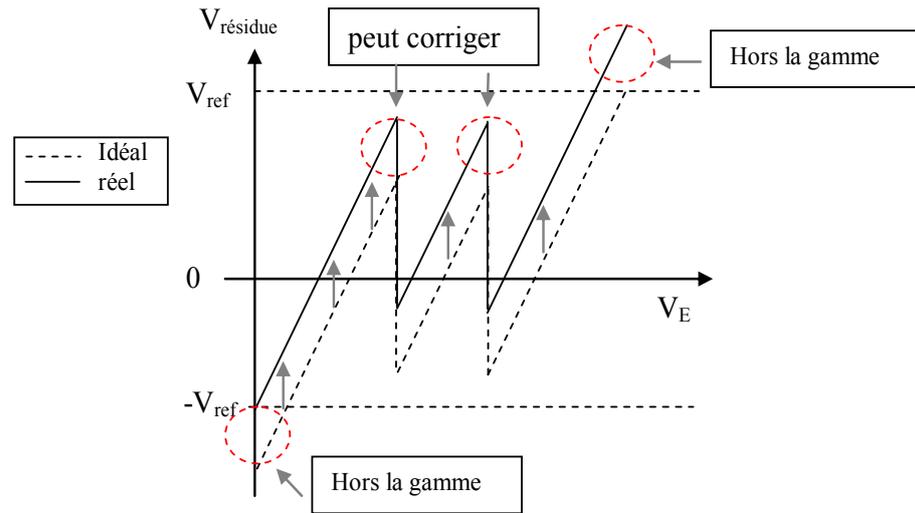


Figure 3.15. La fonction de transfert d'un étage pipeline à 1,5bit avec l'offset de l'amp-op

f) Le bruit de scintillation « flicker noise » ou bruit en 1/f

En dessous de quelques centaines de Hertz, on observe dans tout composant actif et certains composants passifs, une composante de bruit présentant une DSP (la densité spectrale de puissance) caractérisée par une loi proportionnelle à l'inverse de la fréquence.

Ce bruit résulte de la contribution de différents processus aléatoires encore mal connus. Dans les circuits électriques, il est généralement attribué aux phénomènes de recombinaison de paires électron-trou en surface des semi-conducteurs et à l'inhomogénéité des matériaux. Il est toujours associé à un courant direct et modélisé empiriquement par une densité spectrale définie par [11]:

$$S_i(f) = K_f \cdot \frac{I_D^\alpha}{f^\alpha} \tag{3.16}$$

Contrairement au bruit thermique, le bruit de scintillation dépend de paramètres déterminés expérimentalement et pouvant varier grandement d'un composant à l'autre, même issus d'un même lot. Empiriquement, le bruit de scintillation d'un transistor MOS (pour alpha= 1) est représenté par l'équation suivante [11] :

$$S_i(f) = \frac{K}{f} \cdot \frac{gm^2}{W.L.C_{ox}} \tag{3.17}$$

où K est un coefficient lié à la technologie, gm est la transconductance du transistor MOS, W et L, sont les dimensions du transistor MOS et C_{ox} est la capacité d'oxyde.

Le bruit de scintillation dépend de multiples facteurs comme le profil de dopage, de la tension entre la grille et la source, ce qui le rend très difficile à modéliser le bruit de scintillation avec précision. La figure 3.16 montre le modèle utilisé pour simuler l'effet du bruit de scintillation [72].

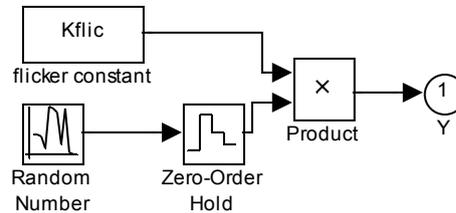


Figure 3.16. Modèle Simulink du bruit de scintillation de l'amp-op.

g) Erreur de défaut d'appariement de condensateur

Les erreurs du gain dues au défaut d'appariement du condensateur affectent la caractéristique de transfert. La fonction de transfert généralisée de l'étage CAN y compris l'erreur d'appariement du condensateur est donnée par [43]:

$$V_{out} = 2 \cdot V_{in} \cdot \left(1 + \frac{\Delta_c}{2}\right) - D_i \cdot V_{ref} \cdot (1 + \Delta_c) \quad (3.18)$$

où Δ_c est le terme due au défaut d'appariement du condensateur. La condition requise pour le défaut d'appariement du condensateur pour un étage standard de 1,5 bit peut être calculée par l'équation suivante :

$$\sigma_{\Delta_c} = \frac{1}{3,2^{N-i-1}} \quad (3.19)$$

où N nombre des bits et i est le nombre d'étages.

III.2.2.1.2. Les non-idéalités des commutateurs

Les circuits à capacités commutées utilisent les commutateurs MOS. Les non-idéalités et les sources d'erreurs liées méritent un examen attentif lors de la conception de MDAC et l'E/B à capacités commutées. Les limites importantes sont: la limitation de bande passante qui est héritée de la résistance finie et non linéaire du commutateur, le traversé de l'horloge (clock feedthrough) et l'injection de la charge de canal du transistor MOS qui sont dépendants du signal d'entrée et de la physique du transistor MOS.

a) Bruit de commutation

Les sources de bruit les plus importants qui affectent le fonctionnement d'un amplificateur opérationnel à capacité commutée sont le bruit thermique associé aux

commutateurs d'échantillonnage et le bruit intrinsèque de l'amplificateur opérationnel. Figure 3.17 (b) fournit le circuit équivalent pour l'estimation du bruit de commutation. Le spectre du bruit thermique fourni par R_s est blanc, $V_{n,R_s}^2 = 4.KT.R_s$ [78].

Le transistor MOS présente toujours une résistance parasite non nulle. Dans cette dernière l'agitation thermique aléatoire des électrons crée un bruit blanc appelé bruit thermique où R est la résistance, K la constante de Boltzmann et T la température absolue en Kelvin [11]. Si l'on considère un circuit formé d'un commutateur MOS connecté en série avec une capacité, ce circuit peut être considéré comme un filtre RC comme le montre la Figure 3.17. La résistance ici considérée étant la résistance R_{on} du transistor MOS [72].

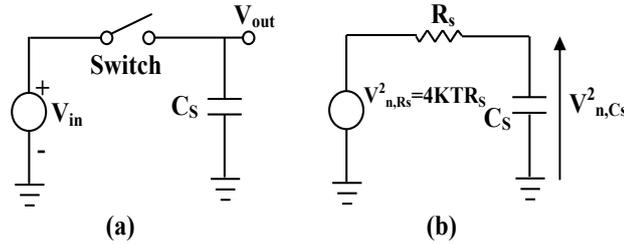


Figure 3.17. Modèle simple d'un échantillonneur et son modèle équivalent pour le calcul du bruit de commutation (KT/C).

$$V_{n,C_s}^2(\omega) = \frac{4KT.R_s}{1+(\omega.R_s.C_s)^2} \quad (3.20)$$

La puissance de bruit dans la bande de base est donnée par l'intégrale de la puissance de bruit de l'ensemble des bandes pliées. Par conséquent, la puissance de bruit total stockée sur C_s lorsque le commutateur s'éteint est [72] :

$$P_{n,C_s} = \int_0^\infty V_{n,out}^2(f)df = 4KT.R_s \int_0^\infty \frac{df}{1+(\omega.R_s.C_s)^2} = \frac{KT}{C_s} \quad (3.21)$$

où $f_{3dB} = 1/2\pi R_s C_s$, R_s est la résistance à l'état on du transistor MOS, et C_s est la valeur du condensateur d'échantillonnage, K est la constante de Boltzmann, T la température absolue; la résistance est modélisée avec une source de bruit en série avec une source de tension. La puissance totale du bruit (bruit KT/C) correspondre à l'entrée de MDAC et E/B est donnée par [72]:

$$\sigma_{in,mdac}^2 = \frac{KT(C_{s,mdac} + C_{f,mdac} + C_{op,mdac})}{(C_{s,mdac} + C_{f,mdac})^2} \quad (3.21)$$

$$\sigma_{in,s/h}^2 = \frac{KT(C_{s,s/h} + C_{op,s/h})}{(C_{s,s/h})^2} \quad (3.22)$$

La Figure 3.18 montre le modèle comportemental du bruit aléatoire de commutateur décrit par (20) ou (21). En raison de son caractère aléatoire, nous utilisons un générateur de signal aléatoire pour produire le bruit aléatoire [72].

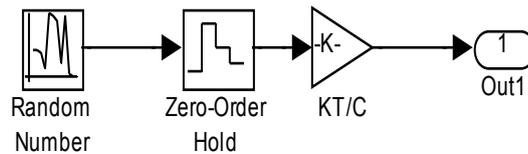


Figure 3.18. Modélisation du bruit thermique (KT/C) du commutateur

b) *Le phénomène d'injection de charges et de la traversée d'horloge*

Dans cette section, nous analysons les deux phénomènes: l'injection de charge des canaux et la traversée d'horloge. Les mécanismes d'injection de charge et la traversée d'horloge peuvent être illustrés à l'aide de la Figure 3.19 et Figure 3.20 respectivement.

Le phénomène de « charges injectées »

Le phénomène de « charges injectées » a été discuté dans de nombreuses publications [79], ce phénomène est attribué à l'injection des charges accumulées dans le commutateur analogique (soit au niveau du canal du transistor soit au niveau des capacités parasites entre grille-source et grille-drain) lorsque le commutateur bascule de l'état ON à l'état OFF. En effet, quand le transistor MOS est ON, il opère dans sa zone ohmique de fonctionnement et sa tension drain-source est quasiment nulle à la fin de la charge de la capacité. Durant cette phase de charge, le canal du transistor MOS dispose d'une certaine quantité de charges dans le canal (Fig. 3.19), quantité qui est directement liée à la conductance de ce dernier. Lorsque le transistor bascule à l'état OFF, deux mécanismes d'injection de charges interviennent [34]:

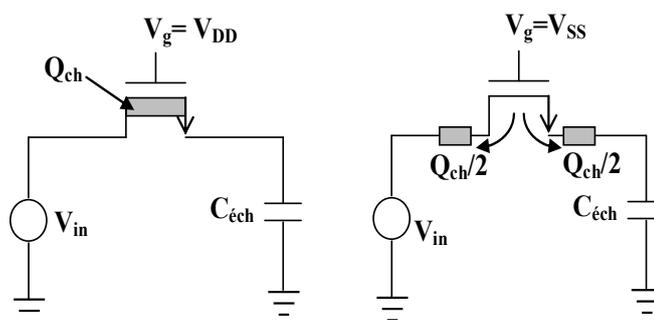


Figure 3.19. Phénomène de l'injection de charge dans le transistor NMOS.

Une partie des charges accumulées dans le canal sont réinjectées dans le circuit via le drain et la source du transistor. En général, de par le fait que les temps de transition de l'état Haut - Bas de l'horloge sont brefs devant le temps moyen de recombinaison des charges dans le substrat, les charges réinjectées représentent la totalité des charges du canal. Quand un switch MOS est ON et que sa tension drain-source V_{ds} est faible, la charge accumulée sous l'oxyde de grille résultant du canal inversé est donnée par l'expression [34]:

$$Q_{ch} = C_{ox} W \cdot L \cdot (V_{gs} + V_{th}) \quad (3.23)$$

Ainsi, lorsque le transistor MOS est OFF, la moitié de la charge du canal est distribuée sur $C_{\text{éch}}$. Comme la charge accumulée dans le canal-n et le canal-p sont des électrons et des trous, respectivement, l'injection de charges dans le switch à canal-n et le Switch à canal-p se résultent aux bornes positives et négatives de façon correspondante [80]. Les charges injectées dans la source du transistor n'introduisent aucune erreur sur le signal mémorisé (puisqu'elles sont réinjectées sur le signal d'entrée). Par contre, les charges injectées sur le drain du transistor s'ajoutent aux charges stockées sur la capacité $C_{\text{éch}}$ et créent ainsi une erreur ΔV sur le signal mémorisé [3]. L'erreur commise sur la tension aux bornes de la capacité de maintien $C_{\text{éch}}$ est donnée par l'équation (5.5) [79].

$$\Delta V_{\text{spike}} = -\frac{C_{\text{ox}}W.L.(V_{\text{DD}}-V_{\text{in}}-V_{\text{th}})}{2.C_{\text{éch}}} \quad (3.24)$$

Le phénomène de «clock feedthrough »

En plus de l'injection de charges de canal, Un autre phénomène, dû aux capacités de recouvrement C_{ov} entre grille – source d'une part et grille – drain d'autre part, mais aussi au signal de commande sur la grille (V_{CLK}) l'horloge, introduit une erreur d'offset sur le signal mémorisé. Ce phénomène est connu sous le nom de « clock feedthrough » [3], il est représenté sur la Figure 3.20.

Un switch MOS couple les transitions d'horloge à la capacité d'échantillonnage à travers sa grille-drain et la capacité recouvrement (overlap) grille-source c.à.d. les charges accumulées dans les capacités de recouvrement C_{ov} (entre grille-source et grille-drain) du MOS, sont aussi injectées dans le circuit lors des basculements d'horloge [34]. En supposant que la capacité de recouvrement est constante, l'erreur commise sur la tension de maintien est donnée par l'équation (3.25) [79]:

$$\Delta V = -V_{\text{clk}} \cdot \frac{C_{\text{ov}}}{C_{\text{ov}}+C_{\text{H}}} \quad (3.25)$$

où V_{clk} est l'amplitude du signal d'horloge, C_{ov} est la capacité recouvrement par unité de largeur, et la capacité de maintien $C_{\text{éch}}$.

Cette d'erreur en tension est indépendante du niveau de la tension d'entrée.

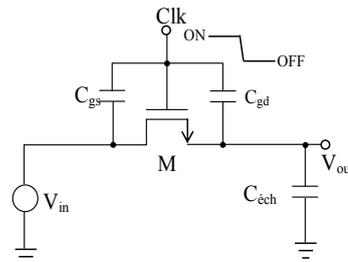


Figure 3.20. Clock feedthrough dans un commutateur analogique NMOS.

Ainsi, ces mécanismes d'injection de charges sont intrinsèques à la physique du transistor MOS et ils dépendent de l'amplitude du signal d'entrée (via la tension de commande V_{gs} et la tension de seuil V_{th}), mais également le phénomène de « clock feedthrough » est essentiellement lié à la physique du transistor MOS et au signal d'entrée [3]. Par conséquent, l'erreur totale introduite est non linéaire et d'après les équations précédentes, un compromis entre la taille du transistor MOS, la bande passante et la résolution souhaitée est nécessaire.

L'effet de l'injection de charge peut être simulé avec Simulink en utilisant le modèle de la Figure 3.21, qui mise en œuvre l'équation. (3.24). Ici, nous avons supposé que l'incertitude d'injection de charge σ est un processus aléatoire gaussien avec un écart-type [72].

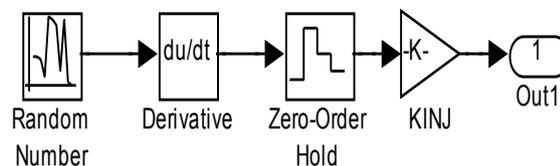


Figure 3.21. Modèle de l'effet d'injection de charge

L'erreur du clock feedthrough, est due aux condensateurs de chevauchement, reste existée, mais le signal est indépendant et beaucoup plus faible en comparaison avec le signal dépendent de l'erreur d'injection de charge du canal. Figure 3.22 présente le modèle Simulink du clock feedthrough [72].

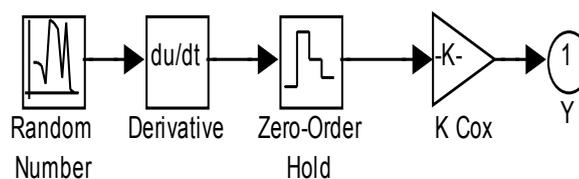


Figure 3.22. Modèle Simulink du bruit clock feed through.

c) *Le bruit de la résistance équivalente du commutateur*

Dans la pratique, un commutateur est généralement mis en œuvre au moyen du transistor MOS. Une implémentation simple est illustrée dans la Figure 2.3, où la grille du transistor NMOS est commandée par un signal d'horloge [12]. Lorsque le signal d'horloge est au niveau bas, le transistor MOS est bloqué et aucun courant n'est traversé. En revanche, lorsque le signal d'horloge est au niveau haut, le transistor MOS comporte normalement

conduit le courant en opérant dans la région de triode. Dans cette situation, il présente une résistance finie qui peut être déterminée par [45]:

$$R_{ON} = \frac{1}{\mu C_{ox} \left(\frac{W}{L}\right) \cdot (V_{gs} - V_{th})} \tag{3.26}$$

où μ et C_{ox} sont des paramètres technologiques, W et L sont les dimensions transistor MOS, et V_{th} est la tension de seuil.

Figure 3.23 présente un exemple simple d'un échantillonneur-bloqueur MOS et son modèle équivalent pour le calcul de bruit induit par la résistance à l'état ON dans le commutateur MOS [74].

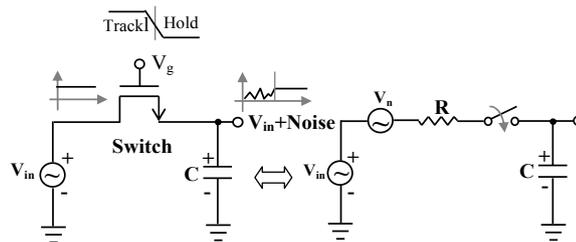


Figure 3.23. Un circuit simple de l'E/B MOS et son modèle équivalent pour le calcul du bruit de la résistance du commutateur.

La fonction de la résistance non-linéaire peut être extraite de la courbe de résistance de commutateur, en utilisant un lissage de la courbe (curve fitting). Nous avons obtenu une fonction polynomiale, qui peut être utilisée pour modéliser l'effet causé par la résistance non-linéaire du commutateur. La Figure 3.24 montre le modèle comportemental de la résistance fini du commutateur [72].

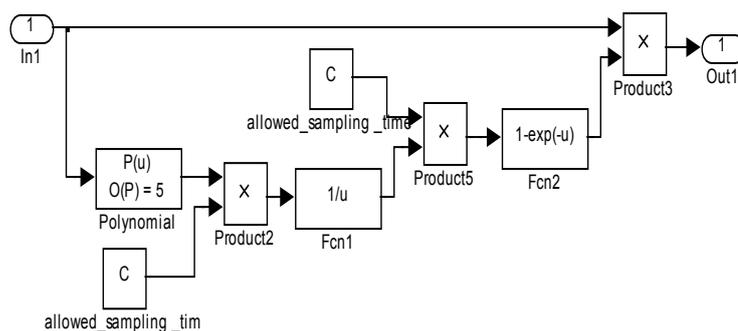


Figure 3.24. Modélisation de l'effet de résistance (ON) finie non linéaire.

d) Erreurs sur l'instant d'échantillonnage: « Jitter »

L'erreur de jitter est définie comme une variation aléatoire d'instant d'échantillonnage. Le bruit de phase du générateur d'horloge et le circuit d'échantillonnage sont les causes de cette erreur [72]. Le bruit introduit par le jitter peut-être supposé blanc, c'est-à-dire qu'il est

uniformément réparti entre les fréquences de 0 à $f_s/2$. L'erreur de jitter peut-être réduite par le suréchantillonnage du signal d'entrée.

L'instant d'échantillonnage est généralement déterminé par le front d'un signal d'horloge. Toutefois, en raison des imperfections de circuits réels, le front d'horloge peut varier d'un cycle à l'autre. Par conséquent, une incertitude se présente dans l'instant d'échantillonnage. Cela provoque une erreur d'échantillonnage comme indiqué dans la Figure 3.25, où l'instant d'échantillonnage désiré est t , mais en raison des imperfections du circuit à l'instant d'échantillonnage réel est $t+\Delta t$. L'erreur peut être estimée comme suit [12]:

$$\Delta x(t) = x(t) - x(t + \Delta t) \approx \Delta t \frac{dx(t)}{dt} \quad (3.27)$$

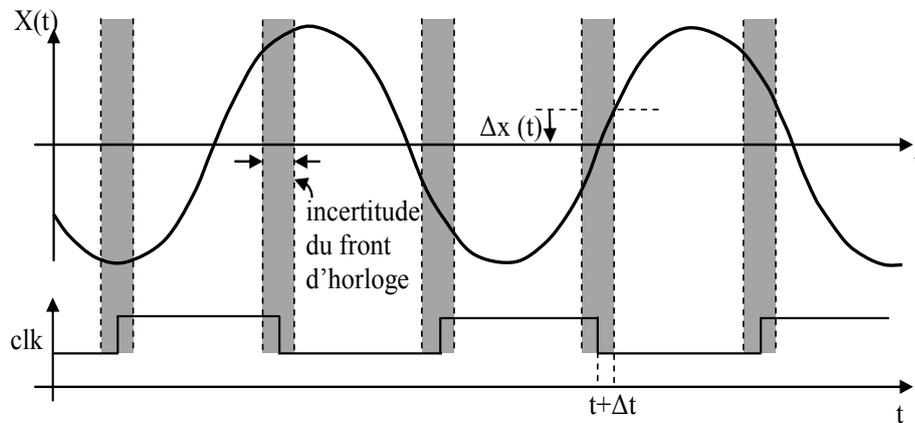


Figure 3.25. Dépendance du clock jitter sur le front d'horloge

En supposant un signal d'entrée sinusoïdal d'amplitude A et de la fréquence f_i , cette erreur est maximale au point de passage à zéro:

$$\Delta x(t)|_{\max} = \Delta t \cdot A \cdot \left. \frac{d \cos(2\pi f_i t)}{dt} \right|_{t=0} = A \cdot \Delta t \cdot 2\pi f_i \quad (3.28)$$

L'erreur dépend de la fréquence et de l'amplitude du signal d'entrée, mais elle est indépendante de la fréquence d'échantillonnage. Si l'instant du signal d'horloge est supposé être un bruit aléatoire avec une distribution normale de moyenne nulle et de variance σ_{jit}^2 la puissance d'erreur peut être calculé comme [81]:

$$P_n^{jit} = \frac{\Delta_j^2}{2} (A \cdot 2\pi f_i)^2 \quad (3.29)$$

À Partir de l'équation. (3.29), on peut déduire que plus la fréquence du signal d'entrée et l'amplitude sont augmentées, plus le bruit jitter est augmenté.

Ici, nous avons supposé que l'incertitude de l'échantillonnage δ est un processus aléatoire gaussien avec un écart type $\Delta\tau$ [82]. Figure 3.24 montre le modèle comportemental de l'effet décrit par (3.26). Le signal d'entrée V_{in} et sa dérivée (du/dt) sont des signaux à temps continu. Ils sont échantillonnés avec une période d'échantillonnage T_s par un bloc zero-order hold. Le signal aléatoire $n(t)$ est mis en œuvre à partir d'une séquence de nombres aléatoires avec une distribution gaussienne, de moyenne nulle et déviation standard unitaire (disponible dans Simulink).

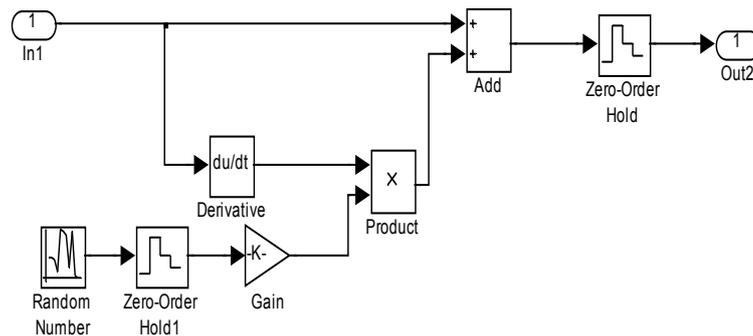


Figure 3.26. Modèle de l'effet Clock jitter

III.2.2.2. Modèle complet du CAN pipeline avec des non-linéarités

Un CAN à 10-bits et de 1.5-bits/étage à une fréquence d'échantillonnage f_s de 100 MHz a été modélisée à l'aide du logiciel Matlab/Simulink. Ce modèle comportemental a été développé par la modification d'un modèle Simulink idéal du CAN 10-bit. Le modèle non-idéal de chaque étage pipeline est basé sur l'architecture systématique 1.5-bits/étage montrée dans la Figure 3.27 [82]. Le modèle non-idéal de l'E/B est montré dans la Figure 3.28.

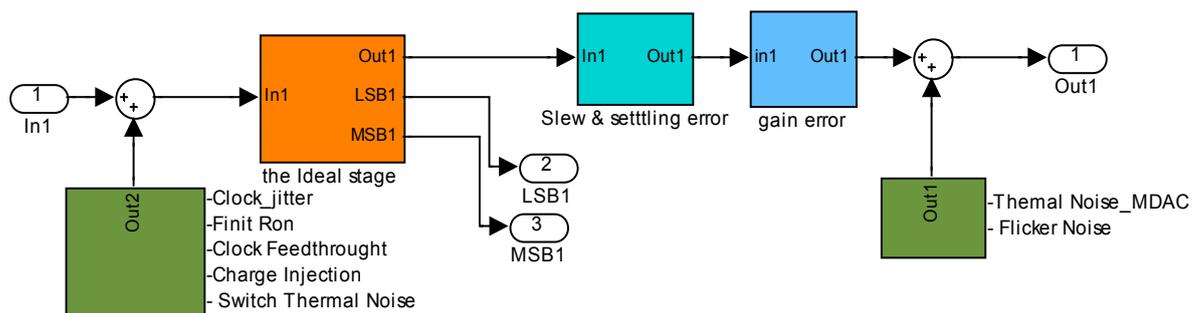


Figure 3.27. Modèle d'un étage du CAN pipeline dans le cas non idéal.

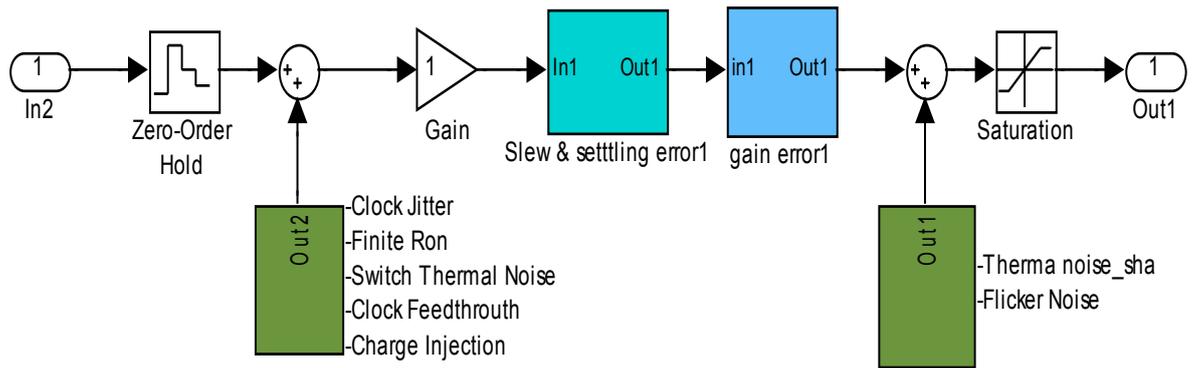


Figure 3.28. Modèle de l'échantillonneur- bloqueur E/B dans le cas non idéal.

Le modèle comportemental complet du CAN pipeline incluant toutes les non-linéarités précédentes abordées est illustré à la Figure 3.29.

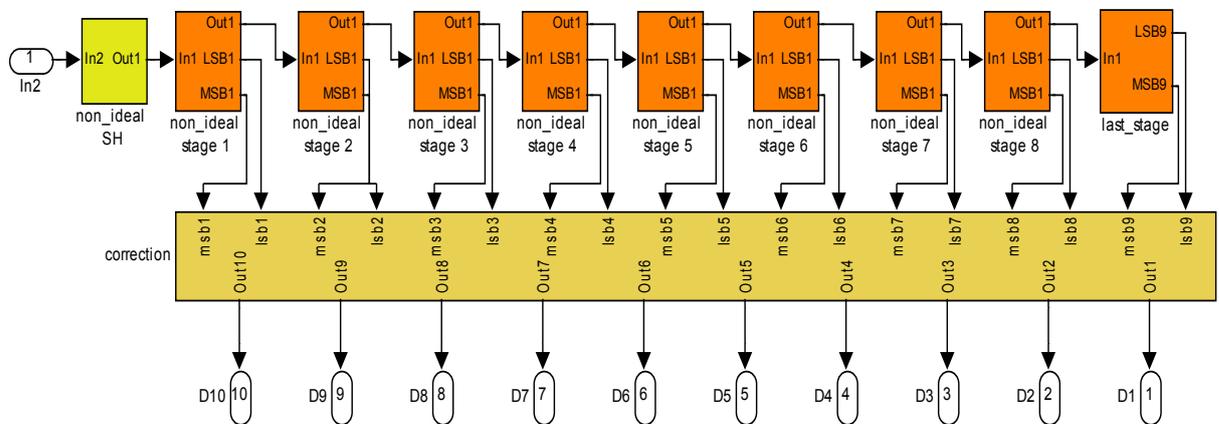


Figure 3.29. Le modèle comportemental complet du CAN pipeline avec les non-linéarités.

Toutes les non-linéarités incluses dans ce modèle sont résumées dans le tableau 3.2.

Tableau 3.1 Les non-linéarités incluses dans Le modèle comportemental.

Composant du circuit	Non idéalités
Amplificateur opérationnel	Gain DC non linéaire
	Bande passante finie
	La vitesse de balayage
	Bruit du temps d'établissement
	Bruit thermique
	Offset DC
	bruit de scintillation
Switch	La résistance on finie non linéaire
	Injection de Charge/clock feedthrough
	Clock jitter
	Bruit thermique
Capacité	mismatch
Comparateur	Offset DC

III.3. LES RESULTAT DE SIMULATION DES MODELES COMPORTEMENTAUX

Afin de valider les modèles proposés avec les différentes sources de non-idéalités qui affectent le fonctionnement du CAN pipeline [83], nous avons effectué plusieurs simulations avec Simulink sur le modèle idéal et le modèle non-idéal du CAN pipeline. Une manipulation post-traitement des données a été faite pour obtenir FFT, SNR (rapport signal-sur-bruit), et d'autres spécifications du CAN, le tableau 3.2 comporte un résumé des valeurs des paramètres utilisés dans la modélisation comportementale du CAN pipeline. La conception du modèle a été validée par la reconstruction de la sortie numérique dans sa forme originale, les deux modèles (idéal et non idéal) ont été testés avec un signal sinusoïdal, comme le montre la Figure3.30:

Tableau 3.2 Spécifications des paramètres du CAN pipeline à 10-bits

Paramètre	Value
Technologie	TSMC 0,18 μ m
Langueur du transistor MOS L	0,180 μ m
Largeur du transistor MOS W	0,270 μ m
Résolution	10 bits
Capacité d'échantillonnage C_s et Capacité rétroaction C_f	$C_s=C_f=0,4$ pF
Capacité d'entrée de l'amp-op C_{op}	0.13pF
Capacité de maintien C_H	1pF
Capacité de chevauchement C_{OV}	0.08fF
Capacité d'Oxyde C_{OX}	8.78.F/m ²
Fréquence d'échantillonnage f_s	100MHz
Temps d'établissement total autorisé $T_{settlin}$	5 ns
Facteur de rétroaction du MDAC β	0.5
Facteur de rétroaction de l'E/B β	1,42
Constante de temps τ_{MDAC}	0,30ns
Constante de temps $\tau_{S/H}$	0,17ns
Coefficient de bruit de scintillation K_f	$3 \cdot 10^{-12} V^2 \cdot pF$

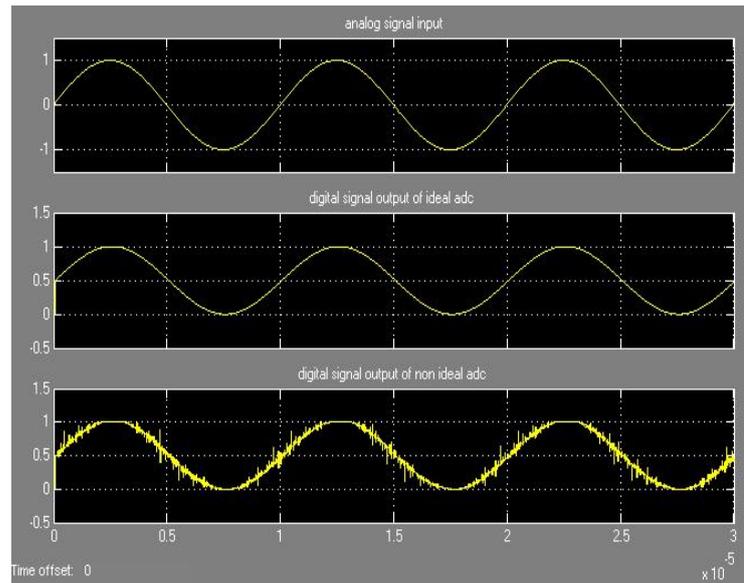


Figure 3.30. L'Entrée analogique et les sorties reconstruites du modèle idéal et du modèle non idéal.

L'entrée d'origine et les formes d'onde des deux sorties numériques reconstruites des deux modèles (idéal et non idéal) sont représentées dans la Figure 3.30. La sortie numérique reconstruite du modèle idéal est identique à l'entrée analogique mais la sortie du modèle non idéal est presque identique aussi à l'entrée analogique d'origine, avec des imperfections. Les effets des non-linéarités et les erreurs incluses dans le modèle non idéal du CAN provoquent des imperfections dans le signal de sortie numérique.

Figure 3.31 et 3.32 montrent la sortie FFT pour le modèle idéal et le modèle non-idéal du CAN pipeline, respectivement.

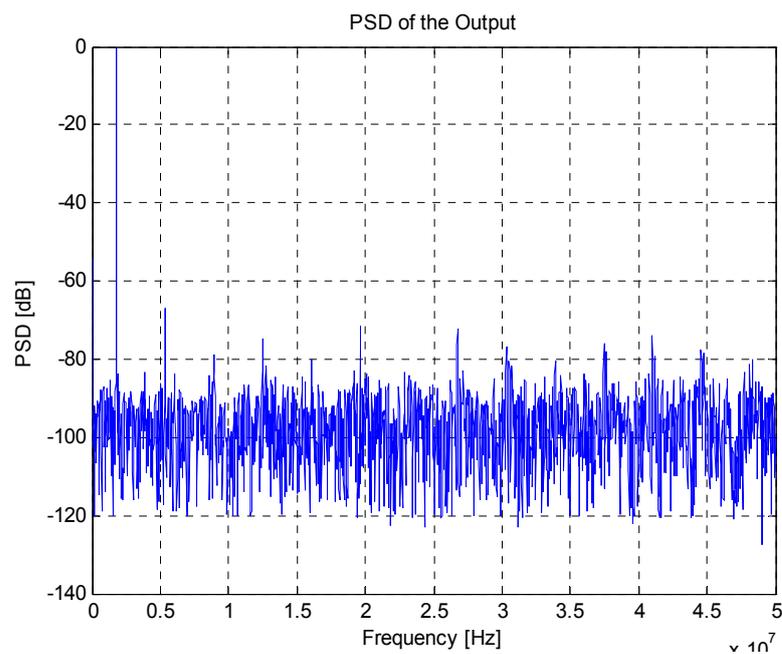


Figure 3.31. FFT du signal de sortie du CAN dans le cas idéal avec $F_{in}=1,78\text{MHz}$, $F_s=100\text{MHz}$.

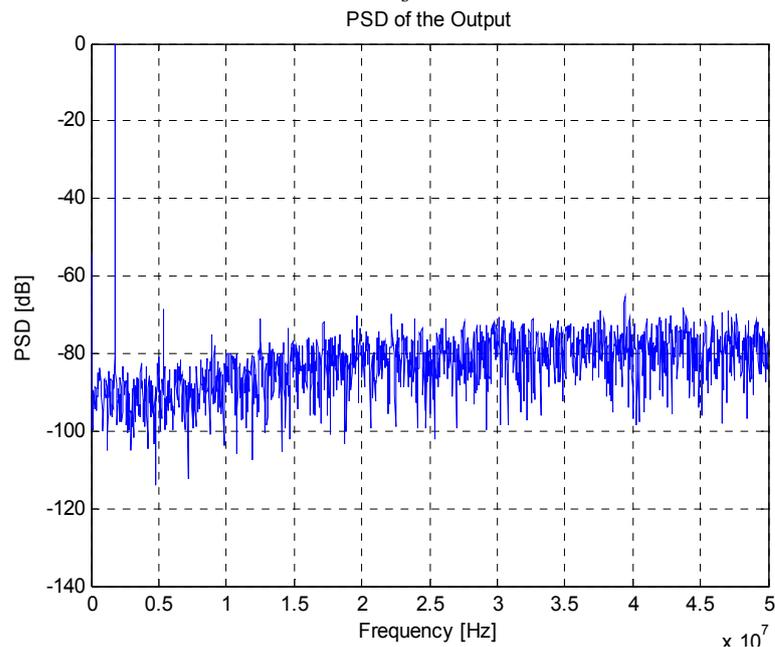


Figure 3.32. FFT du signal de sortie du CAN dans le cas non-idéal montrant l'effet de l'erreur sur la fréquence fondamentale et les autres fréquences avec $F_{in}=1,78\text{MHz}$, $F_s=100\text{MHz}$.

Comme on s'y prévu, les sources significatives du bruit avait un impact sur le signal de sortie du modèle non idéal du CAN pipeline. Il est évident lorsque en ajoutant des erreurs et des variations aux composants du CAN, la puissance de la fondamentale est perturbée, et le niveau du bruit le long de spectres harmoniques augmente de manière significative.

La Figure 3.33 montre les profils simulés DNL et INL d'un CAN 10 bits, y compris les différentes non-idéalités.

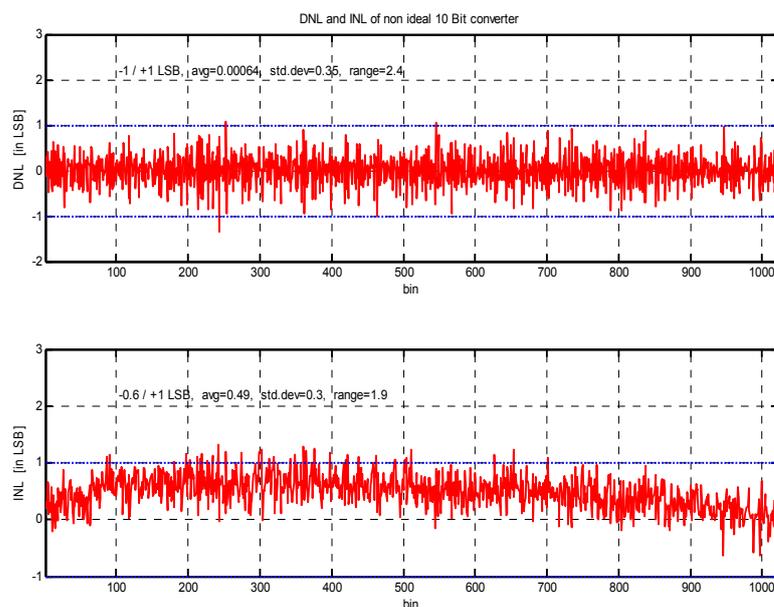


Figure 3.33. DNL et INL du CAN pipeline à 10 bits dans le cas non idéal

Tableau 3.3 Les performances du CAN

Paramètres	Modèle Idéal [74]	Modèle Non-idéal [74]	[62]	[63]
INL (LSB)	-0,3/+0,3	-0.6/+1	-0,6/+0,8	-0,73/+0,73
DNL (LSB)	-0,3/+0,2	-1/+1	-1/+0,7	-1,44/+1,44
SNR (dB)	66,86	63,66	*	*
SFDR (dB)	62,95	59,66	65	64,8
SNDR (dB)	66,87	63,68	54	53,6
Résolution (bit)	10	10	10	10
Technologie	0.18 μ m	0.18 μ m	0.18 μ m	0.18 μ m

Le tableau 3.3 montre les profils de la simulation de DNL (Non-linéarité différentielle) et l'INL (non-linéarité intégrale) et d'autres performances telle que SNR, SNDR (rapport signal-bruit et taux de distorsion) et SFDR (Spurious sans rapport dynamique). La DNL se trouve à -1/+1 LSB, et la INL est -0.6/1 LSB. La SFDR est d'environ -59 dB. On peut remarquer que le SNR se dégrade lorsque les sources de bruit, y compris le jitter d'horloge, le bruit thermique des commutateurs (KT/C) et les non-idéalités de l'ampli-op (gain fini, bande passante finie, et la vitesse de balayage) sont ajoutées dans le modèle non idéal du CAN. D'après les résultats de simulation l'accord de entre le modèle idéal du CAN et le modèle non-idéal du CAN est perceptible (Fig.3.30).

La comparaison des performances de notre modèle comportemental [74] (SNR, SNDR, INL, etc.) à d'autres modèles comportementaux actuels n'est pas simple parce que très peu de travaux peuvent être trouvés dans la littérature dans ces dernières années, qui ont des résultats de simulation non comparables [64, 65], puisque ces travaux comportent seulement des modèles idéals [65] ou quelque source de bruits [64].

Une comparaison entre notre modèle comportemental, y compris les principaux effets non-idéals, et des CAN réels [62, 63] peut-être vue dans le tableau 3.3. Il y a une bonne adéquation entre le modèle proposé et les CAN réels avec un peu de différence pour SNDR et SFDR. Ce qui prouve la justesse de nos modèles comportementaux. Le tableau 3.3 résume les performances simulées du CAN.

La méthode de modélisation comportementale offre un temps de simulation raisonnable, ce dernier en effet de quelques secondes pour une simulation comportementale. Il est de 100 fois supérieur pour la simulation électrique.

III.4. CONCLUSION

La clé de l'outil de synthèse proposé est une modélisation comportementale qui nous permet d'estimer avec précision la performance du CAN pipeline. Un simulateur comportemental rapide et précis du convertisseur pipeline a été mis au point. Il a été intégré dans l'interface Matlab-Simulink, l'outil fournissant une grande flexibilité, et faible coût de calcul. Il comprend un ensemble de modèles comportementaux pour les blocs de construction de base du convertisseur pipeline, un ensemble de blocs de la bibliothèque Simulink, et un ensemble de routines de post-traitement, ce sont les contributions principales de ce travail.

Nous avons présenté dans ce chapitre quelques paramètres qui traduisent les effets non idéaux correspondant à l'implémentation physique du circuit. Le concept de base du CAN pipeline est introduit. Un modèle comportemental complet impliquant l'outil Simulink, y compris les non-linéarités principales dans le pipeline ADC, est construit. En outre, ces non-linéarités sont également expliquées dans un langage simple. Enfin, le calcul de spécification des éléments-clés est présenté. Toutes les connaissances présentées dans ce chapitre sont fondamentales et importantes concernant la conception du circuit CAN pipeline. D'après le tableau 3.1, nous pouvons observer que les spécifications requises pour les amplificateurs opérationnels ont un grand défi. Les performances des amplificateurs opérationnels limiteront celles du CAN entier. Par conséquent, si nous voulons améliorer les performances du CAN pipeline, la limitation sur les amplificateurs opérationnels doit être conquise en utilisant une technique de pointe. Nous avons montré que ces effets dégradent les performances globales du convertisseur pipeline. Ces modèles vont nous permettre, de trouver les performances que doivent atteindre les différents blocs pour que les spécifications de performances au niveau système soient respectées.

Chapitre 4

Optimisation du CAN pipeline par les algorithmes génétiques

IV.1. INTRODUCTION

De nos jours, les progrès réalisés dans la technologie VLSI conduisent à l'intégration complète des circuits analogiques/numériques mixtes [84]. La conception des circuits analogiques est un travail difficile et fastidieux en raison du grand nombre de paramètres, contraintes et performances que le concepteur a à traiter [85]. La conception de la partie analogique d'un circuit électronique complexe de signal mixte [86, 87] nécessite une longue période de temps de conception de l'ensemble, même si la partie analogique ne représente qu'une petite fraction du circuit. Contrairement à son homologue numérique, le domaine de la conception analogique n'est pas béni avec de puissants outils qui simplifient le processus de conception [88]. Le rôle des techniques de CAO pour l'analyse et l'optimisation de circuit est devenu essentiel pour obtenir des solutions qui satisfont aux performances requises par l'effort minimal de temps [89]. En raison de la complexité des circuits analogiques, des algorithmes d'optimisation globaux et locaux doivent être largement utilisés pour trouver un ensemble de solutions réalisables qui satisfaisaient à tous les objectifs et les contraintes requises par une application donnée [90].

La conception des convertisseurs analogiques-numériques nécessite l'utilisation de différents types d'amplificateurs, notamment: suiveur de tension, les convoyeurs de courant, amplificateurs opérationnels et des amplificateurs opérationnels de rétroaction de courant. Pour améliorer les performances de ces applications, il est très nécessaire d'optimiser le comportement des amplificateurs opérationnels. De cette façon, ce travail montre l'optimisation de ces circuits clés dans le CAN pipeline en appliquant les algorithmes évolutionnaires (AE) [85]. Ce chapitre, présente les caractéristiques des algorithmes génétiques multiobjectifs pour contribuer à résoudre le problème dimensionnement des circuits intégrés analogiques [91, 92]. Fondamentalement, une approche GA recherche la

largeur (W) et la longueur (L) optimales des transistors MOSFET de l'amplificateur opérationnel pour accomplir les spécifications cible [93, 94].

Pour pouvoir réaliser le système au niveau électrique, il est évidemment primordial de dimensionner les différents blocs le constituant. À ce niveau les performances de chaque bloc deviennent les contraintes à respecter, Ils sont liés par un jeu d'équations qui dépend des caractéristiques considérées (gain, SR, etc.). Le jeu d'équations étant non linéaire, il n'existe pas de méthode analytique systématique pour le résoudre. De plus, sa solution n'est pas unique. Pour cette raison on fait appel à un optimiseur qui va permettre d'automatiser la résolution du jeu d'équations (synthèse des circuits analogiques). Il est important de noter que, lors de la conception de circuits analogiques, des compromis sont faits car il y a de nombreux paramètres de performances utilisés pour les décrire. Les relations non-linéaires entre eux rendent leur conception plus délicate.

IV.2. LES ALGORITHMES GENETIQUES (GA)

Dans la nature, dans une population un individu est en concurrence avec chacun des autres individus pour les ressources virtuelles, comme la nourriture, le logement et ainsi de suite. Toujours dans la même espèce, les individus en concurrence pour attirer les femelles pour la reproduction. Grâce à cette sélection, les individus mal performants ont moins de chances à survivre, et les individus la plus adaptée ou «en forme» produisent un nombre relativement important de progéniture. Il peut également être noté que pendant la reproduction, une recombinaison des bonnes caractéristiques de chaque ancêtre peut produire une progéniture de "meilleur fitness" dont sa forme est supérieure à celle du parent. Après quelques générations, les espèces évoluent spontanément à devenir de plus en plus adaptés à leur environnement [95].

En 1975, Holland a développé cette idée dans son livre «L'adaptation des systèmes naturels et artificiels". Il a décrit comment appliquer les principes de l'évolution naturelle aux problèmes d'optimisation et construit les premiers algorithmes génétiques. La théorie de Hollande a été développée et maintenant les Algorithmes Génétiques (AG) se lever comme un outil puissant pour résoudre des problèmes de recherche et d'optimisation. Les algorithmes génétiques sont basés sur le principe de la génétique et de l'évolution [95].

IV.2.1. C'est quoi un Algorithme Génétique?

Un algorithme est une série des étapes pour résoudre un problème. Un algorithme génétique est une méthode de résolution des problèmes qui emploie la génétique en tant que

son modèle de la résolution des problèmes. C'est une technique de recherche pour trouver les solutions approximatives aux problèmes d'optimisation et de recherche [95].

Les algorithmes évolutionnaires sont une classe des algorithmes d'intelligence artificielle qui utilisent la notion de sélection naturelle pour résoudre les problèmes de recherche et d'optimisation. Les algorithmes génétiques (AG) sont une classe spéciale des algorithmes évolutionnaires, définis par leurs pionniers [96] comme "des procédures de recherche probabilistes conçues pour travailler sur de grands espaces impliquant des états qui peuvent être représentés par des chaînes." Aussi simple que cela puisse paraître, les algorithmes génétiques sont extrêmement puissants et peuvent être appliqués sans modification beaucoup à une large classe de problèmes. Ils surmontent plusieurs problèmes associés aux autres techniques de recherche, comme la convergence ne dépend pas fortement de la solution choisie initiale; l'algorithme dispose de mécanismes pour ne pas se coincer au niveau d'optima -local; les espaces de recherche discrets, bruyants, et dynamiques sont efficacement traités, et l'algorithme peut facilement être mis en parallèle [97].

Un algorithme génétique est une procédure itérative qui se compose d'une population d'individus de dimension constante, chacun représenté par une chaîne finie de symboles, connue sous le génome, codant pour une solution possible au problème d'un espace donné, cet espace, appelé l'espace de recherche, comprend toutes les solutions possibles au problème à résoudre. La figure 4.1, présente les niveaux d'organisation d'un algorithme génétique.

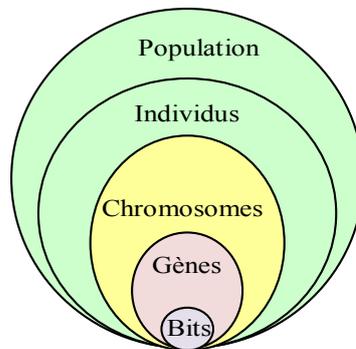


Figure 4.1. Les cinq niveaux d'organisation d'un algorithme génétique

De manière générale, l'algorithme génétique est appliqué à des espaces qui sont trop grands pour être exhaustivement recherchés. L'alphabet de symbole utilisé est souvent binaire, même si d'autres représentations ont également été utilisées, compris l'encodage basé sur des caractères, encodage à valeurs réelles et notamment les représentations d'arbre [98].

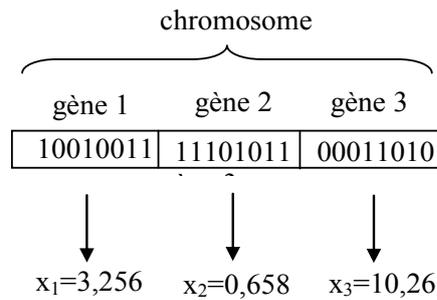


Figure 4.2. Illustration schématique du codage des variables réelles

Fitness

Le fitness d'un individu dans un algorithme génétique est la valeur d'une fonction objective pour son phénotype. Pour le calcul de fitness, le chromosome doit d'abord être décodé et la fonction objective doit être évaluée. Le fitness indique non seulement la façon dont la solution est bonne, mais correspond aussi à quel point le chromosome est la solution optimale [95].

Populations

Une population est un ensemble d'individus. Une population se compose d'un certain nombre d'individus testés, les paramètres de phénotype définissant les individus et quelques informations sur l'espace de recherche. Les deux aspects importants de population utilisés dans les algorithmes génétiques sont les suivantes [95]:

1. la génération de la population initiale.
2. la taille de la population.

Population	Chromosome 1	11100010
	Chromosome 2	01111011
	Chromosome 3	10101010
	Chromosome 4	11001100

IV.2.2. Le fonctionnement des algorithmes génétiques

Les algorithmes génétiques commencent avec une population initiale d'individus générés au hasard. Chaque individu de la population représente une solution possible au problème en train d'étudier [99]. Les individus évoluent à travers des itérations successives, appelées générations. Au cours de chaque génération, chaque individu de la population est évalué en utilisant une certaine mesure de fitness. Puis, la population de la prochaine génération est créée par les opérateurs génétiques. La procédure se poursuit jusqu'à ce que la condition

d'arrêt soit satisfaite. Le cadre général des algorithmes génétiques est décrit comme suit [99], où $P(t)$ désigne la population de la génération t :

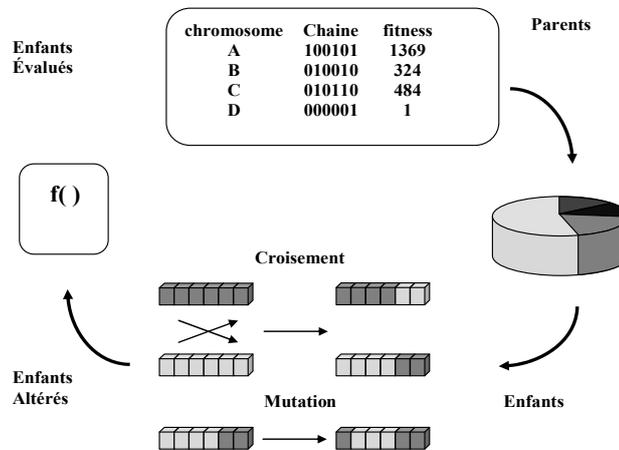


Figure 4.3. Flux de base d'un algorithme évolutionnaire

Procédure : Algorithmes génétiques

```

begin
  t:=0;
  initialize P(t);
  evaluate P(t);
  while (not termination condition) do
    begin
      t:=t+1;
      select P(t) from P(t-1);
      alter P(t);
      evaluate P(t);
    end
  end
end

```

Pour expliquer les procédures fondamentales des algorithmes génétiques, considérons une population qui se compose de N individus représentant des solutions possibles à un problème. Dans les algorithmes génétiques, un individu dans une population est représenté par une chaîne S de longueur n comme suit:

$$S = S_1 S_2 \dots S_j \dots S_n \quad (4.1)$$

La chaîne S est considérée comme un chromosome qui comprend n gènes. Le caractère S_j est un gène au locus j , et les différentes valeurs d'un gène sont appelées allèles. Le

chromosome S est appelé le génotype d'un individu, le x correspondant à une chaîne S est appelé le phénotype. Habituellement, on suppose d'établir une correspondance un-à-un entre les génotypes et les phénotypes. La projection (mapping) des phénotypes aux génotypes est appelé un codage, et la projection des génotypes aux phénotypes est appelé un décodage [99].

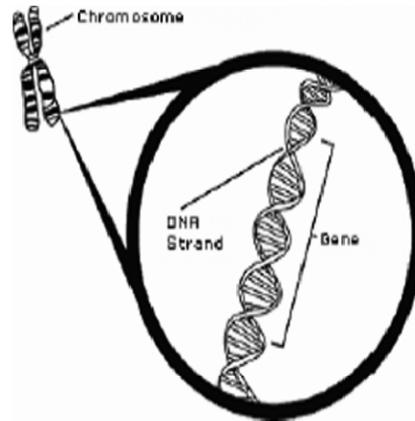


Figure 4.4. Modèle d'un chromosome [95].

La fonction fitness ou de forme est le lien entre les algorithmes génétiques et le problème à résoudre. Dans les problèmes de maximisation, la fonction fitness d'une chaîne S est habituellement gardée la même valeur que la fonction objective $f(x)$ de ses x phénotype. Dans les problèmes de minimisation, la fonction fitness d'une chaîne S devrait augmenter à mesure que la valeur de la fonction objective $f(x)$ de ses phénotypes x baisse. Ainsi, dans des problèmes de minimisation, la chaîne avec la valeur de la fonction objective plus petite a un fitness plus grand. À travers les trois opérateurs génétiques principaux avec la fonction fitness, la population $P(t)$ à la génération t évolue pour former la population suivante $P(t+1)$. Après un certain nombre de générations, les algorithmes convergent vers la meilleure chaîne s^* , ce qui on espère représente l'optimale ou la solution optimale approximative x^* du problème d'optimisation [99].

Les trois opérateurs génétiques principaux, reproduction, croisement et mutation sont généralement utilisés pour créer la prochaine génération.

Reproduction (sélection):

Sélection: la première étape consiste à sélectionner des individus pour la reproduction. Cette sélection se fait au hasard avec une probabilité en fonction de fitness relative des individus de telle sorte que les meilleurs sont souvent choisis pour la reproduction que les mauvais [95].

Selon les valeurs de fitness, le nombre des descendants pour chaque individu de la population $P(t)$ augmente ou diminue. Les descendants sont produits par les individus sélectionnés. Pour former une nouvelle population (la génération suivante), les individus sont sélectionnés en fonction de leur fitness. De nombreuses procédures de sélection sont en cours d'utilisation, l'un des plus simples étant la sélection proportionnelle au fitness d'origine d'Holland, où les individus sont sélectionnés avec une probabilité proportionnelle à leur forme relative. Cela garantit que le nombre attendu de fois qu'un individu est choisi est approximativement proportionnelle à sa performance par rapport à la population. Ainsi, les individus de fitness- élevée («bonne») ont une meilleure chance de «reproduire», tandis que ceux de fitness -basse sont plus probables de disparaître [98]. Il existe de multiples heuristiques de sélection, dont les plus connues, la roulette pipée, le reste stochastique, le tournoi et la sélection par rang.

Croisement: est la sélection de deux individus distincts de la population de manière aléatoire et le changement d'une partie des chaînes entre les deux individus avec une probabilité égale au taux de croisement P_c . Le croisement est effectuée avec une probabilité P_c (la «probabilité de croisement» ou «taux de croisement») entre deux individus sélectionnés, appelés parents, en échangeant des parties de leurs génomes (c.à.d l'encodage) pour former deux nouveaux individus, appelés enfants; les sous-chaînes dans leurs formes les plus simples, sont échangées après un point de croisement choisi au hasard [98]. Cet opérateur tentait de permettre au processus évolutif de se déplacer vers les régions «prometteuses» de l'espace de recherche.

Plusieurs types de techniques de croisement ont été proposés, les principaux techniques considérées dans la littérature sont limitées: un croisement à un seul point, un croisement à deux points, multipoints, variable à variable, uniforme et adaptative.

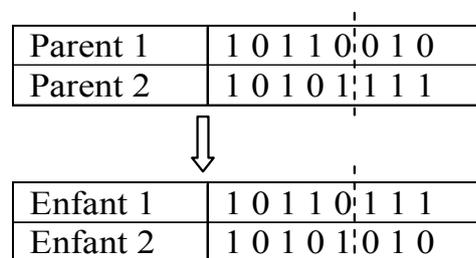


Figure 4.5. Le croisement à un seul point

La figure 4.5 ci-dessus, illustre le croisement à un seul point et il peut être observé que les bits à côté du point de croisement sont échangés pour produire des enfants.

Mutation: est la modification d'un ou plusieurs gènes d'un individu choisi avec une probabilité égale au taux de mutation P_m . L'opérateur de mutation est introduit pour éviter une convergence prématurée vers un optimum local par un échantillonnage aléatoire de nouveaux points dans l'espace de recherche. Elle est réalisée en inversant les bits au hasard, avec une certaine probabilité P_m (petit) [98].

Il existe plusieurs stratégies (Mutation Binaire, Mutation à Valeur Réel, Saut de bit, Frontière, Non Uniforme, Uniforme, Gaussienne,...etc.) pour mettre en œuvre une mutation dans les algorithmes génétiques. Tous les impliquer changeant aléatoirement les chromosomes de la population mère en quelque sorte lors de la création de la population enfantine de ces chromosomes.

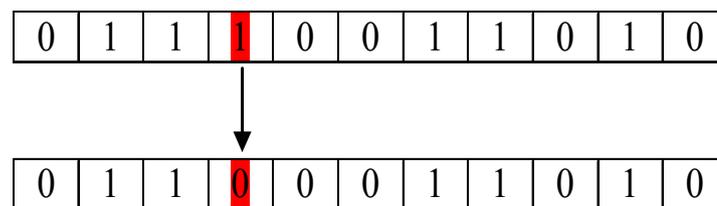


Figure 4.6. Mutation sur un échantillon d'un chromosome, chaque bit est soit basculée ou laissées intactes en fonction de la probabilité de mutation P_m

La mutation dans un chromosome binaire codé peut être simplement définie comme aléatoire " Saut de bit" dans la valeur codée (Figure IV.6).

La probabilité d'effectuer une opération de croisement est choisi de manière telle sorte que la recombinaison des chaînes possibles (individus en forme extrêmes) augmente sans interruption. En général, le taux de croisement se situe entre 0,6 et 0,9. Depuis la mutation se produit de temps en temps, il est clair que la probabilité d'effectuer une opération de mutation sera assez faible. En règle générale, le taux de mutation se situe entre 0,001 et 0,01.

Condition d'arrêt

Les algorithmes génétiques sont des processus stochastiques itératifs qui ne sont pas garantis à converger; la condition d'arrêt peut être spécifiée comme un nombre maximal fixe, de générations ou l'obtention d'un niveau de fitness acceptable [98].

Après les discussions précédentes, la procédure de base des algorithmes génétiques peut être résumée comme suit [99]:

Procédure fondamentale des algorithmes génétiques

-Étape 0: (Initialisation)

Générer N individus aléatoire pour former la population initiale $P(0)$. Régler l'indice de génération $t := 0$ et déterminer la valeur maximale de la génération T .

↯ **Étape 1: (évaluation)**

Calculer la valeur de fitness $f(x)$ de chaque individu x de la population $P(t)$.

-Étape 2: (reproduction)

Appliquer l'opérateur de reproduction à la population $P(t)$.

Étape 3: (croisement)

Appliquer l'opérateur de croisement à la population après la reproduction.

↯ **Étape 4: (Mutation)**

Appliquer l'opérateur de mutation à la population après le changement pour créer la nouvelle population $P(t+1)$ de la prochaine génération $t+1$.

-Étape 5: (test de d'arrêt)

Si $t == T$, arrêtez. Ensuite, un individu ayant une fitness maximale obtenue jusqu'ici est considéré comme une solution approchée optimale. Dans le cas contraire, mettre $t := t + 1$ et retourner à l'étape 1.

Ces procédures fondamentales des algorithmes génétiques sont présentées comme un organigramme de la Figure 4.7 suivante [99]:

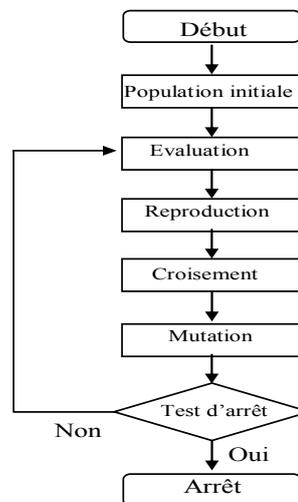


Figure 4.7. Organigramme des procédures fondamentales des algorithmes génétiques

IV.3. L'OPTIMISATION MULTI-OBJECTIVE

La naissance de l'optimisation multi-objectif remonte à un ouvrage de W. Pareto 1906 sur l'économie politique, dans lequel l'auteur définit pour la première fois ce qu'est un optimum multi-objectif. L'application de l'optimisation multi-objectif aux problèmes d'ingénierie remonte, aux alentours de la seconde guerre mondiale, elle est longtemps restée une science « anecdotique » à cause de son aspect hermétique, dû à la nécessité de maîtriser

un bagage mathématique théorique assez important. Un changement radical est apparu récemment avec les métaheuristiques (recuit simulé, algorithmes génétiques, etc.) qui sont des méthodes d'optimisation d'un abord plus facile [100].

Les problèmes d'optimisation issus de problématiques réelles sont la plupart du temps de nature multi-objectif car plusieurs critères sont à considérer simultanément. Optimiser un tel problème relève donc de l'optimisation multi-objective. Les premières études concernant l'optimisation multi-objective transformaient les problèmes multi-objectifs en une succession de problèmes mono-objectifs. Pour cela, un ordre d'importance sur les objectifs pouvait être donné, et l'optimisation consistait à optimiser un objectif sans dégrader les valeurs déjà obtenues pour les objectifs plus prioritaires [101].

Une autre approche consistait à l'optimisation d'une agrégation linéaire des objectifs, chacun pouvant avoir un poids représentant son importance. Lorsque l'on se trouve dans un réel contexte multi-objectif, il n'est pas toujours possible de trouver un ordre d'importance sur les critères. Il est alors nécessaire de rechercher les solutions de meilleur compromis entre les objectifs.

L'optimisation traditionnelle à un seul objectif ne permet pas la concurrence des objectifs multiples pour être pris en compte explicitement, d'ailleurs il ne donne pas la liberté au concepteur de circuit de choisir également des solutions faisables parmi les solutions différentes, [90]. Un grand pas en avant dans cette direction peut être réalisé en utilisant l'approche multi-objective. Cette technique permet aux objectifs différents d'être traités séparément et simultanément pendant le processus d'optimisation [89].

Un algorithme d'optimisation multi objectif doit fournir un ensemble d'individus non dominés (front de Pareto) [90], ou un ensemble de solutions optimales. Générer l'ensemble de Pareto peut être coûteuse en ressources informatiques et il est souvent impossible, parce que l'application subordonnée empêche les méthodes exactes d'être applicable. Un certain nombre de stratégies de recherche stochastiques comme les algorithmes évolutionnaires, la recherche tabou, méthode de recuit simulé, optimisation d'essaim de particules (PSO) et optimisation par colonie de fourmis (ACO) ont été développés. Comme les algorithmes évolutionnaires et particulièrement les algorithmes génétiques sont supposés donner de bons résultats sur des problèmes complexes sans connaissance explicite des interdépendances détaillées impliqués, ils semblent être une tentation choix [95].

IV.3.1. Concept de base de l'optimisation multi-objective

L'optimisation traite des problèmes de minimisation ou maximisation d'une fonction à plusieurs variables généralement soumises à des contraintes d'égalité et/ou d'inégalité. Elle joue un rôle central dans la recherche opérationnelle, la science de la gestion et de la conception technique [95].

L'optimisation est le processus de sélection de la meilleure solution candidate d'une gamme des possibilités, un problème d'optimisation multi-objectifs (Multi-objective Optimization Problem-MOP) peut être formellement définie comme un problème à trouver le vecteur: $X = [x_1, x_2, \dots, x_n]^T$ qui satisfait les contraintes d'inégalité k [85] : en d'autres termes, nous visons à déterminer parmi l'ensemble S de tous les vecteurs (points) qui satisfont les contraintes, ceux qui rapportent les valeurs optimums de toutes les fonctions objectives m simultanément. Les contraintes définissent la région faisable S et n'importe quel point X dans la région faisable s'appelle un point faisable.

IV.3.1.1. Méthodes d'optimisation multi-objective

Il existe un grand nombre de méthodes conventionnelles multi-objective, le premier algorithme génétique multi-objectifs, appelé Vector Evaluated GA (VEGA), a été proposé par Schaffer. Par la suite, plusieurs algorithmes évolutionnaires multi objective ont été élaborés, y compris Multi-objective Genetic Algorithm (MOGA), Niche Pareto Genetic Algorithm (NPGA), Weight-based Genetic Algorithm (WPGA), Random Weighted Genetic Algorithm (RWGA), Nondominated Sorting Genetic Algorithm (NSGA), Strength Pareto Evolutionary Algorithm (SPEA), improved SPEA (SPEA2), Pareto-Archived Evolution Strategy (PAES), Pareto Envelope-based Selection Algorithm (PESA), Region-based Selection in Evolutionary Multiobjective Optimization (PESA-II), Fast Nondominated Sorting Genetic Algorithm (NSGA-II), Multi-objective Evolutionary Algorithm (MEA), Micro-GA, Rank-Density Based Genetic Algorithm (RDGA), et Dynamic Multi-objective Evolutionary Algorithm (DMOEA) [102].

Les approches GA pour résoudre les problèmes multi-objectif peuvent être regroupées en trois catégories principales [103]:

- *Les approches d'agrégation pondérée* où l'objectif est défini comme la somme pondérée des sous-objectifs.
- *Les approches basées sur la population non Pareto*, qui ne font pas usage de la relation de dominance.

- *Les approches basées sur Pareto*, qui s'appliquent la relation de dominance pour trouver une approximation du front de Pareto.

IV.3.1.2. Concept du Front de Pareto

Une solution non dominée (solution optimale de Pareto) est celui dans lequel l'amélioration d'un objectif nécessite la dégradation de l'autre. La solution optimale, c'est-à-dire, la solution non dominée par une autre solution, peut être associée à des vecteurs objectifs différents. En d'autres termes, plusieurs vecteurs objectifs optimaux représentant différents compromis entre les objectifs peuvent exister [104].

le problème de dimensionnement est formulé comme la maximisation ou de minimisation d'un ensemble de n d'objectifs de conception, $f(x) = \{f_1(x), f_2(x), \dots, f_n(x)\}$, où x est le vecteur des variables de conception et chaque $f_i(x)$ est une caractéristique de performance du bloc (comme le gain DC), sous réserve de certaines contraintes (par exemple, vitesse de balayage supérieure à une certaine valeur pour un amplificateur opérationnel) [92].

Un point de conception $a \in X$, est dit qu'il domine un autre point de conception $b \in X$ (dans le cas d'une minimisation d'objectifs), (à noter que $a < b$) si $f(a) \leq f(b)$ et $f_i(a) < f_i(b)$ pour au moins une fonction i . Le point de conception a est dit non dominé s'il n'y a pas d'autre point de conception qui le domine [97]. L'ensemble des points non dominés de l'espace de recherche réalisable entier est connu sous le front de Pareto-optimale. Tous ces concepts sont illustrés dans la Figure 4.8 pour un espace d'objectif bidimensionnelle [104].

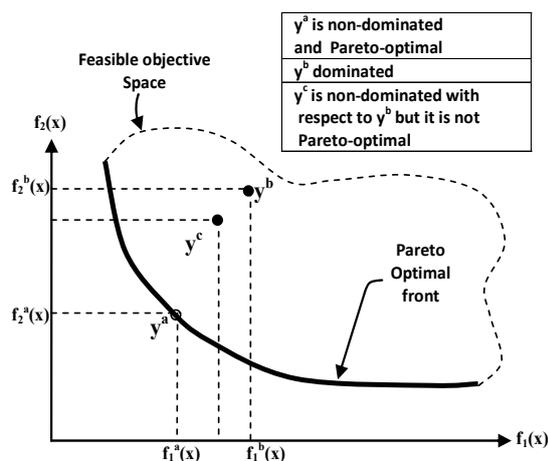
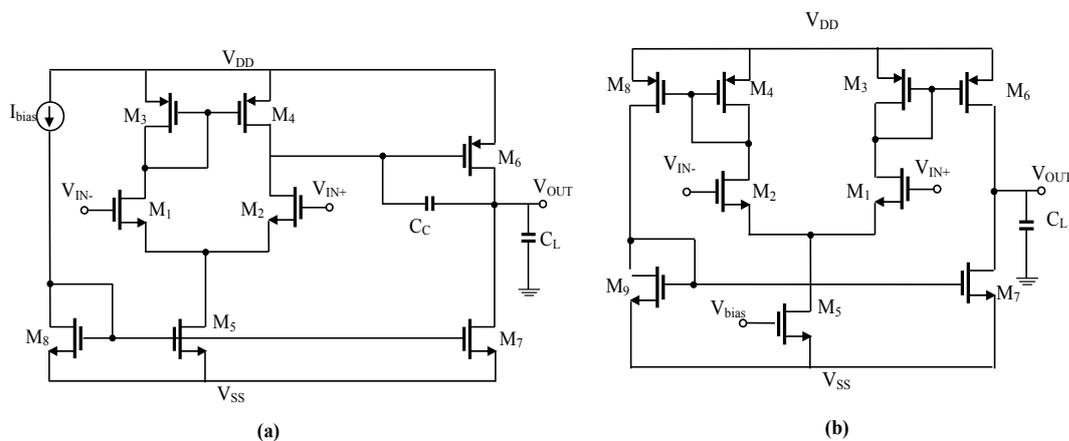


Figure 4.8. Illustration des concepts de la dominance de Pareto et l'optimale de Pareto pour un espace de performance à 2 dimensions [92].

IV.4. OPTIMISATION DES CIRCUITS ANALOGIQUES PAR LES ALGORITHMES GÉNÉTIQUES

Cette section décrit un cas étudié dans laquelle les algorithmes évolutionnaires sont utilisés pour optimiser la partie analogique de circuits VLSI. Bien que constituant qu'une petite partie de la superficie totale des puces modernes, un circuit analogique est généralement le facteur limitant de leur performance globale. La tendance actuelle vers la réalisation des cellules analogiques à faible puissance, de faible surface et de haute vitesse peut augmenter la complexité de la conception analogique VLSI, si les spécifications difficiles doivent être remplies. Ceci constitue la motivation principale de cette application [105].

En particulier, nous ciblons l'optimisation de la conception des amplificateurs opérationnels CMOS (amp-op) et des amplificateurs à transconductance, car ils sont les blocs de construction les plus utilisés dans l'électronique analogique. Comme il deviendra clair, l'optimisation de la conception des amplificateurs opérationnels peut être traitée par les algorithmes évolutionnaires, si elle est interprétée comme une tâche de recherche. En particulier, la nature multi-objectifs de ce problème, où la surface, la vitesse, la consommation d'énergie, et d'autres caractéristiques importantes des puces devraient être prises en considération, tourne les algorithmes de recherche en approche plus adéquate que les outils d'optimisation mathématique [105]. Nous avons développé une approche d'optimisation d'un simple amplificateur opérationnel, basée sur les algorithmes génétiques multi objective (MOGA) [93], et nous décrivons comment la méthode était appliquée pour optimiser quatre types différents d'amplificateur-opérationnel (Fig. 4.9) : un amp-op à deux étages, un ampli-op symétrique, amp-op à replie cascode, et un amp-op télescopique,.



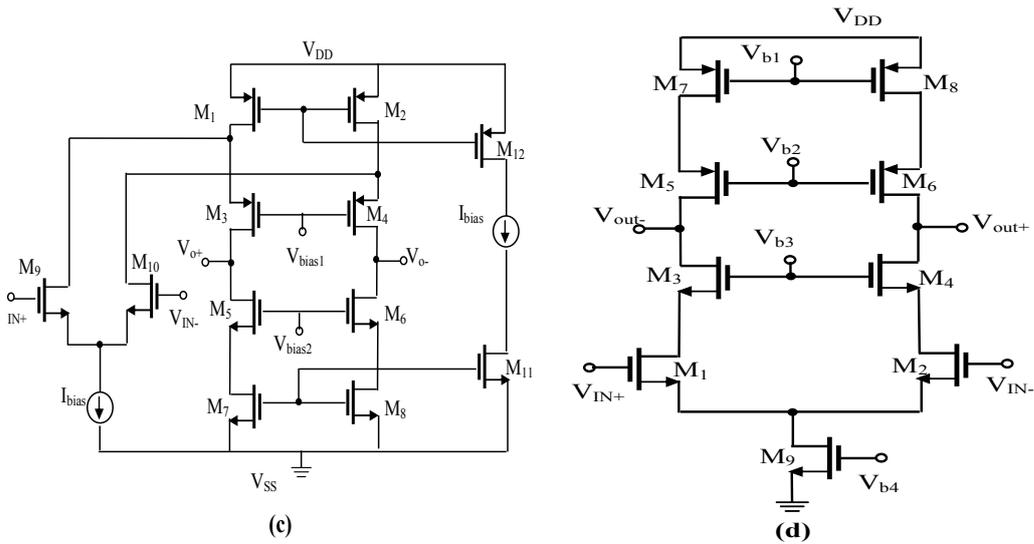


Figure 4.9. Différents topologies d'amp-op optimisés, (a) un amp-op à deux étages, (b) un amp-op symétrique, (c) un amp-op à replie cascode, (d) un amp-op télescopique.

IV.4.1. Les fonctions objectives des amplificateurs opérationnel

La première étape était de déterminer les paramètres de conception pour les quatre topologies d'amplificateurs opérationnels. Les fonctions de performance ou les fonctions objectives pour l'amplificateur opérationnel sont: le gain DC (A_v), le produit gain-bande passante (GBW), la vitesse de balayage (SR), la puissance dissipée (P_{diss}), la marge de phase (PM) et la surface de layout (A) [93].

IV.4.1.1. Amplificateur opérationnel à deux étages

La figure 4.9 (a) présente un amplificateur opérationnel à deux étages, qui est largement utilisé en raison de sa structure simple et robuste. Les équations analytiques des fonctions objectives de l'amplificateur opérationnel sont également présentées comme suit:

1. Le produit gain band passante

Le produit gain bande passante (GBW) de l'amp-op à deux étages est donnée par l'expression [106]:

$$GWB = \frac{gm_1}{C_c} \quad (4.2)$$

2. La marge de Phase

La marge de phase de l'amplificateur opérationnel dépend de la somme des décalages de phase, à la fréquence au gain unité, apporté par les pôles et les zéros non dominants.

$$PM = \pm 180 - \tan^{-1} \left(\frac{GWB}{p_1} \right) - \tan^{-1} \left(\frac{GWB}{p_2} \right) - \tan^{-1} \left(\frac{GWB}{z} \right) \quad (4.3)$$

où GBW est le produit gain bande passante unité, p_1 , p_2 et z sont les pôles et le zéro de la fonction de transfert de l'amplificateur opérationnel en boucle ouverte, respectivement.

3. Le gain DC en boucle ouvert

Pour l'amp-op à deux étages, le gain en tension en boucle ouverte est donnée par [91]:

$$A_V = \frac{g_{m1}}{g_{ds2} + g_{ds4}} \cdot \frac{g_{m6}}{g_{ds7} + g_{ds6}} \quad (4.4)$$

4. La vitesse de balayage

Pour l'amp-op à deux étages, la conditions pour assurer un minimum de vitesse de balayage SR est [106]:

$$SR = \frac{I_5}{C_c} \quad (4.5)$$

5. La puissance consommée

Pour l'amp-op à deux étages la consommation de puissance est de la forme [107]:

$$P = (V_{DD} + (V_{SS})) (I_5 + I_7) \quad (4.6)$$

où V_{DD} et V_{SS} sont les tensions d'alimentation de l'amp-op.

6. La surface de layout

Une expression approchée de la surface A des dispositifs de l'amplificateur opérationnel est donné par la somme des surfaces des transistors [108]:

$$A = \sum_{i=1}^k W_i \cdot L_i \quad (4.7)$$

où W_i et L_i sont la largeur et la longueur du transistor M_i , respectivement.

IV.4.1.2. Amplificateur opérationnel symétrique

Un amplificateur opérationnel symétrique est illustré sur la Figure 4.9 (b) se compose d'une paire différentielle (M_1 , M_2) et de trois miroirs de courant (M_7 - M_9 , M_3 et M_4 - M_6 - M_8). La paire différentielle d'entrée est chargée avec deux miroirs de courant identiques, qui fournissent un gain B en courant.

Le produit gain bande passante (GBW) est donné par l'équation (4.8) ci-dessous [109]:

$$GWB = \frac{B \cdot g_{m1}}{C_{out}} \quad (4.8)$$

Où B est le gain en courant et $C_{out} = C_L + C_{db7} + C_{dg7} + C_{db6} + C_{dg6}$.

La vitesse de balayage de l'amplificateur opérationnel symétrique est donnée par [109]:

$$SR = \frac{B \cdot I_6}{C_{out}} \quad (4.9)$$

Où B est le gain en courant.

Le gain aux basses fréquences est facile à calculer [109]:

$$A_V = \frac{g_{m1}}{g_{m3}} \cdot \frac{g_{m6}}{(g_{ds7} + g_{ds6})} \quad (4.10)$$

L'amp-op symétrique est un cas particulier de l'amp-op à deux étages, la consommation de puissance est calculer de la même façon par l'équation (4.6):

IV.4.1.3. Amplificateur opérationnel cascode replié

La structure de l'amplificateur cascode replié est représentée sur la Figure 4.9 (c). Le produit gain bande passante est donné par l'expression [110]:

$$GWB = \frac{g_{m19}}{C_L} \quad (4.11)$$

Pour l'amp-op cascode replié, le gain en tension en boucle ouverte est donnée par [110]:

$$A_V = \frac{g_{m9} \cdot g_{m6} \cdot g_{m4}}{I_D (g_{m4} \cdot \lambda_n^2 + g_{m6} \cdot \lambda_p^2)} \quad (4.12)$$

où, g_{m4} , g_{m6} et g_{m9} sont respectivement les transconductances de transistors M4, M6 et M9. I_D est le courant de polarisation circulant dans les transistors MOSFETs M4, M6, M9 et. C_L est la capacité au nœud de sortie, et λ_n et λ_p sont les paramètres liés à la modulation de longueur de canal des transistors NMOS et PMOS respectivement.

Pour l'amp-op cascode replié la vitesse de balayage est donnée par

$$SR = \frac{I_{bias}}{C_L} \quad (4.13)$$

La formule de la puissance dissipée par l'amplificateur opérationnel cascode replié est la suivante [111]:

$$P = (V_{DD} + (V_{SS})) (I_{bias} + 2 \cdot I_1) \quad (4.14)$$

IV.4.1.4. Amplificateur opérationnel télescopique

L'amplificateur opérationnel télescopique est montré sur la Figure 4.9 (d). La fréquence au gain unité de l'amp-op télescopique est donné par l'expression [112]:

$$GWB = \frac{g_{m1}}{C_L} \quad (4.15)$$

l'expression du gain DC de l'amp-op télescopique est [112]:

$$A_V = \frac{g_{m1} \cdot g_{m6} \cdot g_{m4}}{I_2 (g_{m6} \cdot \lambda_n^2 + g_{m4} \cdot \lambda_p^2)} \quad (4.16)$$

la vitesse de balayage est donnée par [81]:

$$SR = \frac{I_{bias9}}{C_L} \quad (4.17)$$

Où I_{bias9} est le courant de polarisation dans le transistor M9.

La formule de la puissance dissipée par l'amplificateur opérationnel télescopique est la suivante:

$$P = (V_{DD} + (V_{SS})) (I_{bias9}) \quad (4.18)$$

Pour les trois topologies d'ampli-op: cascode replié, symétrique, et télescopique précédentes, la marge de phase, et la surface sont calculés de la même manière que l'amp- op à deux étages. Donc la marge de phase peut-être calculer de l'équation (4.3); et la surface de layout peut être calculée en utilisant l'équation (4.7).

IV.4.2. L'optimisation multi-objective par les algorithmes génétiques

Nous avons proposé une approche d'optimisation appelée l'Algorithme Génétique Multi-Objectif à Front de Pareto (FPMOGA), l'approche d'optimisation adoptée est hybride, combine les Algorithmes Génétiques et la conception à base de Cadence Virtuoso. Cette méthode présente une option extrêmement puissante pour l'exploration de l'espace de conception. Notre motivation était d'étudier l'efficacité de MOGA en fonction du nombre requis des performances du circuit et le nombre d'objectifs [93].

IV.4.2.1. Le choix de la fonction de fitness

Le choix de la fonction de fitness a un impact majeur sur la convergence du processus d'optimisation. L'approche agrégative consiste simplement en une somme pondérée des sous-objectifs, cette méthode mélange tous les sous-objectifs dans une fonction générale, la fonction objective est traditionnellement définie comme [113]:

$$F = \sum_{i=1}^n \omega_i \cdot f_i \quad (4.19)$$

où ω_i est le poids associé à la i ème fonction objective

Une fois la fonction objective écrite, les contraintes et les conditions définies, le problème d'optimisation indiqué par le système (4.18) est résolu.

Pour optimiser les paramètres de l'amplificateur opérationnel, son modèle doit être implémenté dans la boucle d'optimisation (cf. tableau 1). Nous pouvons choisir, par exemple : de minimiser sa puissance consommée, et la surface, de maximiser son gain, le produit gain bande passante, et la vitesse de balayage. Par conséquent on considère tous les autres paramètres comme contraintes, la tension d'alimentation étant une condition à respecter.

La fonction objective est obtenue basant sur la «méthode de la somme pondérée», comme suit [93]:

$$F = \omega_1 \cdot P_{diss} + \omega_2 \cdot \frac{1}{A_v} + \omega_3 \cdot \frac{1}{SR} + \omega_4 \cdot \frac{1}{GBW} + \omega_5 \cdot \frac{1}{PM} + \omega_6 \cdot A \quad (4.20)$$

où A_v est le gain DC fréquence, GBW est le produit gain-bande passante, SR est la vitesse de balayage, P_{diss} est la puissance dissipée, PM est la marge de phase et A la surface de

layout. Les coefficients $\omega_1, \omega_2, \omega_3, \omega_4, \omega_5$ et ω_6 sont des poids, et ils sont des nombres réels positifs ($0 \leq \omega_i \leq 1$).

IV.4.2.2. Mise en œuvre de l'approche d'optimisation multi-objective

L'optimisation de la conception d'un circuit électronique est une technique utilisée pour trouver les valeurs des paramètres de conception de telle sorte que les performances de circuits finaux répondent aux critères de performances de conception aussi près que possible. Pour résoudre ce problème d'optimisation multi-objectifs, notre approche envisage un algorithme génétique pour trouver ou de rapprocher de l'ensemble de Pareto [93].

Dans la première étape de la stratégie de recherche globale on utilise un algorithme génétique multi-objectif basé sur la méthode front de Pareto pour mise en œuvre l'approche d'optimisation afin d'atteindre les objectifs optimaux du circuit amplificateur opérationnel [93]. Dans la deuxième étape on utilise un simulateur électrique Spectre (niveau transistor) pour implémenter les circuits optimisés précédemment dans la première étape ce qui offre un indice d'efficacité de la méthode d'optimisation proposée.

Mise en œuvre de l'approche d'optimisation sous Matlab

Le cœur de l'algorithme entier est le moteur d'optimisation, notre algorithme d'optimisation est développé en langage Matlab et implémenté dans l'outil d'optimisation MOGA sous Matlab. Un algorithme génétique (GA) est responsable de l'exploration de l'espace de solution dans la recherche des solutions optimales. En règle générale, les meilleurs individus d'une population ont tendance à se reproduire et survivre, par conséquent améliorant les générations successives. Cependant, les individus inférieurs peuvent, par hasard, survivre et se reproduire [93].

Dans notre algorithme la population initiale d'une part est créée à partir de la borne inférieure de vecteurs, à chaque génération, après le calcul des performances de l'ensemble non dominé (Front de Pareto est obtenu pour chaque représentation). Les sous-ensembles de front de Pareto qui satisfont aux conditions du problème sont présentés et nous pouvons choisir la meilleure solution en fonction des besoins de spécification.

Fonctionnement de la procédure d'optimisation

La procédure de notre approche d'optimisation basée sur les algorithmes génétiques multi objectif est présentée dans la Figure 4.10.

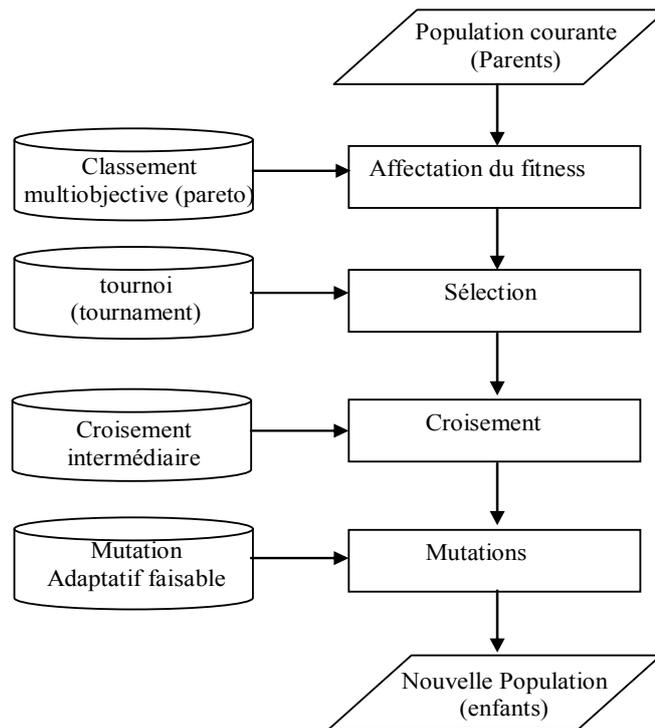


Figure 4.10. Organigramme de l'optimisation par les algorithmes génétiques multi-objectifs.

L'évolution de la population commence par l'initialisation aléatoire. Chaque individu de la population actuelle reçoit une probabilité de reproduction en fonction de ses propres valeurs de la fonction objective et les valeurs de la fonction objective de tous les autres individus dans la population actuelle.

Pour la sélection, notre approche utilise, la méthode du tournoi (tournament). La recombinaison produite de nouveaux individus en combinant les informations contenues dans deux ou plusieurs parents. Pour nos vraies variables évaluées la méthode de recombinaison intermédiaire a été choisie. Les individus sont aléatoirement modifiés. Le taux de mutation est de $1/m$ (m : nombre de variables d'un individu), Cela signifie que la mutation par une seule variable par personne est modifié/mutée.

Notre première expérience d'optimisation commence avec l'amplificateur opérationnel en deux étages, le problème d'optimisation est formulé comme un problème de six objectifs et 14 variables comme il est présenté dans l'équation précédente (4.18). Ensuite, nous avons étendu nos expériences avec d'autres l'architecture de l'amplificateur opérationnel comme symétrique, cascode replié et télescopique. Chaque circuit ampli-op (Figure IV.9) est conçu pour un ensemble d'exigences: en utilisant les paramètres de conception (taille des transistors, et un courant de polarisation I_b). Dans le programme, chaque individu est présenté par une

chaîne de code binaire. Dans le cas de l'amp-op à deux étages d'après la Figure 4.9 (a), nous pouvons voir qu'il y a 8 transistors et un condensateur miler à régler. Comme il existe un total de 14 paramètres à ajuster et chaque gène du chromosome représente un paramètre. Ainsi, le vecteur de paramètres est comprimé à [93]: $[W_1, L1, W_3, L_3, W_5, L_5, W6, L6, W7, L7, W8, L8, C_c, I_{bias}]$.

IV.5. LES RESULTATS D'OPTIMISATION

Six paramètres de performance sont pris en compte dans le processus d'optimisation. Ils sont le gain en continu, la bande passante du gain unitaire, la marge de phase, la surface, la puissance et la vitesse de balayage. Le processus d'optimisation optimise l'individu pour améliorer son score de fitness. Ce processus se poursuivra jusqu'à ce que le nombre total des générations soit atteint.

Figure 4.11 montre la variation de la fonction objective globale normalisée en fonction du nombre de générations dans le cas d'un amp-op à deux étages où la fonction objective minimale peut être atteinte pour 100 itérations. Comme on peut le voir l'algorithme est convergent au point optimisée, après 85 générations. Ainsi, toutes les spécifications indiquées sont satisfaites et la fonction totale de fitness est égale à 0,37.

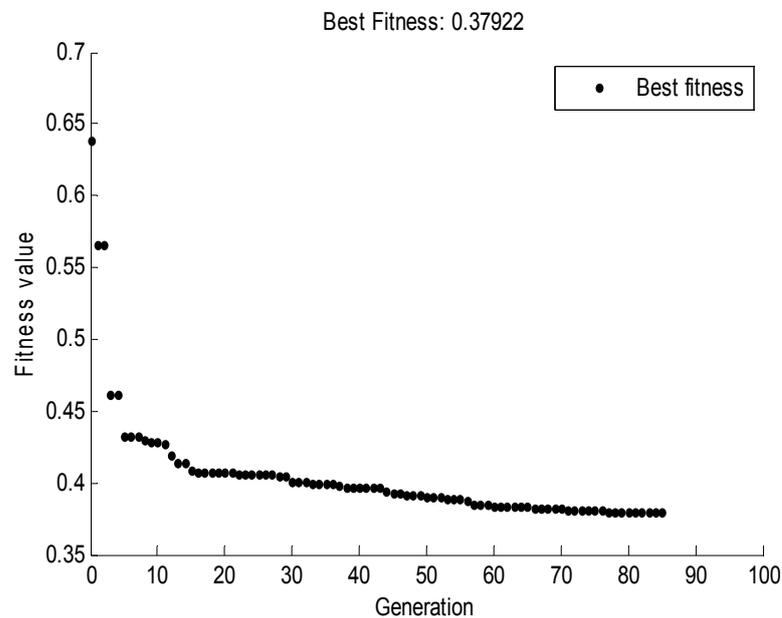


Figure 4.11. les solutions Pareto optimales d'un problème de conception de deux objective dans un espace de conception optimale possible après 100 populations.

L'une des interprétations les plus intéressantes que l'on peut avoir des solutions Pareto obtenus est de comprendre la relation entre les différents objectifs lorsque les paramètres de conception varient dans l'espace de conception [93].

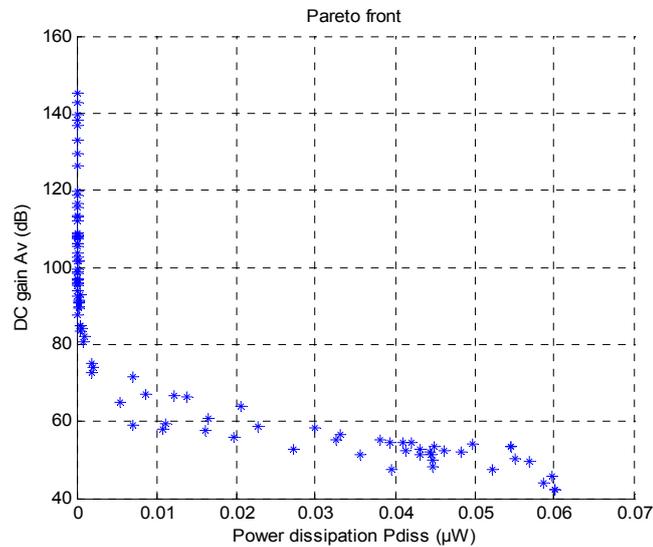


Figure 4.12. Solutions Pareto optimales pour les deux objectifs ; la puissance dissipée et le gain DC après 208 itérations.

La Figure 4.12 indique une relation directe entre gain DC et la puissance dissipée. On peut en conclure que l'ampli op consomme trop de puissance, si le gain est trop petit.

La Figure 4.13 indique une relation directe entre le produit bande passante gain et la puissance dissipée dans le cas d'un amp-op à deux étages. On peut en conclure que plus la bande passante augmente, conduire à une augmentation plus de la consommation de puissance. Ainsi, sur la base des exigences de conception, le concepteur peut sélectionner chacun des résultats optimaux au sens de Pareto [93].

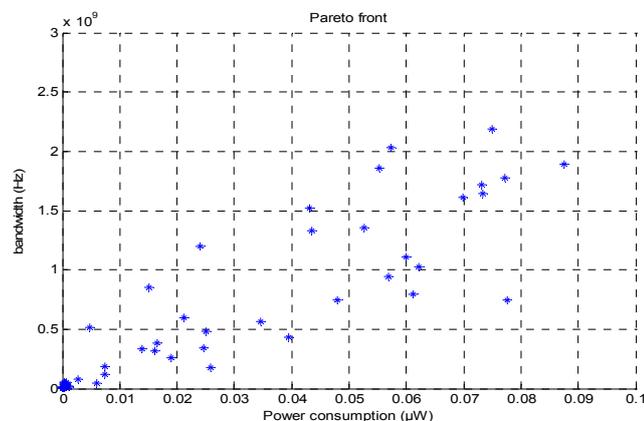


Figure 4.13. Solutions Pareto optimales pour les deux objectifs la bande passante et la puissance dissipée

La Figure 4.14 montre les solutions Pareto non-dominées dans les quatre différentes topologies d'amp-op.

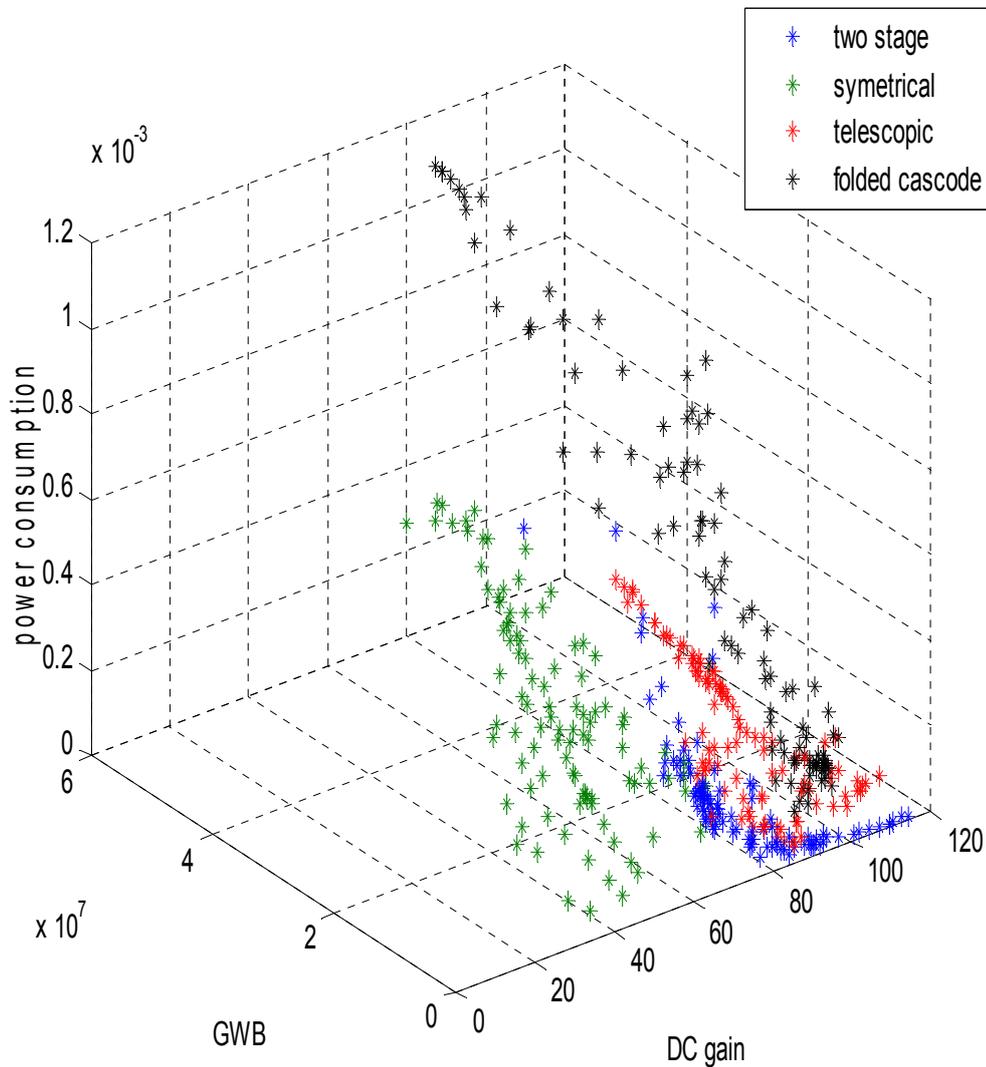


Figure 4.14. Solutions Pareto optimales dans les différentes topologies d'ampli-op.

Les résultats présentés dans la Figure 4.14 représentent respectivement les performances obtenues dans les quatre topologies de l'amplificateur opérationnel pour différentes contraintes et différentes conditions. Seules celles satisfaisant aux contraintes seront analysées. Comme on peut le voir à cause de l'analyse des contraintes, les paramètres optimaux de performance sont validés dans tous les circuits amplificateurs opérationnels répondant aux exigences de conception.

Les paramètres de conception optimaux trouvés de l'amp-op à deux d'étage sont présentés dans le tableau 4.1 [93].

Tableau 4.1 Les performances optimaux du l'amp-op à deux étages[93].

Variable	Valeur
$W_1=W_2$ (μm)	1,34
$L_1=L_2$ (μm)	1,5
$W_3=W_4$ (μm)	8,5
$L_3=L_4$ (μm)	1,11
W_5 (μm)	1,4
L_5 (μm)	0,44
W_6 (μm)	48
L_6 (μm)	0,92
W_7 (μm)	6
L_7 (μm)	0,8
W_8 (μm)	23,5
L_8 (μm)	0,68
C_c (pF)	1,5
I_{bias} (μA)	50

Les résultats du programme d'optimisation conduire à un ensemble de solutions optimales. Les valeurs Pareto optimales des paramètres de la conception pour quatre topologies d'amp-op, sont indiquées dans le tableau 4.2 – 4.5.

Tableau 4.2 Résultats d'optimisation et conception de l'amp-op à deux étages [93].

Performance	Spec	MOGA	Spectre	[108]	[106]
Gain DC (dB)	≥ 70	96	87	80	78,38
Produit gain bande passante (MHz)	Max	2,5	1,11	9	12,2
Marge de Phase ($^\circ$)	≥ 60	70	64	60	62
Vitesse de balayage (V/ μs)	Max	2,25	2,19	10	5,5
Surface (μm^2)	Min	89	89	500	236,25
Puissance (mW)	$\leq 0,5$	0,047	0,051	2500	0,060
Technologie (μm)	0,18	0,18	0,18	0,25	0,18

Tableau 4.3 Résultats d'optimisation et conception de l'amp-op Symétrique

Performance	Spec	MOGA	Spectre	[108]	[109]
Gain DC (dB)	≥ 40	60	48	40	40,2
Produit gain bande passante (MHz)	Max	7,3	6,22	25	10
Marge de Phase ($^\circ$)	≥ 60	73	64	53	75
Vitesse de balayage (V/ μs)	Max	3,6	3,11	48	5,7
Surface (μm^2)	Min	361	361	300	/
Puissance (mW)	$\leq 0,5$	0,097	0,1026	0,75	/
Technologie (μm)	0,18	0,18	0,18	0,25	0,18

Tableau 4.4 Résultats d'optimisation et conception de l'amp-op cascode replié

Performance	Spec	MOGA	Spectre	[108]	[110]
Gain DC (dB)	≥ 70	84	70	70	75,57
Produit gain bande passante (MHz)	Max	1,56	1,06	50	19,14
Marge de Phase (°)	≥ 60	70	88	60	67
Vitesse de balayage (V/ μ s)	Max	4.53	5.5	50	3.3
Surface (μ m ²)	Min	140	140	720	/
Puissance (mW)	$\leq 0,5$	0,244	0,237	0,94	0,60
Technologie (μ m)	0,18	0,18	0,18	0,25	0,25

Tableau 4.5 Résultats d'optimisation et conception de l'amp-op télescopique

Performance	Spec	MOGA	Spectre	[108]
Gain DC (dB)	≥ 70	88	77	80
Produit gain bande passante (MHz)	Max	1.88	1.31	33
Marge de Phase (°)	≥ 60	69	88	60
Vitesse de balayage (V/ μ s)	Max	5	7.6	22
Surface (μ m ²)	Min	184	184	440
Puissance (mW)	≤ 0.5	0.082	0.090	0.1
Technologie (μ m)	0.18	0.18	0.18	0.25

Les résultats donnés dans les quatre tableaux (4.2–4.5) représentent respectivement les dimensions et les performances des amplificateurs opérationnels obtenues pour différentes contraintes et différentes conditions. Avec les contraintes imposées à l'optimiseur, les résultats satisfaisants (aspects de gain GWB et PM) sont obtenus. Même l'optimiseur arrive à minimiser la puissance consommée et la surface de layout. En comparant par exemple ampli-op à deux étages [93] avec la conception présentée dans [109] la conception de Pareto obtenus a conduit aux meilleurs aspects (gain de 96dB, GBW de 2,5MHz, et avec une capacité de charge de 5pF). Pour avoir une comparaison des résultats obtenus à partir de notre outil de CAO conçu avec [106, 108-110], l'indicateur étalon de performance des amp-ops est illustrée dans les tableaux 4.2-4.5.

Les valeurs trouvées méthode précédente de la vitesse de balayage et le produit gain band passante par la pour les différents amplificateurs opérationnels, sont très petites par rapport aux valeurs trouvées dans [106, 108-110], cet écart est le prix à payer pour une faible puissance, une petite surface, un gain raisonnable, et une grande stabilité, ainsi cet effet est dû

à la nature de la méthode de Pareto, la domination d'une objective influe sur les autres, une amélioration de l'approche est préférable pour remédier à ce problème.

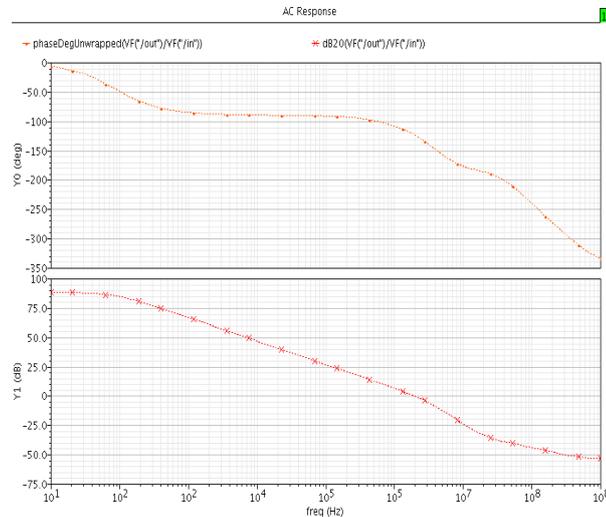


Figure 4.15. réponse fréquentiel de l'amp-op à deux étages.

Figure 4.15 montre les courbes de Bode de l'amplitude et la phase de la sortie de l'amplificateur opérationnel à deux étages [93].

L'optimisation devient exploitable à partir ce premier dimensionnement de l'amplificateur pour préciser les spécifications et permettre sa synthèse. Notre approche développée peut-être exploitée pour optimiser les autres blocs de CAN pipeline, la difficulté dans un processus d'optimisation est l'écriture de la fonction objective, le choix des contraintes des paramètres, des conditions et des constantes. Il est important de comprendre qu'à ce niveau de conception nous sommes contraints d'écrire la fonction objective en fonction des paramètres des blocs constituant le CAN.

IV.6. CONCLUSION

Le dimensionnement des blocs d'un CAN pipeline est un problème d'optimisations multi-objectives. Pour optimiser les paramètres de l'amplificateur opérationnel son modèle doit être implémenté dans la boucle d'optimisation. Il dépend directement des caractéristiques considérées. Ce travail montre l'utilité d'un algorithme évolutionnaire en matière d'automatisation de la conception électronique en utilisant des algorithmes nommés MOGA, qui ont la capacité de traiter un problème d'optimisation multi-objectifs, avec deux ou plusieurs objectifs et en tenant compte aussi des contraintes. Par la suite, l'optimisation du premier circuit a été réalisée en optimisant six objectifs et quatorze variables de conception.

Dans ce cas, MOGA trouvé les meilleurs résultats dans chaque objectif. L'optimisation du deuxième circuit a été réalisée sur un amp-op symétrique par la manipulation de onze variables de conception. Le troisième circuit a été optimisée est un amp-op cascode replié, qui fonctionne avec six objectifs, par la manipulation de onze variables de conception. Enfin, un amp-op télescopique a été optimisé avec six objectifs, par la manipulation de onze variables de conception. En général, pour les quatre circuits, l'approche MOGA présentait les meilleures valeurs optimales. L'algorithme évolutionnaire qu'il est utilisé ici été mis en œuvre dans Matlab et le système a la capacité de travailler avec un grand nombre de transistors et il est possible de travailler avec une technologie de dimensions différentes ($0,5\mu\text{m}$, $0,35\mu\text{m}$ et $0,18\mu\text{m}$ ou d'autres dimensions) pour explorer la meilleure conception. En outre, il est possible de définir les limites de l'espace de recherche afin de s'assurer que les solutions optimales sont réalisables. Une approche innovante d'optimisation des circuits analogiques basée sur un algorithme génétique multi-objectif à été présentée. L'approche proposée "GA", obtient de bons résultats par rapport aux approches GA traditionnels standards. Les résultats montrent une réduction importante en termes de nombre d'évaluations de la fonction de fitness et, aussi, le nombre de générations nécessaires pour atteindre la solution recherchée. Le temps supplémentaire requis pour atteindre la solution n'est pas pertinent si l'on considère le temps nécessaire pour effectuer le nombre additionnel de simulation électrique dans le cas des approches des algorithmes génétiques standards, représente un avantage supplémentaire de la solution proposée.

Conclusion générale

La place des CAN dans les circuits mixtes est particulièrement importante car elle fixe la frontière entre le traitement analogique et le traitement numériques. L'efficacité toujours plus grande de ce mode de traitement, liée à la réduction des dimensions, tend à repousser cette frontière le plus possible en plaçant des contraintes très fortes sur les CAN en termes de vitesse, de résolution et de consommation. La réduction de la tension d'alimentation et la perte de précision occasionnées par la réduction des dimensions ne sont pas sans conséquences durant la conception des blocs analogiques. L'évolution rapide dans le domaine de la microélectronique permet la réalisation de dispositifs complexes. Bien que de plus en plus dominée par des fonctions numériques, la partie analogique de ces systèmes reste problématique et très couteuse en temps de développement et de conception.

Ces derniers années, de nombreux recherches on été menés pour la synthèse analogique au niveau blocs. Dans le domaine des CAN, des outils de synthèse dédiée à une architecture particulière de convertisseur ont été également développés. Le choix d'une architecture reste cependant guidé par une partition de l'espace résolution –vitesse. L'exemple le plus marquant de cette évolution très rapidement est sans doute le convertisseur pipeline qui couvre un domaine de plus en plus grand de cet espace.

Avant de pouvoir développer des méthodes d'analyse et de conception pour CAN, il a été nécessaire d'étudier les diverses architectures de CAN existantes pour en faire ressortir l'architecture pipeline comme étant la mieux adaptée aux application à faible consommation et à une résolution moyenne, ainsi l'état de l'art concernant les différentes topologies de CAN existant pour l'interfaçage entre le monde analogique et numérique, nous a permis de mètre en lumière les points délicats liés à ce genre de circuits. Une fois cette étape franchie, il a été possible de formaliser certaines étapes cruciales pour le développement d'un système CAN complet. Ainsi, tout d'abord, l'étude s'est focalisée sur les blocs qui sont le cœur des CAN pipelines tels que le MDAC, l'E/B et les amplificateurs-opérationnels. En parallèle, l'analyse des structures à capacités-commutées a eu pour but de développer une méthode de conception systématique des structures MDAC et E/B (échantillonneur-bloqueur) en tenant compte dès le départ de l'influence des commutateurs analogiques sur leur stabilité et leur temps d'établissement. Ensuite, une brique clef des structures analogiques qu'est le comparateur a été étudiée. Une méthode d'analyse et de correction d'erreurs inhérentes aux structures CAN

pipeline, a été proposée. Après ces études proches du composant CMOS, et la conception des différents blocs construits le CAN complet, une analyse méthodique du bruit, et les erreurs de non-linéarité permet d'obtenir un modèle comportemental du CAN pipeline. Enfin, une méthode d'optimisation du CAN pipeline a été proposée.

Les résultats du travail de thèse présentée dans ce manuscrit constituent une contribution à ce besoin d'accélération du flot de conception des convertisseurs analogiques numériques, spécialement au niveau de la conception, modélisation comportementale et l'optimisation du CAN pipeline. L'objectif de cette thèse est de maitre en œuvre une méthode de conception d'un CAN pipeline prenant en compte les spécifications depuis le cahier de charge jusqu'à l'implémentation du circuit.

La méthode de conception constitue notre premier objectif, nous avons proposé une méthode de conception hiérarchique top down, on a décomposé, d'abord le système en blocs, puis attribuer à chaque bloc ses propres spécifications. A partir de là, la conception de chaque bloc commence pour les spécifications de départ soient atteintes à la fin du processus, nous avons proposé une méthode de conception basée sur différents niveaux. Elle permet de concevoir le système de manière automatique depuis les spécifications jusqu'au niveau électrique. Pour le CAN pipeline ; l'architecture utilise une résolution réduite par étage (1.5 bit) combine une grande bande passante et une faible consommation. Cette structure bénéficie beaucoup de la réduction de la longueur du transistor MOS.

Le deuxième objective est la modélisation comportementale du CAN pipeline. La première étape est la modélisation des blocs de base qui constitue le modèle comportementale idéal du CAN pipeline. Concernant la deuxième étape de la modélisation, nous avons adopté un modèle comportemental du CAN pipeline qui prend en considération la majorité des sources de bruit et imperfection du circuit. L'adoption de la modélisation comportementale grâce aux différents avantages qu'offre, tout d'abord, l'utilisation des modèles hauts niveaux permet le gain de temps de calcul par rapport aux simulateurs niveau transistor. En plus elle permet de prédire le comportement du CAN pipeline en présence des imperfections. Cette méthode permettra aussi de prévoir les spécifications pour atteindre les performances fixées auparavant. Certains de ces travaux ont été publiés [72, 74]. Ce modèle fournit également un moyen d'analyse rapide pour les effets linéaires et l'étude statistique. Cette dernière étant particulièrement importante pour le choix d'une architecture.

Le dernier objectif est l'optimisation des amplificateurs opérationnels, qui construit les blocs noyaux du CAN pipeline, quatre circuits différents ont été dimensionnés (op-amp : à

deux étages ; symétrique, télescopique, et à replie cascode). Les performances des circuits dimensionnés ont été validées par comparaison avec les résultats obtenus à partir d'un simulateur électrique spectre sous Cadence [93]. La méthode de recherche locale de l'optimiseur utilisé implique la détermination d'un point initial de recherche suffisamment bien choisi. La représentation de l'espace des solutions à partir d'une fonction coût de type somme pondérée fait apparaître les solutions optimales. À travers un exemple de conception (conception d'un convertisseur de type pipeline), nous avons mis en œuvre et illustré les performances de la méthode développée. Les résultats obtenus au niveau des synthèses des blocs et des cellules de bases indiquent que l'automatisation de la conception est possible et peut en effet aboutir à un circuit fonctionnel répondant aux objectifs fixés.

Perspectives: Comme perspectives de notre travail :

- ❖ Nous espérons d'achever complètement l'implémentation du CAN pipeline sous Cadence pour arriver au layout, basant sur la méthode de conception développée et le modèle comportementale construit. La méthode de conception proposée peut être extensible vers d'autres architectures de CAN (SAR, flash ...) et d'autres circuits analogues ou mixtes.
- ❖ L'approche de modélisation comportementale peut être complétée par d'autres sources d'erreurs non pris en charge dans notre modèle. Un prolongement naturel de ce travail est de définir une méthode de synthèse complète d'une architecture de CAN à partir du modèle comportemental obtenu. La spécification des sous blocs nécessite d'introduire des niveaux de modélisation supplémentaire pour prendre en compte des effets secondaires ignorés par la simulation comportementale ; dont le but initial est de fournir une méthodologie d'évaluation rapide des performances qui permette l'optimisation de paramètres. Dans cette voie, des outils de modélisation haut niveau tel que VHDL-AMS ou Verilog-AMS sont mieux adaptés et plus généraux.
- ❖ L'optimisation peut être implémentée en utilisant d'autres méthodes d'optimisation comme PSO, optimisation par la colonie de fourmi etc., ou en utilisant des méthodes hybrides (GA- fuzzy logique par exemple) pour l'optimisation de la consommation de puissance du CAN pipeline complet.

Ces travaux de thèse ont permis la publication de deux articles, le premier dans la revue JSCS (Journal of Circuits Systems and Computers) et le deuxième dans la revue IJAC (International Journal of Automation and Computing), et la publication de deux articles dans une conférence internationale IEEE ICM12.

Bibliographie

- [1] J. W. Sleight, I. Lauer, O. Dokumaci, D. M. Fried, D. Guo, B. Haran, S. Narasimha, C. Sheraw, D. Singh, M. Steigerwalt, X. Wang, P. Oldiges, D. Sadana, C. Y. Sung, W. Haensch, M. Khare, and Ieee, "Challenges and opportunities for high performance 32 nm CMOS technology," in *proceedings of International Electron Devices Meeting, vol 1 and 2*, 2006, pp. 431-434.
- [2] N. PILLET, "Conception et intégration de convertisseurs Analogique/Numérique, compacts, à bas bruit, adaptés aux capteurs CMOS destinés à la détection de particules chargées," Thèse Doctorat, Université de Strasbourg, France, 2010.
- [3] F.-E. RARBI, "Conception d'un convertisseur analogique numérique pipeline de grande dynamique et de faible consommation pour le codage des signaux de détecteurs à forte granularité," Thèse Doctorat, Université de Grenoble, France, 2010.
- [4] M. Trojer, M. Cleris, U. Gaier, T. Hebein, P. Pridnig, B. Kuttin, B. Tschuden, C. Krassnitzer, C. Kuttin, and W. Pribyl, "A 1.2V 56mW 10 bit 165Ms/s Pipeline-ADC for HD-Video Applications," in *Esscirc 2008: Proceedings of the 34th European Solid-State Circuits Conference*, W. RedmanWhite and A. Walton, Eds., ed, 2008, pp. 270-273.
- [5] M. Dahoumane, D. Dzahini, J. Bouvier, E. Lagorio, L. Gallin-Martel, J. Y. Hostachy, O. Rossetto, Y. Hu, H. Ghazlane, and D. Dallet, "A low power and low signal 4 bit 50MS/s double sampling pipelined ADC for Monolithic Active Pixel Sensors," *Journal of Instrumentation*, vol. 3, Mar 2008.
- [6] A. Rossini, "Design of mixed analog/digital interface circuits for sensors and micro-systems.," PhD Thesis, University of Pavia Italy, 2006.
- [7] L. Sumanen, "pipeline analog to digital converters for wideband wireless commications," Doctorat Thesis, University of Technology, Helsinki, Finland, 2002.
- [8] J. A. Wepman, "Analog-to-Digital Converters and their Applications in Radio Receivers," *Ieee Communications Magazine*, vol. 33, pp. 39-45, May 1995.
- [9] J. Arias, V. Boccuzzi, L. Quintanilla, L. Enriquez, D. Bisbal, M. Banu, and J. Barbolla, "Low-power pipeline ADC for wireless LANs," *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 1338-1340, Aug 2004.
- [10] S. H. Lewis, "Optimizing the Stage Resolution In Pipelined, Multistage, Analog-to-Digital Converters for Video-Rate Applications," *IEEE Transactions on Circuits and Systems II-Analog and Digital Signal Processing*, vol. 39, pp. 516-523, Aug 1992.
- [11] Y. Layouni, "Méthodologie d'aide à la conception de structures intégrées mixtes: application à une interface capteur paramétrable à base de convertisseur Sigma Delta," Thèse Doctorat, L'institut national des sciences appliquées de Lyon, France, 2008.
- [12] J. Ruiz-Amaya, M. Delgado-Restituto, and Á. Rodríguez-Vázquez, *Device-Level Modeling and Synthesis of High-Performance Pipeline ADCs*: Springer, 2011.
- [13] J. Ruiz-Amaya, M. Delgado-Restituto, and A. Rodriguez-Vazquez, "Behavioral modeling of pipeline ADC building blocks," *International Journal of Circuit Theory and Applications*, vol. 40, pp. 571-594, Jun 2012.
- [14] E. ALLIER, "Interface analogique numérique asynchrone: une nouvelle classe de convertisseurs basés sur la quantification du temps," Thèse Doctorat, Institut National Polytechnique de Grenoble, France, 2003.
- [15] C. Taillefer, "Analog-to-Digital Conversion via Time-Mode Signal Processing," PhD Thesis, Department of Electrical and Computer Engineering, McGill University, Montréal, Canada., 2002.
- [16] M. DAHOUMANE, "Conception, Réalisation et Caractérisation de l'Électronique Intégrée de Lecture et de Codage des Signaux des Détecteurs de Particules Chargées à Pixels Actifs en Technologie CMOS," Thèse Doctorat, Université de Strasbourg, 2009.

- [17] M. Masoumi, E. Markert, U. Heinkel, and G. Gielen, "Ultra Low Power Flash ADC for UWB Transceiver Applications," in *2009 European Conference on Circuit Theory and Design, Vols 1 and 2*, 2009, pp. 41-44.
- [18] A. Ismail and M. Elmasry, "A 6-bit 1.6-GS/s low-power wideband flash ADC converter in 0.13- μ m CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 43, pp. 1982-1990, Sep 2008.
- [19] E. Delagnes, D. Breton, F. Lugiez, and R. Rahmanifard, "A low power multi-channel single ramp ADC with up to 3.2 GHz virtual clock," *IEEE Transactions on Nuclear Science*, vol. 54, pp. 1735-1742, Oct 2007.
- [20] O. B. Milgrome, S. A. Kleinfelder, and M. E. Levi, "A 12-Bit Analog to Digital Converter for VLSI Applications in Nuclear-Science," *IEEE Transactions on Nuclear Science*, vol. 39, pp. 771-775, Aug 1992.
- [21] N. Nambiar, B. J. Blalock, and M. N. Ericson, "A Current Mode Multi-Channel Wilkinson ADC," in *Proceedings of International Conference on Signals and Electronic Systems, ICSES 2008*, 2008, pp. 11-14.
- [22] J. G. Peterson, "Monolithic Video A-D Converter," *IEEE Journal of Solid-State Circuits*, vol. 14, pp. 932-937, 1979.
- [23] T. Ogawa, H. Kobayashi, M. Hotta, Y. Takahashi, H. San, N. Takai, and Ieee, "SAR ADC Algorithm with Redundancy," in *2008 Ieee Asia Pacific Conference on Circuits and Systems*, 2008, pp. 268-271.
- [24] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio Delta Sigma modulator with 88-dB dynamic range using local switch bootstrapping," *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 349-355, Mar 2001.
- [25] S. Paton, A. Di Giandomenico, L. Hernandez, A. Wiesbauer, T. Potscher, and M. Clara, "A 70-mW 300-MHz CMOS continuous-time Sigma Delta ADC with 15-MHz bandwidth and 11 bits of resolution," *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 1056-1063, Jul 2004.
- [26] D. Miyazaki, S. Kawahito, and M. Furuta, "A 10-b 30-MS/s low-power pipelined CMOS A/D converter using a pseudodifferential architecture," *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 369-373, Feb 2003.
- [27] E. Iroaga and B. Murmann, "A 12-bit 75-MS/s pipelined ADC using incomplete settling," *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 748-756, Apr 2007.
- [28] J. Lee, J. Kang, S. Park, J.-s. Seo, J. Anders, J. Guilherme, and M. P. Flynn, "A 2.5 mW 80 dB DR 36 dB SNDR 22 MS/s Logarithmic Pipeline ADC," *IEEE Journal of Solid-State Circuits*, vol. 44, pp. 2755-2765, Oct 2009.
- [29] J. Li, X. Zeng, L. Xie, J. Chen, J. Zhang, and Y. Guo, "A 1.8-V 22-mW 10-bit 30-MS/s pipelined CMOS ADC for low-power subsampling applications," *IEEE Journal of Solid-State Circuits*, vol. 43, pp. 321-329, Feb 2008.
- [30] J.-F. Lin, S.-J. Chang, T.-C. Kung, H.-W. Ting, and C.-H. Huang, "Transition-Code Based Linearity Test Method for Pipelined ADCs With Digital Error Correction," *IEEE Transactions on Very Large Scale Integration (Vlsi) Systems*, vol. 19, pp. 2158-2169, Dec 2011.
- [31] A. M. A. Ali, A. Morgan, C. Dillon, G. Patterson, S. Puckett, P. Bhoraskar, H. Dinc, M. Hensley, R. Stop, S. Bardsley, D. Lattimore, J. Bray, C. Speir, and R. Sneed, "A 16-bit 250-MS/s IF Sampling Pipelined ADC With Background Calibration," *IEEE Journal of Solid-State Circuits*, vol. 45, pp. 2602-2612, Dec 2010.
- [32] K. Sockalingam, "Error Compensation in Pipeline A/D Converters," Master thesis, University of Maine, 2000.
- [33] H. petit, "Simulation Comportementale pour la Synthèse de Convertisseurs Analogique-Numérique CMOS Rapides," Thèse doctorat, l'école national de télécommunications, Paris, 2004.
- [34] O. BERNAL, "Conception de convertisseurs analogique-numérique en technologie CMOS basse tension pour chaînes vidéo CCD spatiales," Ph.D Thesis, Institut National Polytechnique de Toulouse France, 2007.
- [35] G. G. E. Gielen, "Design methodologies and tools for circuit design in CMOS nanometer technologies," in *Proceedings of the 32nd European Solid-State Circuits Conference, ESSCIRC 2006* 2006, pp. 21-32.

- [36] C. H. Huang, "Design and Diagnosis of High Speed Pipelined A/D Converters," Master Thesis, National Cheng Kung University, Taiwan, 2004.
- [37] N. Sasidhar, "Low Power Design Techniques for High Speed Pipelined ADCs," PhD Thesis, Oregon State University (OSU), Oregon, USA, 2009.
- [38] M. Waltari, "Circuit techniques for low-voltage and high-speed A/D converters," Ph.D Thesis, Helsinki University of Technology, Finland, 2002.
- [39] M. M. Liu, *Demystifying Switched Capacitor Circuits*: Newnes, Ed. Elsevier, 2006.
- [40] C.-H. Cho, "A Power Optimized Pipelined Analog-to-Digital Converter Design in Deep Sub-Micron CMOS Technology," PhD thesis, School of Electrical and Computer Engineering, Georgia Institute of Technology, Atlanta, USA, 2005.
- [41] J. Li, "Accuracy Enhancement Techniques in Low-Voltage High-Speed Pipelined ADC Design," PhD thesis Oregon State University (OSU), Oregon, USA, 2004.
- [42] S.-C. Huang, "High Speed Pipelined ADC Using Opamp Sharing and Scaling Techniques for Display Interface," Master thesis, National Chung Cheng University (NCKU), Tainan, Taiwan, 2006.
- [43] P. J. Q. a. A. H. M. v. Roermund, , *Switched-Capacitor Techniques for High-Accuracy Filter and ADC Design.*: Springer, 2007.
- [44] P. R. Gray and R. G. Meyer, "MOS OPERATIONAL-AMPLIFIER DESIGN - A TUTORIAL OVERVIEW," *IEEE Journal of Solid-State Circuits*, vol. 17, pp. 969-982, 1982.
- [45] B. Razavi, *Design of Analog CMOS Integrated Circuits*: McGraw-Hill Education, 2002.
- [46] J. Mahattanakul, "Design procedure for two-stage CMOS operational amplifiers employing current buffer," *IEEE Transactions on Circuits and Systems II-Express Briefs*, vol. 52, pp. 766-770, Nov 2005.
- [47] P. J. H. Paul R. Gray, Stephen H. Lewis, Robert G. Meyer, *Analysis and Design of Analog Integrated Circuits*: JOHN WILEY & SONS, INC, 2001.
- [48] P. E. A. D. R. Holberg, *CMOS analog circuit design*. Oxford University Press, 2012.
- [49] R. G. C. A. Lopez-Martin, E. Lopez-Morillo, L. Acosta, T. Snchez-Rodriguez, C. Rubia-Marcos, J. Ramirez-Angulo, *Analog Circuit Design, Low-voltage power-efficient amplifiers for emerging applications*. Netherlands: Springer, 2008.
- [50] K. Gulati and H. S. Lee, "A high-swing CMOS telescopic operational amplifier," *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 2010-2019, Dec 1998.
- [51] J. Wang and Y. L. Qiu, *Analysis and design of fully differential gain-boosted telescopic cascode opamp*, 2004.
- [52] T. C. Choi, R. T. Kaneshiro, R. W. Brodersen, P. R. Gray, W. B. Jett, and M. Wilcox, "High-Frequency CMOS Switched-Capacitor Filters for Communications Application," *IEEE Journal of Solid-State Circuits*, vol. 18, pp. 652-664, 1983.
- [53] S. M. Mallya and J. H. Nevin, "Design Procedures for a Fully Differential Folded-Cascode CMOS Operational-Amplifier," *IEEE Journal of Solid-State Circuits*, vol. 24, pp. 1737-1740, Dec 1989.
- [54] R. E. Vallee and E. I. Elmasry, "A Very High-Frequency CMOS Complementary Folded Cascode Amplifier," *IEEE Journal of Solid-State Circuits*, vol. 29, pp. 130-133, Feb 1994.
- [55] K. Nakamura and L. R. Carley, "An Enhanced Fully Differential Folded-Cascode Op Amp," *IEEE Journal of Solid-State Circuits*, vol. 27, pp. 563-568, Apr 1992.
- [56] Y. Chiu, P. R. Gray, and B. Nikolic, "A 14-b 12-MS/s CMOS pipeline ADC with over 100-dB SFDR," *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 2139-2151, Dec 2004.
- [57] K. Bult and G. Geelen, "A Fast-Settling CMOS Op Amp for SC Circuits with 90-dB DC Gain," *IEEE Journal of Solid-State Circuits*, vol. 25, pp. 1379-1384, Dec 1990.
- [58] G. M. C. Toumazou, and B. Gilbert, *Trade-offs in analog circuit design*: Kluwer Academic Publishers, 2002.
- [59] R. Trivedi, "Low power and high speed sample-and-hold circuit," in *Proceedings of the 49th IEEE Midwest Symposium on Circuits and Systems, MWSCAS'06* 2006, pp. 453-456.

- [60] J. Wang, "A 10-bit 25MSPS Pipeline ADC for Compressing Baseband Processing in Wireless Application," Master Thesis, Delft University of Technology, Netherlands, 2009.
- [61] W. H. Yang, D. Kelly, I. Mehr, M. T. Sayuk, and L. Singer, "A 3-V 340-mW 14-b 75-MS/s CMOS ADC with 85-dB SFDR at Nyquist input," *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 1931-1936, Dec 2001.
- [62] S. W. Sin, U. Seng-Pan, and R. P. Martins, "1.2-V, 10-bit, 60-360 MS/s time-interleaved pipelined analog-to-digital converter in 0.18 μ m CMOS with minimised supply headroom," *IET Circuits Devices & Systems*, vol. 4, pp. 1-13, Jan 2010.
- [63] J.-F. Lin, S.-J. Chang, C.-C. Liu, and C.-H. Huang, "A 10-bit 60-MS/s Low-Power Pipelined ADC With Split-Capacitor CDS Technique," *IEEE Transactions on Circuits and Systems II-Express Briefs*, vol. 57, pp. 163-167, Mar 2010.
- [64] E. Bilhan, P. C. Estrada-Gutierrez, A. Y. Valero-Lopez, and F. Maloberti, "Behavioral model of pipeline ADC by using SIMULINK (R)," in *proceedings of Southwest Symposium on Mixed-Signal Design*, 2001, pp. 147-151.
- [65] M. K. Ramalatha, A. P. Karthick, S. Muralikrishnan, K., "A High Speed 12-Bit Pipeline ADC Using Switched Capacitor And Fat Tree Encoder," in *proceedings of International Conference on Advances in Computational Tools for Engineering Applications*, 2009, pp. 391-395.
- [66] E. Mancini, S. Rapuano, and D. Dallet, "A distributed test system for pipelined ADCs," *Measurement*, vol. 42, pp. 38-43, Jan 2009.
- [67] F. Maloberti, P. Estrada, P. Malcovati, and A. Valero, "Validation of data converter specifications with behavioral modeling simulations," *Measurement*, vol. 31, pp. 231-245, Jun 2002.
- [68] K. Jedrzejewski and A. A. Platonov, "Principles of new method of optimisation, design and modelling of pipeline A/D converters," *Measurement*, vol. 42, pp. 1195-1202, Oct 2009.
- [69] A. J. Acosta, E. J. Peralias, A. Rueda, and J. L. Huertas, "VHDL behavioural modelling of pipeline analog to digital converters," *Measurement*, vol. 31, pp. 47-60, Jan 2002.
- [70] J. A. Diaz-Madrid, G. Domenech-Asensi, and J. A. Lopez-Alcantud, "VHDL-AMS model of a 40M/S 12 bits pipeline ADC," in *Proceedings of the International Conference Mixed Design of Integrated Circuits and Systems*, 2006, pp. 555-560.
- [71] G. Zareba and G. A. Palusinski, "Behavioral simulator of analog-to-digital converters for telecommunication applications," in *Proceedings of IEEE International Behavioral Modeling and Simulation Conference, BMAS 2004*, 2004, pp. 135-140.
- [72] S. Barra, A. Dendougua, S. Kouada, and N.-E. Bouguechal, "Contribution to The Analysis and Modeling of The Non-Ideal Effects of Pipelined ADCs using MATLAB," *Journal of Circuits Systems and Computers*, vol. 22, p. 1250085 (14 pages), Mar. 2013.
- [73] T. Cho, "Low-power low-voltage analog-to-digital conversion techniques using pipelined architectures," PhD. Thesis, U.C. Berkeley California, USA, 1995.
- [74] S. Barra, K. Souhil, A. Dendougua, and B. Nour-Eddine, "Simulink Behavioral Modeling of a 10-bit Pipelined ADC," *International Journal of Automation and Computing*, vol. 10, Avr. 2013.
- [75] J.-F. Lin, S.-J. Chang, and Ieee, "A high speed pipelined analog-to-digital converter using modified time-shifted correlated double sampling technique," in *Proceedings of IEEE International Symposium on Circuits and Systems, Vols 1-11 2006*, pp. 5367-5370.
- [76] B.-G. Lee, B.-M. Min, G. Manganaro, and J. W. Valvano, "A 14-b 100-MS/s Pipelined ADC With a Merged SHA and First MDAC," *IEEE Journal of Solid-State Circuits*, vol. 43, pp. 2613-2619, Dec 2008.
- [77] S. Barra, S. Kouada, A. Dendougua, and N.-E. Bouguechal, "Modeling of op-amp nonlinearities in pipelined ADC," in *proceedings of 24th IEEE International Conference on Microelectronics (ICM'12) 2012*, pp. 1-4.
- [78] F. Maloberti, *Data Converters*. Netherland: Springer Verlag, 2007.
- [79] L. Dai and R. Harjani, "CMOS switched-op-amp-based sample-and-hold circuit," *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 109-113, Jan 2000.

- [80] C. Eichenberger and W. Guggenbuhl, "On Charge Injection in Analog MOS Switches and Dummy Switch Compensation Techniques," *IEEE Transactions on Circuits and Systems*, vol. 37, pp. 256-264, Feb 1990.
- [81] J. J. W. a. N. T. M. Gustavsson, *CMOS Data Converters for Communications*. Boston: Kluwer Academic Publishers, 2002.
- [82] S. Barra, K. Souhil, D. Abdelghani, and B. Nour-Eddine, "Modeling of Op- Amp Nonlinearities in Pipelined ADC," in *The 24th IEEE International Conference on Microelectronics ICM 2012*, Algiers, Algeria., 2012.
- [83] S. BARRA, A. DENDOUGA, S. KOUDA, and N.-E. BOUGUECHAL, "CONTRIBUTION TO THE ANALYSIS AND MODELING OF THE NON-IDEAL EFFECTS OF PIPELINED ADCs USING MATLAB," *Journal of Circuits, Systems and Computers*, vol. 22, p. 1250085, 2013.
- [84] R. A. Rutenbar, G. G. E. Gielen, and J. Roychowdhury, "Hierarchical modeling, optimization, and synthesis for system-level analog and RF designs," *Proceedings of the IEEE*, vol. 95, pp. 640-669, Mar 2007.
- [85] G. S. Mario Koppen, and Ajith Abraham, *Intelligent Computational Optimization in Engineering: Techniques & Applications*. Springer-Verlag Berlin Heidelberg: Springer, 2011.
- [86] T. McConaghy, P. Palmers, M. Steyaert, and G. G. E. Gielen, "Variation-Aware Structural Synthesis of Analog Circuits via Hierarchical Building Blocks and Structural Homotopy," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 28, pp. 1281-1294, Sep 2009.
- [87] B. Liu, F. V. Fernandez, G. Gielen, R. Castro-Lopez, and E. Roca, "A Memetic Approach to the Automatic Design of High-Performance Analog Integrated Circuits," *ACM Transactions on Design Automation of Electronic Systems*, vol. 14, May 2009.
- [88] G. W. Greenwood, Tyrrell, A.M, *Introduction to Evolvable Hardware : A Practical Guide for Designing Self-Adaptive Systems*. Los Alamitos Wiley&Sons Inc, 2007.
- [89] G. Nicosia, S. Rinaudo, and E. Sciacca, "An evolutionary algorithm-based approach to robust analog circuit design using constrained multi-objective optimization," *Knowledge-Based Systems*, vol. 21, pp. 175-183, Apr 2008.
- [90] G. Oltean, S. Hintea, and E. Sipos, "A Genetic Algorithm-Based Multiobjective Optimization for Analog Circuit Design," in *Knowledge-Based and Intelligent Information and Engineering Systems, Pt II, Proceedings*. vol. 5712, J. D. Velasquez, S. A. Rios, R. J. Howlett, and L. C. Jain, Eds., ed, 2009, pp. 506-514.
- [91] G. Alpaydin, S. Balkir, and G. Dundar, "An evolutionary approach to automatic synthesis of high-performance analog integrated circuits," *IEEE Transactions on Evolutionary Computation*, vol. 7, pp. 240-252, Jun 2003.
- [92] E. Roca, M. Velasco-Jimenez, R. Castro-Lopez, and F. V. Fernandez, "Context-dependent transformation of Pareto-optimal performance fronts of operational amplifiers," *Analog Integrated Circuits and Signal Processing*, vol. 73, pp. 65-76, Oct 2012.
- [93] S. Barra, A. Dendougua, S. Kouda, and N.-E. Bouguechal, "Multi-Objective Genetic Algorithm optimization of CMOS operational amplifiers," in *proceedings of 24th IEEE International Conference on Microelectronics (ICM'12)* Algiers, Algeria, 2012, pp. 1-4.
- [94] R. S. Zebulum, M. A. Pacheco, and M. Vellasco, "Synthesis of CMOS operational amplifiers through genetic algorithms," in *Proceedings of XI Brazilian Symposium on Integrated Circuit Design*, 1998, pp. 125-128.
- [95] S.-N.Sivanandam and S.N.Deepa, *Introduction to Genetic Algorithms*. Springer-Verlag Berlin Heidelberg: Springer, 2008.
- [96] David E. Goldberg and J. H. Holland, "Genetic algorithms and machine learning," *Machine Learning*, vol. 3, 1988.
- [97] K. Deb, *Multi-Objective Optimization Using Evolutionary Algorithms*: John Wiley & Sons, 2001.
- [98] T. H. S. Sumathi, and P. Surekha, *Evolutionary Intelligence, An Introduction to Theory and Applications with Matlab*. Verlag Berlin Heidelberg: Springer, 2008.

- [99] M. Sakawa, *Genetic Algorithms And Fuzzy Multiobjective Optimization*: Kluwer Academic Publishers, 2002.
- [100] M. Karima, "Concepts d'informatique quantique pour la résolution des problèmes d'optimisation multiobjectif combinatoire," Thèse de Magister, Université Mentouri – Constantine, Constantine, Algérie, 2006.
- [101] C. Dhaenens, "Optimisation Combinatoire Multi-Objectif :Apport des méthodes coopératives et contribution à l'extraction de connaissances," Thèse HDR Université des Sciences et Technologies de Lille, France, 2005.
- [102] A. Konak, D. W. Coit, and A. E. Smith, "Multi-objective optimization using genetic algorithms: A tutorial," *Reliability Engineering & System Safety*, vol. 91, pp. 992-1007, Sep 2006.
- [103] A. P. Engelbrecht, *Computational Intelligence: An Introduction*. England: John Wiley & Sons Ltd, 2007.
- [104] Laura Ivanciu, Gabriel Oltean, and S. Hintea, "Design Illustration of a Symmetric OTA Using Multiobjective Genetic Algorithms," in *Knowledge-Based and Intelligent Information and Engineering Systems*, ed Berlin: Springer Berlin Heidelberg, 2011.
- [105] R. S. Zebulum, M. A. C. Pacheco, and M. M. B. R. Vellasco, *Evolutionary Electronics: Automatic Design of Electronic Circuits and Systems by Genetic Algorithms (International Series on Computational Intelligence)*: CRC PRESS, 2002.
- [106] A. Jafari, M. Zekri, S. Sadri, A. R. Mallahzadeh, and I. C. Society, "Design of Analog Integrated Circuits by Using Genetic Algorithm," in *Proceedings of Second International Conference on Computer Engineering and Applications: ICCEA 2010, Vol 1*, 2010, pp. 578-581.
- [107] J. Yu and Z. Mao, "Automated design method for parameters optimization of CMOS analog circuits based on adaptive genetic algorithm," in *Proceedings of 7th International Conference on ASIC Asicon 2007, Vols 1 and 2*, , 2007, pp. 1217-1220.
- [108] M. D. Hershenson, S. P. Boyd, and T. H. Lee, "GPCAD: A tool for CMOS op-amp synthesis," in *proceeding of IEEE/ACM International Conference on Computer-Aided Design, ICCAD 98: Digest of Technical Papers*, 1998, pp. 296-303.
- [109] W. Gao and R. Hornsey, "A Power Optimization Method for CMOS Op-Amps Using Sub-Space Based Geometric Programming," in *Conference & Exhibition on Design, Automation & Test in Europe, DATE, 2010*, Dresden Germany, pp. 508 – 513.
- [110] H. Daoud Dammak, S. Bensalem, S. Zouari, and M. Loulou, "Design of Folded Cascode OTA in Different Regions of Operation through gm/ID Methodology," *International Journal of Electrical and Computer Engineering*, vol. 3, pp. 178-183, 2008.
- [111] M. Takhti, A. Beirami, and H. Shamsi, "Multi-Objective Design Automation of The Folded-Cascode OP-AMP Using NSGA-II Strategy," in *Proceedings of the International Symposium on Signals, Circuits and Systems, ISSCS 2009, vol 1 and 2* ,2009, pp. 573-576.
- [112] F. Maloberti, *Analog Design for CMOS VLSI Systems*: Kluwer Academic Publishers, 2001.
- [113] A. Somani, P. P. Chakrabarti, and A. Patra, "An evolutionary algorithm-based approach to automated design of analog and RF circuits using adaptive normalized cost functions," *IEEE Transactions on Evolutionary Computation*, vol. 11, pp. 336-353, Jun 2007.