

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE**

**MINISTERE DE L'ENSEINEMENT SUPERIEUR**

**ET DE LA RECHERCHE SCIENTIFIQUE**

**UNIVERSITE DE BATNA**

**FACULTE DE LA TECHNOLOGIE**

**MEMOIRE**

*Présenté au*

**DEPARTEMENT D'ELECTRONIQUE**

*Pour l'obtention du diplôme de*

**MAGISTER EN ELECTRONIQUE**

**Option: Contrôle**

*Par*

**FERDI Adel**

**Ingénieur, département d'Electronique - Université de Batna**

*Intitulé*

---

# **Modélisation et identification paramétrique du transistor DG MOSFET en utilisant la logique floue**

---

*Devant le jury:*

<b>Dr. DIBI Zohir</b>	<b>M. C. U. Batna</b>	<b>Président</b>
<b>Dr. DJEFFAL Fayçal</b>	<b>M. C. U. Batna</b>	<b>Rapporteur</b>
<b>Dr. MEZÂACHE Amar</b>	<b>M. C. U. M'sila</b>	<b>Examineur</b>
<b>Dr. CHAFÂA Kheireddine</b>	<b>M. C. U. Batna</b>	<b>Examineur</b>
<b>Dr. BENHAYA Abdelhamid</b>	<b>Prof. U. Batna</b>	<b>Examineur</b>

## *Remerciements*

*Un grand merci au Dr. DJEFFAL Fayçal d'avoir accepté d'être le directeur de recherche de ce*

*mémoire et de m'avoir soutenu*

*tout au long de ce travail.*

*Je tiens à remercier également les membres du jury: le Dr. DIBI Zohir,*

*le Dr. MEZAACHE Amar, le Dr. CHAFAA Kheireddine*

*et le Pr. BENHAYA Abdelhamid.*

*Une pensée particulière à mes collègues de l'école ELW@F@*

*ainsi qu'à toute ma famille.*

<b>Introduction générale</b> .....	01
------------------------------------	----

### **Chapitre I: *Le transistor DG MOSFET à l'échelle nanométrique***

I.1/ Introduction .....	05
I.2/ Evolution de la technologie CMOS .....	05
I.3/ Principe de fonctionnement d'un transistor MOS conventionnel .....	07
I.3.1/ Structure de base .....	08
I.3.2/ Fonctionnement du transistor MOS .....	08
I.3.2.1/ Paramètres d'un transistor MOSFET .....	09
I.3.2.2/ Régime de fonctionnement .....	11
I.3.2.3/ Caractéristique courant- tension .....	16
I.4/ Technologie de fabrication bulk et SOI .....	16
I.4.1/ La lithographie .....	17
I.4.2/ La nano-lithographie .....	18
I.5/ Effets de la miniaturisation et les solutions apportées à certains effets indésirables .....	19
I.5.1/ Problèmes liés aux faibles épaisseurs d'oxyde .....	19
I.5.2/ La déplétion de grille .....	20
I.5.3/ Problèmes liés au dopage .....	20
I.5.4/ Les effets canaux courts .....	21
I.5.4.1/ Le partage de charge de déplétion (CS) .....	21
I.5.4.2/ L'abaissement de la barrière de potentiel induit par le drain (DIBL) .....	22
I.5.5/ Solutions pour remédier aux effets de canaux courts .....	23
I.6/ Impact du canal nanométrique sur le transport électronique .....	24
I.7/ Les structures à grilles multiples dans la technologie SOI .....	25
I.7.1/ Les transistors à grilles multiples .....	26
I.7.2/ Avantages des transistors à grilles multiples .....	27
I.7.3/ Inconvénients des transistors à grilles multiples .....	28
I.8/ Technologie MOSFET double-grille .....	28
I.8.1/ Modes de fonctionnement du transistor MOS double-grille planaire .....	29
I.8.2/ Propriétés électriques du MOSFET double-grille .....	30

I.8.2.1/ Définition de la tension de seuil ..... 30  
I.8.2.2/ Etat passant ..... 31  
I.8.2.3/ Etat bloqué ..... 32  
I.8.3/ Contrôle des effets canaux courts ..... 33  
I.9/ Quel avenir pour le transistor? ..... 35  
I.10/ Conclusion ..... 36

**Chapitre II: Notions fondamentales de la logique floue**

II.1/ Exemple introductif et historique ..... 38  
II.2/ Les différents domaines d'application ..... 39  
II.3/ Concepts principaux de la logique floue type-1 ..... 40  
    II.3.1/ Variables linguistiques et ensembles flous ..... 40  
    II.3.2/ Fonctions d'appartenance ..... 41  
    II.3.3/ Opérations sur les ensembles flous ..... 43  
        II.3.3.1/ Opérateur ET (Intersection floue) ..... 43  
        II.3.3.2/ Opérateur OU (Union floue) ..... 44  
        II.3.3.3/ Opérateur NON (complémentation floue) ..... 44  
    II.3.4/ Les règles floues ..... 46  
II.4/ Description et structure d'un système basé sur la logique floue type-1 ..... 46  
    II.4.1/ Interface de fuzzification ..... 47  
    II.4.2/ Interface d'inférence floue ..... 47  
        II.4.2.1/ La méthode d'inférence max-min ..... 47  
        II.4.2.2/ La méthode d'inférence max-produit ..... 48  
        II.4.2.3/ La méthode d'inférence somme-prod ..... 49  
    II.4.3/ Interface de défuzzification ..... 50  
II.5/ La modélisation par logique floue type-1 ..... 51  
    II.5.1/ Les modèles flous linguistiques ..... 51  
    II.5.2/ Les modèles flous de Takagi-Sugeno (TS) ..... 52  
    II.5.3/ Comparaison ..... 52  
II.6/ Concepts principaux de la logique floue type-2 ..... 53

II.7/ Description et structure d'un système basé sur la logique floue type-2 .....	55
II.7.1/ Fuzzification.....	56
II.7.2/ Inférence.....	57
II.7.3/ Défuzzification.....	58
II.8/ Conclusion .....	59

### Chapitre III: *La modélisation floue du transistor DG MOSFET nanométrique*

III.1/ Introduction .....	61
III.2/ L'état de l'art de la modélisation des transistors DG MOSFET nanométriques.....	61
III.3/ Les caractéristiques électriques pour l'extraction de paramètres .....	63
III.4/ Méthodologie de la procédure d'extraction.....	64
III.5/ Le modèle numérique et le modèle compact flou .....	65
III.5.1/ Présentation du MATLAB et du SIMULINK .....	65
III.5.2/ Présentation de la boîte à outils logique floue de MATLAB .....	66
III.5.3/ Le modèle numérique .....	67
III.5.4/ Le modèle compact flou .....	70
A) La fonction de lissage (Smoothing) $F(x, Lim, \delta)$ .....	70
B) La variable $V_{DSx}$ à partir de notre fonction $F(x, Lim, \delta)$ .....	71
C) La variable $V_{GSx}$ en utilisant notre fonction $F(x, Lim, \delta)$ .....	72
D) Le voltage de saturation $V_{DS\_sat}$ .....	73
E) Le courant de drain du modèle flou « $I_{ds\_F}$ ».....	73
III.6/ La modélisation floue «Fuzzy Modeling».....	74
III.6.1/ Approche méthodologique.....	76
III.6.2/ Le contrôleur flou du paramètre $\beta$ .....	77
Implémentation SIMULINK .....	78
III.6.3/ Le contrôleur flou des paramètres $\alpha$ et $\lambda$ .....	79
A) Normalisation des courbes .....	79
B) Définition de $\alpha$ (pour même $\lambda$ ).....	80
C) Définition de $\lambda$ (pour même $\alpha$ ).....	81
D) Variation de $\alpha$ et $\lambda$ en même temps.....	82

E) Le contrôleur flou de $\alpha$ et $\lambda$ .....	83
E.1) L'univers de discours des E/S.....	83
E.2) Les entrées du contrôleur flou pour $\alpha$ et $\lambda$ .....	83
E.2.1) L'erreur principale .....	83
E.2.2) L'erreur secondaire.....	84
E.2.3) La sortie du contrôleur flou (le pas) .....	84
E.2.4) Les 15 règles d'inférence.....	85
E.2.5) Implémentation SIMULINK .....	86
III.6.4/ Le contrôleur flou des paramètres $V_T$ et $\theta$ .....	87
A) Définition de $V_T$ (pour même $\theta$ ) .....	87
B) Définition de $\theta$ (pour même $V_T$ ).....	88
C) Variation de $V_T$ et $\theta$ en même temps.....	89
D) Le contrôleur flou de $V_T$ et $\theta$ .....	90
D.1) L'univers de discours des E/S .....	90
D.2) Les entrées du contrôleur flou pour $V_T$ et $\theta$ .....	91
D.2.1) L'erreur principale .....	91
D.2.2) L'erreur secondaire .....	91
D.2.3) La sortie du contrôleur flou (le pas) .....	91
D.2.4) Les 15 règles d'inférence.....	92
D.2.5) Implémentation SIMULINK.....	94
III.7/ Signification 3D des paramètres du modèle flou .....	96
III.8/ Conclusion.....	97

### **Chapitre IV: Résultats et discussions**

IV.1/ Introduction .....	99
IV.2/ Choix de la formule de l'erreur .....	99
IV.3/ Résultats sans optimisation .....	100
IV.3.1/ Test des contrôleurs flous entre le modèle compact et sa copie.....	101
IV.3.2/ Test des contrôleurs flous entre le modèle compact et le modèle numérique .....	101
IV.4/ L'optimisateur de l'erreur .....	102

IV.5/ Implémentation du modèle flou .....	107
IV.6/ Simulation dynamique.....	111
IV.7/ Domaine de validité du modèle.....	112
IV.8/ Mise à jour de notre modèle flou .....	115
IV.9/ Conclusion.....	117
<b>Conclusion générale.....</b>	<b>119</b>
<b>Bibiographie .....</b>	<b>121</b>
<b>Publications Scientifiques .....</b>	<b>125</b>

# Introduction générale

### **Introduction générale**

L'évolution de l'électronique durant ces trente dernières années a permis de modifier réellement notre façon d'appréhender les produits de haute technologie. L'acteur fondamental de cette course à la recherche de performances associées à la miniaturisation du transistor MOS (Metal Oxide Semiconductor). Ce dernier est à la base de la conception des circuits intégrés à très large échelle (VLSI), et a mené la technologie CMOS (Complementary MOS) au rang incontesté de technologie dominante de l'industrie du semi-conducteur.

En réduisant au fil des générations la taille des TMOS, les circuits intégrés deviennent de plus en plus performants et leurs dimensions sont réduites. En 1973, Gordon Moore (un des cofondateurs d'Intel) a constaté que la densité des transistors sur une surface donnée pouvait être doublée tous les 2 ans. Cette constatation empirique qui s'est vérifiée durant les 39 dernières années est ce que l'on appelle « la loi de Moore ».

A chaque nouvelle génération de transistor, la réalisation du défi lancé par « la loi de Moore » apparaît comme un casse-tête de plus en plus difficile à résoudre. Un compromis complexe entre la physique, la technologie et la rentabilité concentre ainsi toute l'attention des ingénieurs et chercheurs. Des paramètres et contraintes souvent contradictoires, tels que la performance, la consommation et la fiabilité sont à prendre en compte.

Ainsi, la réduction de la taille des TMOS de technologie conventionnelle, c'est-à-dire le MOSFET bulk, approche de ses limites. En effet, cette réduction d'échelle est accompagnée d'une augmentation très forte d'effets néfastes au bon fonctionnement des dispositifs. Ces effets sont directement liés à la petite géométrie du TMOS. Les solutions technologiques permettant de compenser ces effets néfastes coûtent de plus en plus chères ce qui signifie que la technologie MOS bulk est proche de ses limites. L'ITRS'08 (International Technology Roadmap of Semiconductors) prévoit que la dernière évolution du TMOS bulk aura lieu en 2016. Ensuite pour améliorer les performances des transistors, il sera préférable de s'orienter vers d'autres structures basées sur la technologie SOI (Silicon On Insulator).

La technologie SOI permet de réaliser des transistors multiple-grille qui représentent les dispositifs les plus prometteurs pour succéder à la technologie MOS Bulk. En particulier, le

renforcement du contrôle du canal de conduction par les multiples grilles et la suppression du courant de fuite sont de précieux avantages par rapport au TMOS Bulk. Le transistor double grille (DG MOS) est un exemple de transistor MOSFET multiple-grille, il fait l'objet d'intensives études non seulement au niveau recherche mais aussi au niveau industriel. Ce composant a en effet une bonne compatibilité avec les chaînes de fabrication actuelles. Il se pose alors naturellement le problème de la conception de circuits intégrant ces nouveaux dispositifs. Ainsi, le développement de modèles compacts performants pour le DG MOS devient une demande pressante. A la différence d'un modèle purement physique (la fonction de Green's), un modèle compact utilise -idéalement- des expressions explicites (i.e. sans itération) pour le calcul des différentes grandeurs physiques telle que le courant de drain. L'intérêt d'un modèle compact est de donner au concepteur un résultat de simulation le plus rapidement possible tout en conservant une précision suffisante à la bonne fonctionnalité du circuit simulé. En outre, un modèle compact doit être lisible pour le concepteur et le fait pour ce dernier de pouvoir effectuer un pré dimensionnement "à la main" (avec le modèle) de son design est un réel atout. Depuis quelques années, plusieurs modèles compacts de MOSFET double-grille ont été publiés. Cependant, actuellement aucun d'entre eux ne répond complètement à toutes les attentes des concepteurs, ainsi la réalisation d'un modèle compact et l'extraction de ces paramètres reste donc encore à faire.

La modélisation traditionnelle insiste sur la précision et la description exacte des systèmes. L'utilisation des outils mathématiques est appropriée et justifiée pour les systèmes bien définis. Mais, quand la complexité augmente, ces outils deviennent moins efficaces. Le traitement des systèmes complexes nécessite souvent la manipulation d'informations vagues, imprécises ou incertaines. L'être humain est compétent dans la manipulation de tels systèmes de façon naturelle. Au lieu de raisonner en termes mathématiques, l'être humain modélise le comportement du système par des propositions linguistiques. Afin de pouvoir représenter ce type d'informations, la logique floue est la technique d'intelligence artificielle appropriée.

Ce mémoire est organisé en quatre chapitres:

Dans le chapitre I, nous allons présenter le fonctionnement des transistors à effet de champ MOSFET substrat massif dit « MOSFET bulk ». Les différents régimes de fonctionnement, ainsi que les problèmes engendrés par sa miniaturisation sont aussi présentés. Nous présenterons

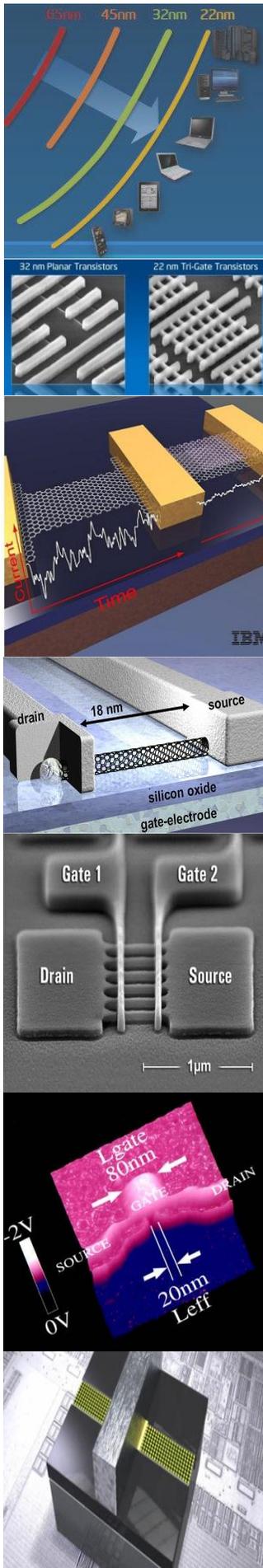
ensuite, la technologie SOI à double grille qui est l'une des solutions permettant l'élimination des problèmes de la miniaturisation.

Ensuite, le deuxième chapitre est consacré à la théorie de la logique floue ainsi que son utilisation dans la commande des systèmes. Nous exposerons les définitions de base sur les variables floues ainsi que les notions juste nécessaires pour les développements qui suivent. Le principe de la commande floue est ensuite abordé en présentant les différents types de régulateurs flous et en explicitant les éléments constitutifs de chaque type.

Derrière, dans le chapitre III, nous montrerons un état de l'art des modèles compacts de MOSFET double-grille. Nous décrirons aussi l'outil de simulation numérique indispensable à nos travaux. Notre modèle compact explicite du DG MOS et la modélisation floue des différents contrôleurs utilisés pour l'extraction des paramètres du modèle seront détaillés dans ce chapitre.

Enfin dans le chapitre IV, nous montrerons l'environnement de mesures et d'extractions de paramètres, puis l'optimisation de ces paramètres. A titre illustratif, nous proposerons quelques simulations de portes logiques réalisées avec notre modèle de DG MOS, après avoir implémenté le modèle dans des langages de haut niveau. Cette étape est très importante car elle permet de montrer que le modèle développé peut s'insérer dans un flot industriel de conception de circuits avancés en utilisant la technologie DG MOS.

# CHAPITRE 1



## Le transistor DG MOSFET à l'échelle nanométrique

## I.1/ Introduction

La diminution de la taille des MOSFETs vers l'échelle nanométrique s'accompagne de nouveaux effets électrostatiques et quantiques. Afin de retarder leur apparition, plusieurs stratégies sont envisagées à plus ou moins longue échéance.

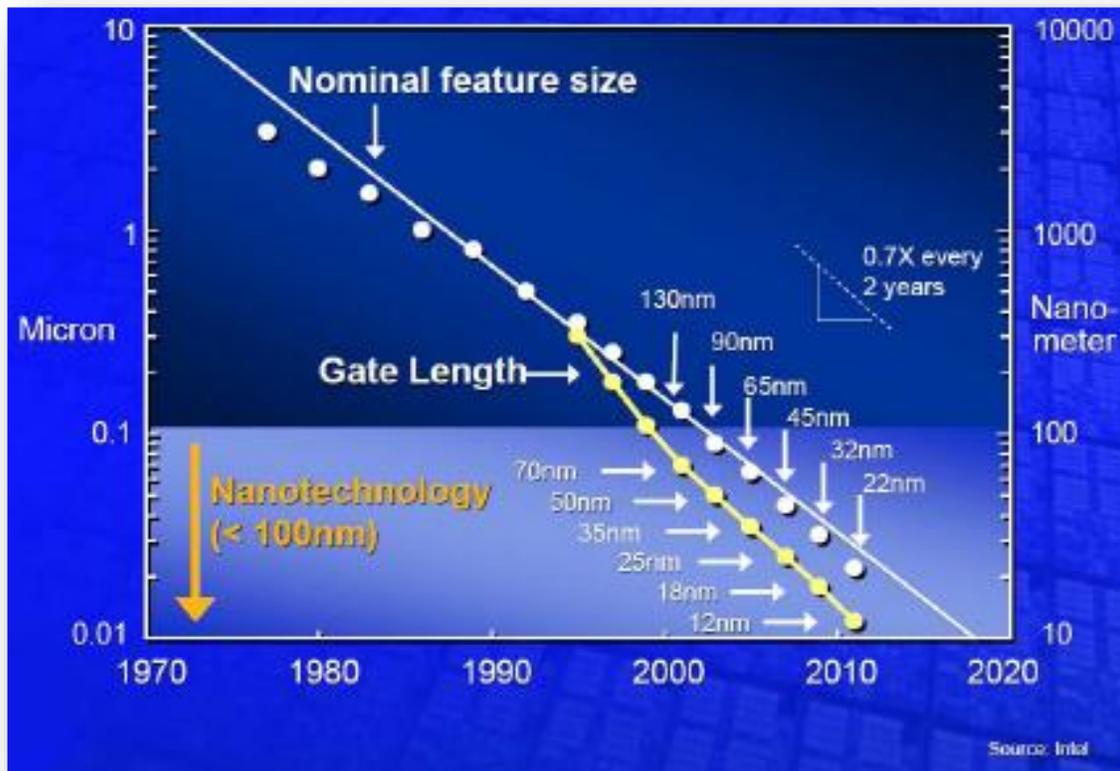
L'objectif de ce chapitre est de décrire quelques concepts concernant les principaux effets issus de la réduction des dimensions et de décrire les limites des solutions technologiques. Nous suivrons cet exposé, par une description de la structure et du principe de fonctionnement du MOSFET conventionnel (Bulk), les technologies de fabrication du MOSFET et les phénomènes quantiques dans le canal. Nous discuterons encore sur la structure émergente de MOSFETs à double grille, qui susceptible de poursuivre la miniaturisation. La dernière section ouvre sur les perspectives.

## I.2/ Evolution de la technologie CMOS

Le développement de la microélectronique depuis ces 30 dernières années est véritablement spectaculaire. Ce succès résulte en grande partie d'un savoir-faire et d'une maîtrise technologique de plus en plus poussé de l'élément fondamental de la microélectronique "le silicium". Le transistor MOS (*Metal Oxide Semiconductor*) est à la fois le principal acteur et le vecteur de cette évolution technologique. Il est à la base de la conception des circuits intégrés à très large échelle (VLSI), et a mené la technologie CMOS (Complementary MOS) au rang incontesté de technologie dominante de l'industrie des semi-conducteurs. Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, grâce aux performances accrues des nouvelles générations de transistors MOS. La réduction constante des dimensions de ces composants est le moteur de cette course à la performance; en fait, c'est cette volonté de toujours réduire la taille des transistors MOS qui a entraîné toute l'industrie des semi-conducteurs à se surpasser et à se projeter en permanence dans le futur.

En 1973, G. Moore, l'un des co-fondateurs d'Intel avait observé que le nombre de transistors intégrés sur une même puce doublait tous les 18 mois. Cette observation l'avait alors conduit à prédire que le nombre de transistors intégrés sur une puce continuerait à doubler tous les 18 mois, jusqu'à ce que les limites physiques soient atteintes. La véracité de sa prédiction durant ces 30 dernières années a été telle que l'on s'y réfère maintenant en tant que « Loi de Moore ». La figure I.1 illustre la validité de cette prévision. Aujourd'hui, des circuits intégrés (IC) comprenant plus d'un milliard de transistors sont produits de façon industrielle. La longueur

de grille des transistors MOS utilisés pour ces dernières générations de microprocesseurs est égale à 32 nm, tandis que la surface de la puce varie de 80 à 150 mm<sup>2</sup>.



**Figure I.1: Réduction d'échelle de la technologie CMOS, en accord avec la loi de Moore [1].**

Mais depuis que cette technologie est entrée dans l'ère du nanométrique, de nombreux effets néfastes apparaissent et deviennent non-négligeables ; certains d'entre eux deviennent difficilement contournables ou obligent à des solutions technologiques complexes et coûteuses.

#### **Pourquoi réduire la taille des transistors?**

La croissance de l'industrie des semi-conducteurs dépend de sa capacité à miniaturiser les transistors. L'objectif de la démarche est de délivrer de meilleures performances à moindre coût. Des circuits plus petits réduisent la surface globale de la puce électronique et permettent donc de produire plus de transistors sur un même wafer sans impact sur le prix de fabrication. Les performances électriques des composants sont également améliorées (voir tableau I.1).

En diminuant la dimension des MOSFETs, le temps de passage de l'état "off" à l'état "on" diminue linéairement du fait de l'évolution du temps de réponse intrinsèque  $t_r \cong \frac{L_G}{v}$  (voir tableau I.1), avec  $L_G$  la longueur de canal,  $v$  vitesse des porteurs. Un autre avantage est la réduction de la

consommation de puissance. Des puces plus petites consomment moins de puissance, donc moins d'énergie est utilisée pour chaque opération. En conséquence, le produit puissance\*temps est réduit. Enfin, la rapidité de transmission de l'information dans un circuit intégré est limitée par la vitesse de l'impulsion électrique. Pour pouvoir augmenter la rapidité globale d'une opération, il faut réduire les distances géométriques, et empiler un maximum de composants dans un minimum d'espace pour les rapprocher. Cette évolution permet à un large public d'accéder à des services plus performants, moins chers et souvent nouveaux. Des objets technologiques innovants sont ainsi produits et créent de nouveaux marchés dont les retombées financières sont réinvesties dans la course à l'intégration.

Année	2004	2007	2010	2013	2016
Nœud technologique (nm)	90	65	45	32	22
Longueur de grille physique (nm)	37	25	18	13	9
Tension d'alimentation (V)	1.2	1.1	1	0.9	0.8
Epaisseur d'oxyde équivalent (nm)	1.2	0.9	0.7	0.6	0.5
Tension de seuil (V)	0.2	0.18	0.15	0.11	0.10
Courant de fuite nominal des NMOS ( mA/ $\mu\text{m}$ )	0.05	0.07	0.1	0.3	0.5
Courant conducteur nominal des NMOS ( mA/ $\mu\text{m}$ )	1110	1510	1900	2050	2400
Temps de réponse intrinsèque des NMOS (ps)	0.95	0.64	0.39	0.26	0.15

*Tableau I.1: Prévisions ITRS des caractéristiques des MOSFETs ultimes (high performances) [2].*

### I.3/ Principe de fonctionnement d'un transistor MOS conventionnel

Le transistor MOS fonctionne sur le principe d'un interrupteur électrostatique de très petite taille: il laisse passer ou interrompt un courant à la demande. C'est pourquoi, s'appliquant directement au traitement du langage binaire, il s'est imposé comme composant de base de l'électronique pour les applications logiques (inverseurs, additionneurs, cellules mémoires, ...).

### I.3.1/ Structure de base

Le MOSFET est constitué d'un substrat semi-conducteur sur lequel repose une fine couche d'oxyde isolant ( $SiO_2$ ) d'épaisseur  $T_{ox}$ . Une couche conductrice (métal ou polysilicium fortement dopé), appelée grille, est aussi déposée sur l'oxyde. Enfin, deux régions fortement dopées de profondeur  $X_j$ , appelées source et drain, sont formées dans le substrat de part et d'autre de la grille. La structure basique d'un transistor nMOS est représentée à la figure I.2. En raison du procédé de fabrication, la grille de longueur  $L_G$  recouvre légèrement les régions de source et de drain. La région entre les jonctions de source et de drain est appelée la région du canal et est définie par sa longueur  $L$  et sa largeur  $W$ .

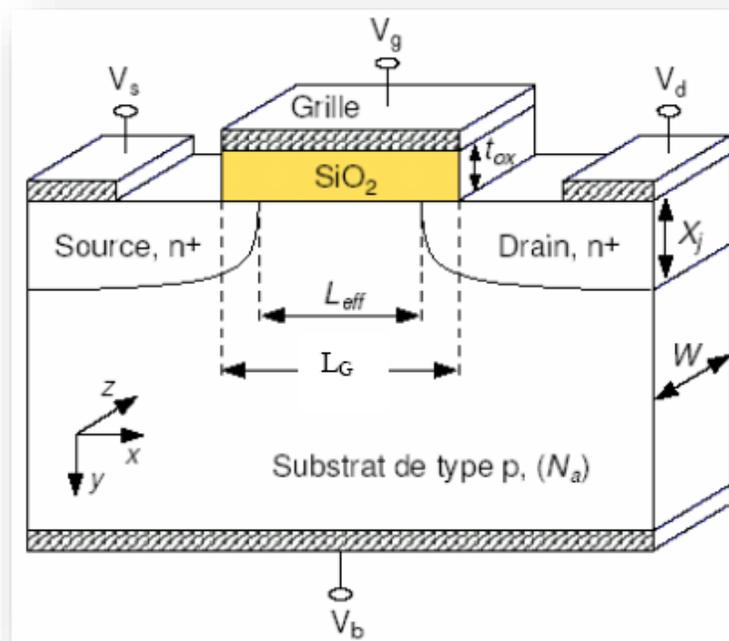


Figure I.2: Structure de base d'un transistor MOS de type n [3].

### I.3.2/ Fonctionnement du transistor MOS

Le MOSFET comporte trois électrodes: une électrode d'entrée dite «source»; une électrode de sortie dite « drain » et une électrode de commande appelée «grille». Le signal appliqué sur la grille commande l'existence ou non du canal de conduction entre la source et le drain. On distingue deux types de transistors MOS : le nMOS dont le canal de conduction est constitué d'électrons et le pMOS dont le canal de conduction est constitué de trous, nous intéresserons dans cette étude qu'aux transistors nMOS et par conséquent nous ne détaillerons que ce type de

transistor. Sachant que le nMOS et le pMOS fonctionnent sur le même principe. Les nMOSFETs présentent des zones de source et drain dopées  $n$ , c'est-à-dire équivalentes à des réservoirs d'électrons, et le substrat est dopé  $p$ .

Un transistor nMOS est dit passant lorsqu'un nombre suffisant de porteurs se trouve dans le canal de conduction, c'est-à-dire lorsque la tension de grille  $V_{GS}$  appliquée est supérieure à une tension dite de seuil ( $V_T$ ). La commande de grille est de type capacitif et s'effectue à travers une fine couche isolante (l'oxyde de grille). Le canal de conduction étant formé, le transport des porteurs entre source et drain se fait sous l'impulsion d'un champ électrique induit par une différence de polarisation entre ces deux électrodes. Dans le cas d'un transistor MOS non polarisé ( $V_{DS}=0$ ), la grille permet donc de moduler le passage d'un courant de drain ( $I_{DS}$ ) d'une valeur idéale nulle, mais qui équivaut en réalité à un courant de fuite en régime sous le seuil ( $V_{GS} < V_T$ ).

### I.3.2.1/ Paramètres d'un transistor MOSFET

Un transistor MOSFET est caractérisé par:

#### a) Tension de seuil

La tension de seuil est l'un des paramètres les plus importants dans l'étude de transistor MOS, est définie comme étant la tension à appliquer sur la grille pour obtenir la forte inversion [3].

$$\psi_S = 2 \cdot \phi_F \quad (1.1)$$

Où  $\psi_S$ : potentiel de surface.

$\phi_F$  : est le potentiel correspond au déplacement du niveau de Fermi.

Dans le cas idéal, l'expression de la tension de seuil est donnée par [3]:

$$V_T = 2 \cdot \phi_F + \frac{\sqrt{4 \cdot q \cdot N_A \cdot \epsilon_{Si} \cdot \phi_F}}{C_{OX}} \quad (1.2)$$

Où :  $N_A$ : dopage du substrat.

Mais lorsqu'on incorpore les effets de charges fixes dans l'oxyde et la différence des travaux de sortie (du métal et du semi-conducteur), il apparaît un décalage de la tension de seuil d'une quantité égale à la tension de bande plate  $V_{FB}$  ; donc la tension de seuil devient :

$$V_T = V_{FB} + 2 \cdot \phi_F + \frac{\sqrt{4 \cdot q \cdot N_A \cdot \epsilon_{Si} \cdot \phi_F}}{C_{OX}} \quad (1.3)$$

La tension de seuil typique d'un nanoMOSFET est comprise entre 0.2 et 0.4V [4].

**b) La transconductance ou gain**

La transconductance ou gain ( $g_m$ ) est définie par:

$$g_m = \left( \frac{\partial I_{DS}}{\partial V_{GS}} \right)_{V_{DS}=cte} \quad (1.4)$$

La transconductance doit être la plus élevée possible. La transconductance augmente très rapidement lorsque la longueur de canal devient inférieure à 100 nm [4].

**c) La conductance du canal**

La conductance du canal ( $g_{DS}$ ) est donnée par :

$$g_{DS} = \left( \frac{\partial I_{DS}}{\partial V_{DS}} \right)_{V_{GS}=cte} \quad (1.5)$$

**d) La pente sous le seuil**

La pente sous le seuil représente la tension de grille à appliquer (en régime sous le seuil) pour augmenter le courant de drain d'une décade :

$$SS = \frac{dV_{GS}}{d(\log I_{DS})} \quad (1.6)$$

Un MOSFET est dans l'état "off" lorsque  $I_{DS}$  est inférieur au dixième de sa valeur à la tension de seuil. Le paramètre  $SS$  limite la réduction de la tension de seuil d'un nanoMOSFET puisque le courant à zéro volt, c'est-à-dire le courant de l'état "off" doit rester suffisamment faible pour ne pas consommer de puissance.

**e) Rapport  $I_{ON}/I_{OFF}$** 

Il apparaît que les paramètres  $I_{ON}$  et  $I_{OFF}$  constituent de très bons indicateurs des performances d'un dispositif. Le rapport  $I_{ON}/I_{OFF}$  doit être élevé que possible, avec  $I_{ON}$  défini comme le courant de drain lorsque  $V_{GS}=V_{DS}=V_{DD}$  et  $I_{OFF}$  comme le courant de drain lorsque  $V_{GS}=0$  et  $V_{DS}=V_{DD}$  (figure I.3). De cette manière, des fréquences de commutation élevées sont autorisées par un courant  $I_{ON}$  élevé et un courant de  $I_{OFF}$  minimal permet une faible dissipation d'énergie au repos [5, 14].

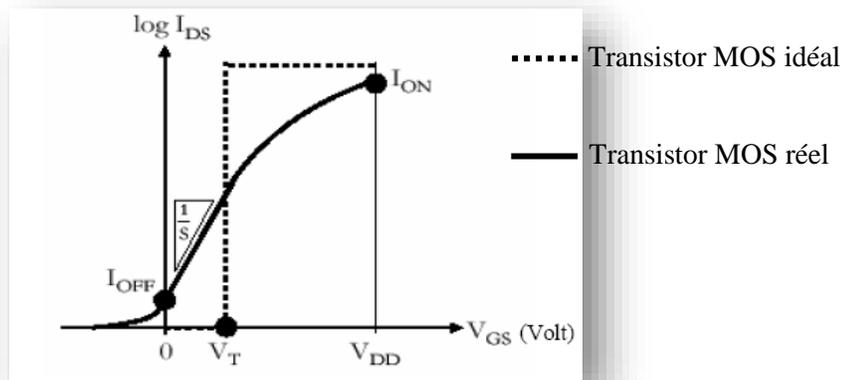


Figure I.3: Caractéristique de transfert  $I_{DS}(V_{GS})$  d'un transistor MOS.

Le graphe  $I_{ON}/I_{OFF}$  constitue aussi une des principales figures de mérite utilisées pour évaluer et comparer rapidement les performances de plusieurs dispositifs (figure I.4).

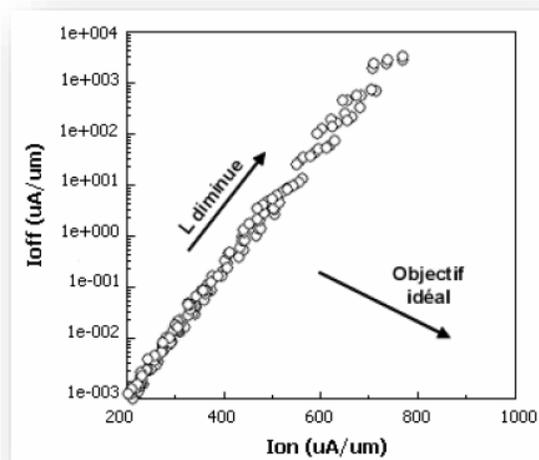


Figure I.4: Graphe  $I_{ON}/I_{OFF}$  pour des NMOS [5].

### I.3.2.2/ Régime de fonctionnement

En l'absence de toute polarisation ( $V_{DS}=0$ ), l'état électrique de la structure est conditionné par l'état de la capacité MOS qui peut être en régime d'accumulation, de déplétion ou d'inversion. Le principe de fonctionnement du transistor MOS consiste à moduler par la tension de grille l'épaisseur du canal de conduction.

L'application d'une tension  $V_{GS}$  sur la grille se traduit par un décalage du niveau de fermi. Suivant le signe et la valeur de  $V_{GS}$ , on peut distinguer quatre cas de fonctionnement:

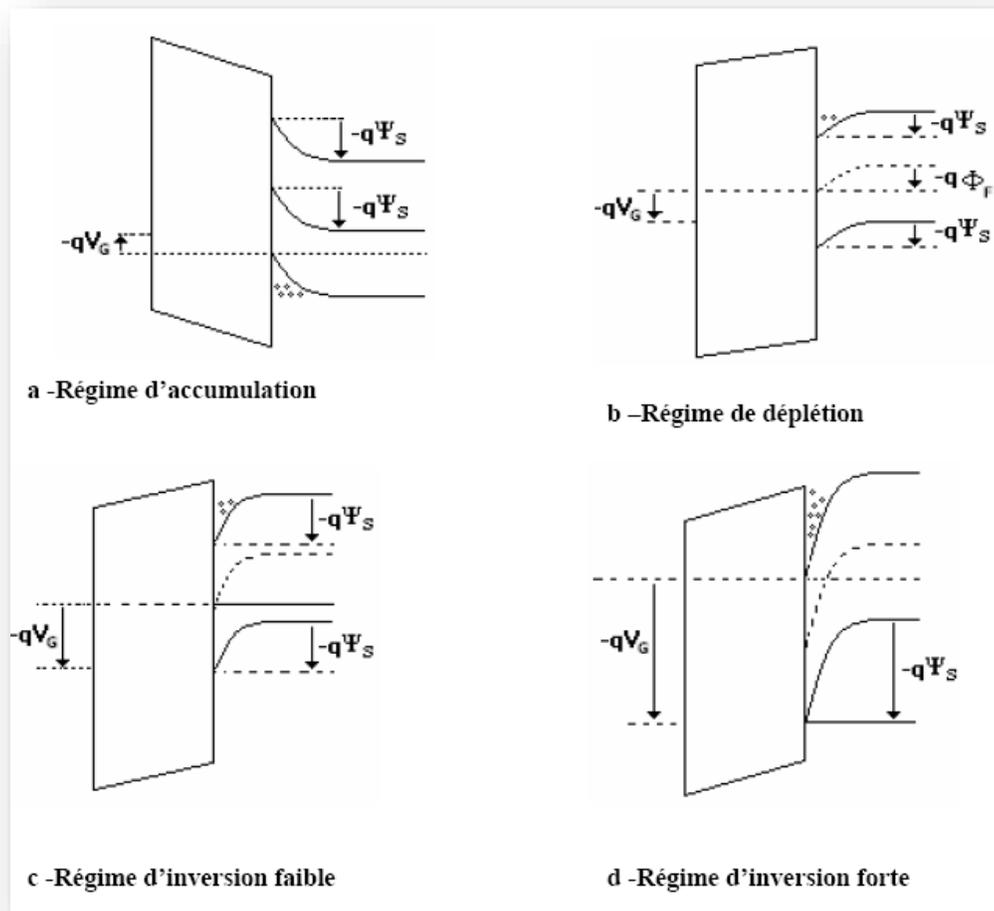


Figure I.5: Diagrammes des bandes dans les différents modes de fonctionnement de nMOS [6].

#### a) Régime d'accumulation

Lorsque la tension appliquée sur la grille est négative, le champ électrique généré attire les porteurs majoritaires du substrat à l'interface entre le semi conducteur et l'oxyde. Il existe une barrière de potentiel entre la source et le canal. Le courant ne passe pas dans ce cas et le transistor est à l'état bloqué (figure I-5-a).

#### b) Régime de déplétion

Dans ce régime la tension appliquée sur la grille est positive et inférieure à la tension de bande plate  $V_G < V_{FB}$ . Le transistor est à l'état bloqué, puisque les porteurs sont repoussés en profondeur du substrat. Aucun courant ne circule dans le composant dans ce cas également (figure I-5-b).

**c) Faible d'inversion (régime sous le seuil)**

Si on fait augmenter  $V_{GS}$ , le potentiel à la surface du substrat augmente jusqu'à atteindre une valeur permettant le déplacement des électrons de la source vers le drain, les électrons sont alors collectés par celui-ci et par conséquent participent au courant électrique dans le cas où  $V_{GS} < V_T$ . On dit alors que le canal est en faible inversion (figure I-5-c).

Le courant qui circule entre le drain et la source, appelé courant sous le seuil, est alors donné par [7]:

$$I_{DS} = \mu C_{OX} \frac{W}{L} \phi_t^2 \exp\left(\frac{V_{GS} - V_T}{n \phi_t}\right) \left\{1 - \exp\left(-\frac{V_{DS}}{\phi_t}\right)\right\} \quad (1.7)$$

Où:  $\phi_t = \frac{KT}{q}$  (Potentiel thermo-dynamique)

$n = 1 + \frac{C_D}{C_{OX}}$  (en technologie bulk).

$C_D$ : la capacité de la couche déplétée ;  $C_{OX}$ : la capacité de l'oxyde de grille.

$\mu$ : mobilité des porteurs (la mobilité traduit l'aptitude des porteurs à se déplacer sous l'effet d'un champ électrique donné  $E = \mu \cdot V$ ).

$W$ : largeur du canal.

$L$ : longueur du canal.

De plus, pour une tension grille-source nulle ( $V_{GS}=0$ , i.e transistor bloqué), un courant de fuite très faible circule dans le composant. Son expression est donnée par (par définition de SS) :

$$I_{OFF} = I_T \exp\left(\frac{-V_T \ln 10}{SS}\right) \quad (1.8)$$

$I_T$ : courant correspondant à la tension de seuil.

$SS$ : la pente sous le seuil.

D'après les formules 1.6 et 1.7, l'expression de la pente sous le seuil est :

$$SS = \ln(10) \frac{\partial V_{GS}}{\partial (\ln(I_{DS}))} = n \phi_t \ln(10) = \left(1 + \frac{C_D}{C_{OX}}\right) \frac{KT}{q} \ln(10) \quad (1.9)$$

La pente sous le seuil s'exprime en  $mV/dec$ , elle correspond à la tension qu'il faut appliquer sur la grille pour augmenter le courant d'une décade (10 fois). Dans le cas idéal et à la température ambiante,  $n=1$  et  $SS=60mV/dec$  (par remplacement dans la formule 1.9).

Toutes les caractéristiques sous le seuil peuvent être obtenues à partir d'une courbe  $I_{DS}$  ( $V_{GS}$ ) tracée sur une échelle semi-logarithmique (figure I-6) :

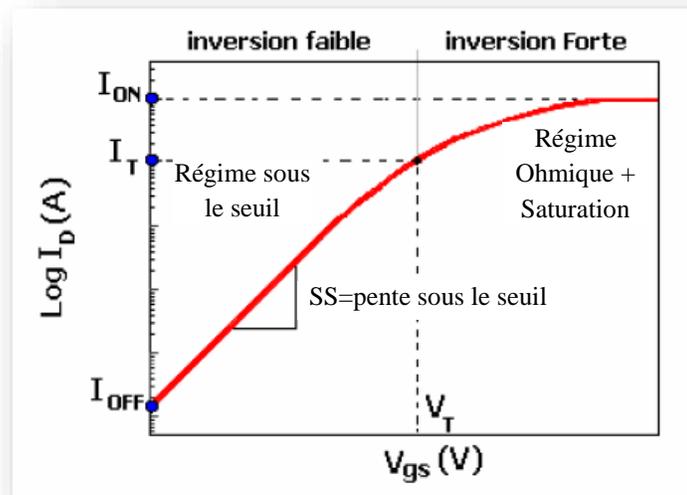


Figure I.6: Courbe  $I_D (V_{GS})$  regroupant les principales caractéristiques sous le seuil ( $I_T$ ,  $I_{OFF}$ ,  $SS$ ).

#### d) Régime d'inversion forte

Pour des polarisations de grille supérieures à la tension de seuil  $V_T$ , le transistor est en régime d'inversion forte et devient passant. La tension positive appliquée sur l'électrode de grille augmente la courbure de bande à l'interface oxyde/substrat (figure I-5-d). La source va donc pouvoir injecter des porteurs dans le substrat par abaissement de la barrière de potentiel de la jonction source/substrat. Ce champ électrique vertical induit par la tension de grille permet la création du canal de conduction. Lorsqu'il est associé à un champ électrique horizontal entre la source et le drain destiné à mettre en mouvement les porteurs, le transistor est à l'état ON. En fonction de la polarisation de drain, deux régimes se distinguent, le régime ohmique et le régime de saturation ou régime de source de courant.

#### Régime ohmique

Pour de faibles tensions de drain, la vitesse des porteurs varie linéairement avec le champ électrique dans la direction source-drain. Un tel régime est dit ohmique ou « linéaire » car le canal se comporte comme une résistance suivant l'équation [3] :

$$I_{DS} = \mu_{eff} C_{OX} \frac{W}{L_G} \left( (V_{GS} - V_T) V_{DS} - \frac{(V_{DS})^2}{2} \right) \text{ pour } V_{DS} < V_{DSsat} \text{ et } V_{GS} > V_T \quad (1.10)$$

Avec  $\mu_{eff}$  la mobilité effective des porteurs.

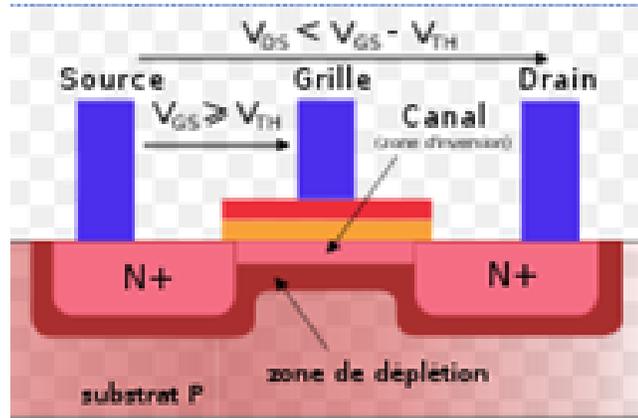


Figure I.7: Régime de fonctionnement ohmique.

**Régime de saturation**

Lorsque la tension de drain  $V_{DS}$  augmente au-delà de la valeur  $V_{GS}-V_T$ , la charge d'inversion ne peut plus être considérée comme uniforme dans le canal. En effet, la densité de porteurs devient nulle côté drain créant un point de pincement qui va se déplacer vers la source au fur et à mesure de l'augmentation de la tension de drain. Dans le régime de saturation, le courant de saturation est indépendant de la tension  $V_{DS}$  et ne dépend que de la tension de grille  $V_{GS}$ . Le transistor se comporte finalement comme une source de courant commandée par  $V_{GS}$  [3].

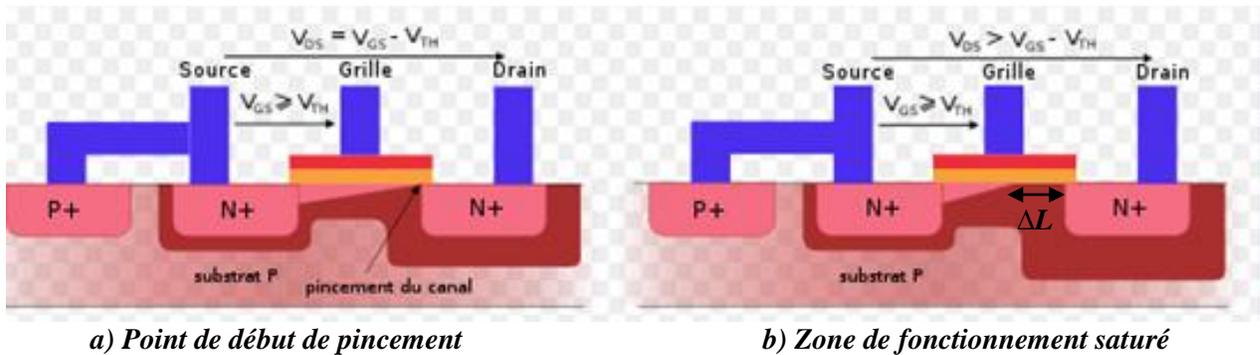


Figure I.8: Régime de saturation.

$$I_{DS} = I_{DSsat} = \mu_{eff} C_{OX} \frac{W}{L_G} \frac{(V_{GS}-V_T)^2}{2} \text{ pour } V_{DS} > (V_{GS} - V_T) \text{ et } V_{GS} > V_T \quad (1.11)$$

Avec:  $C_{OX} = \frac{k_{OX} \cdot \epsilon_0}{T_{OX}}$ , en tenant compte de la longueur effective du canal ( $L-\Delta L$ ),  $I_{DS}$  s'exprimé par:

$$I_{DS} = I_{DSsat} \frac{1}{1 - \frac{\Delta L}{L}} \quad (1.12)$$

Ou  $\Delta L$  : représente la longueur de déplacement de point de pincement vers la source.

D'après l'équation (1.11), le courant de saturation dépend directement des dimensions géométriques du transistor : réduire la longueur de grille  $L_G$  ou bien réduire l'épaisseur d'oxyde de grille  $T_{OX}$  (l'augmentation de  $C_{OX}$ ), entraînant une augmentation du courant  $I_{DS}$ . De même l'équation (1.9) indique qu'une augmentation de  $C_{OX}$  permet une amélioration de la pente sous le seuil. D'où l'un des intérêts de la miniaturisation.

### I.3.2.3/ Caractéristique courant- tension

A partir des expressions du courant de drain en fonction des tensions drain-source et grille-source, on représente alors les caractéristiques de sortie et de transfert du MOSFET qui sont données sur la figure I.9.

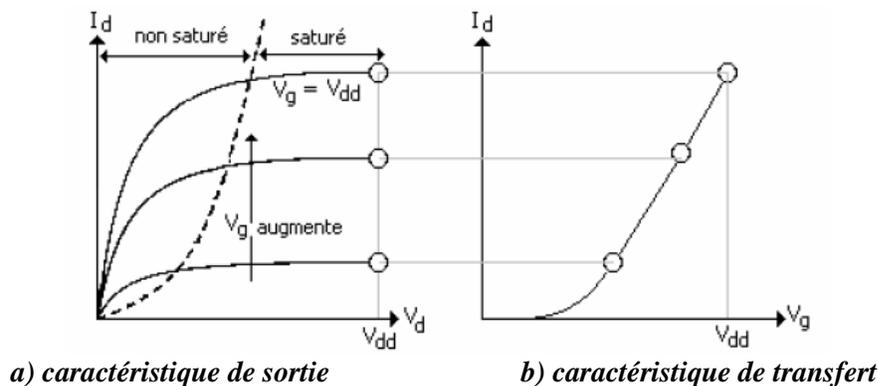


Figure I.9: Réseau des caractéristiques MOSFET.

### I.4/ Technologie de fabrication bulk et SOI

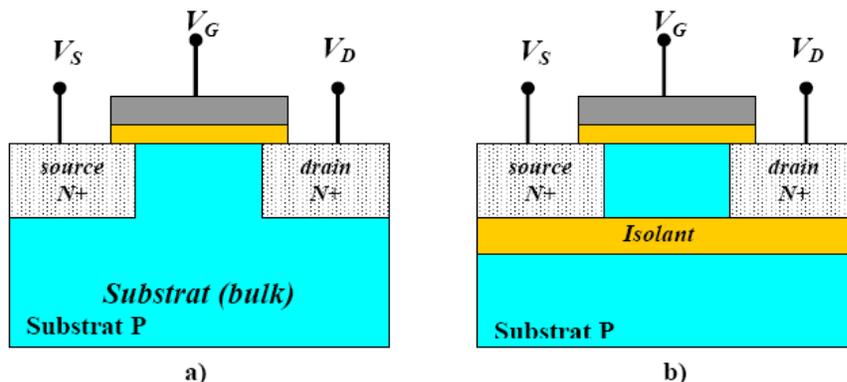


Figure I.10: Vue en coupe de transistors nMOS en technologie Si-bulk (a) et SOI(b).

Il existe actuellement deux structures de composants largement étudiées et utilisées en technologie CMOS. La première est la structure silicium massif (ou "bulk"), dans laquelle le

transistor est directement fabriqué sur un substrat semi-conducteur (figure I.10.a). La seconde est appelée SOI (pour l'anglais "Silicon On Insulator") dans laquelle le transistor est réalisé sur une fine couche de silicium séparée du reste du substrat par une couche d'isolant (figure I.10.b).

#### I.4.1/ La lithographie

Dans la technologie nanométrique, une étape de lithographie à l'échelle nanométrique est requise pour fabriquer des nanostructures avec un contrôle de leur taille et de leur positionnement inférieurs au nanomètre [8].

L'étape de lithographie est cruciale en fabrication car c'est elle qui définit la géométrie et les cotes des structures. Les techniques de lithographie se scindent en deux familles: les procédés parallèles, basés sur l'utilisation d'une onde plane qui vient impressionner simultanément une surface sensible, et les procédés séries, faisant appel au balayage d'un spot ou d'une sonde.

La lithographie UV et celle par rayons X appartiennent à la première famille, alors que les lithographies par faisceau d'électrons (EBL) ou par faisceau d'ions focalisés (FIBL) appartiennent à la deuxième.

Chaque technique de lithographie possède sa propre limite de résolution ultime et pratique. La limite pratique correspond à la résolution que les spécialistes espèrent atteindre en production, alors que la limite ultime correspond à ce qu'il serait possible d'atteindre théoriquement (voir tableau I.2).

<i>Techniques</i>	<i>Type</i>	<i>Limite pratique</i>	<i>Limite ultime</i>
<i>Ultraviolet</i>	<i>Projection</i>	<i>150 nm</i>	<i>10 nm</i>
<i>Rayon X</i>	<i>Proximité</i>	<i>70 nm</i>	<i>10 nm</i>
<i>Faisceau d'électrons</i>	<i>Ecriture directe</i>	<i>30 nm</i>	<i>1 nm</i>
<i>Faisceau d'ions</i>	<i>Ecriture directe</i>	<i>30 nm</i>	<i>10 nm</i>

**Tableau I.2: Limites pratiques et théoriques des techniques de lithographies conventionnelles.**

L'origine de la limite de résolution pratique pour l'utilisation de ces techniques à grande échelle (fabrication de plusieurs millions de transistors à la fois), est différente selon les techniques [8]:

- **Lithographie UV:** La résolution  $l_m$  de ce procédé est directement liée à la longueur d'onde  $\lambda$  ainsi qu'à la distance  $z$  entre le masque et le substrat recouvert de résine, par la relation  $l_m = \sqrt{\lambda \cdot z}$ . Cependant de plus la longueur d'onde utilisée est courte, au plus il

devient difficile de trouver des résines photosensibles. Cette technique permet de réaliser des structures sub-50nm.

- **Lithographie par rayons X**: Ce procédé nécessite l'utilisation d'un masque à l'échelle 1/1 à cause des difficultés liées à la fabrication d'optiques performantes pour ces longueurs d'onde. La fabrication de masque à l'échelle 1/1 représente un coût très élevé. De plus, l'alignement du masque par rapport au substrat, devient de plus en plus critique lorsque les tailles des motifs du masque diminuent. La lithographie par rayons X permet d'atteindre une résolution de 30 nm,

- **Lithographie par faisceau d'ions focalisés** : les ions sont utilisés pour insoler la résine mais également pour graver directement une surface. Cette technique consiste à déplacer, sur la surface à lithographier, le faisceau d'une source d'ions à métal liquide. La résolution de la technique est d'une dizaine de nanomètres.

- **Lithographie par faisceau d'électrons** : la technique consiste à balayer un faisceau d'électrons sur une surface recouverte d'une résine électrosensible. En raison de leur faible longueur d'onde ( $\lambda=0.04$  nm pour un électron d'énergie de 1 keV), la lithographie par faisceau d'électrons est moins sensible aux diffractions et permet d'atteindre des tailles de l'ordre du nanomètre.

A partir du tableau et des remarques précédentes, on se rend compte qu'aucune technique de lithographie ne pourra de manière certaine, atteindre la résolution nécessaire pour fabriquer soit les MOSFET à leur taille minimum, soit les dispositifs élémentaires pressentis pour remplacer les transistors dans l'ère de la nanoélectronique. Il est donc impératif de mettre au point de nouvelles techniques permettant de relever ces défis technologiques, une des solutions envisagées est l'utilisation des microscopies en champ proche.

#### **I.4.2/ La nano-lithographie**

Les microscopies en champ proche sont des nouveaux outils de nano-lithographie. Il existe 3 principales microscopies en champ proche, la microscopie à force atomique (AFM), la microscopie par effet tunnel (STM) et la microscopie en champ proche optique (SNOM). Leur point commun repose sur l'utilisation du phénomène très local, d'interactions entre une pointe de faible rayon de courbure (de 5 à 100 nm) et une surface, interactions qui apparaissent lorsque la distance pointe-échantillon est très faible (quelques nanomètres). La modification locale d'une surface à l'échelle nanométrique est possible sous la pointe d'un microscope à champ proche

(AFM, STM et SNOM). Cette technique a même été utilisée pour positionner un unique atome sur une surface. Il est alors possible d'imaginer d'utiliser les sondes en champ proche pour la fabrication de motifs à l'échelle nanométrique et pouvant même atteindre le contrôle atome par atome. Les sondes locales ont été utilisées pour graver des résines, pour induire une oxydation locale sélective sur du silicium ou sur des couches ultra minces de métaux.

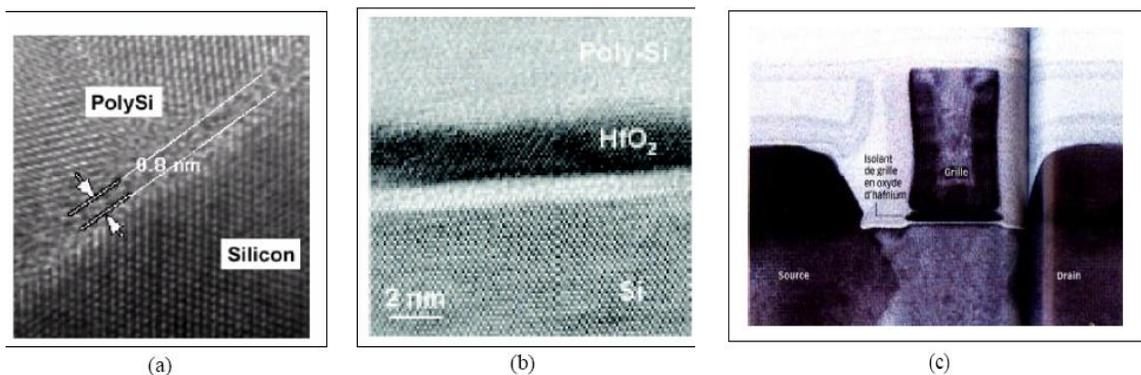
### I.5/ Effets de la miniaturisation et les solutions apportées à certains effets indésirables

L'un des enjeux majeurs pour la miniaturisation du transistor MOS est d'obtenir un rapport  $I_{ON}/I_{OFF}$  élevé. Ces nanoMOS imposent de nouveaux défis technologiques à relever et dévoilent de nouveaux phénomènes que l'on ne peut plus négliger. Dans les paragraphes qui suivent, nous allons examiner les principales contraintes technologiques auxquelles le dispositif MOSFET est confronté dans la course à la miniaturisation.

#### I.5.1/ Problèmes liés aux faibles épaisseurs d'oxyde

L'épaisseur d'oxyde de grille doit être réduite afin d'améliorer le contrôle du canal de conduction. Une augmentation du courant  $I_{DS}$  (surtout  $I_{ON}$ ) passe notamment par une augmentation de la capacité d'oxyde ( $C_{OX}$ ), ce qui équivaut à une diminution de l'épaisseur d'oxyde de grille ( $T_{OX}$ ).

Pour des épaisseurs inférieures à 2 nm, la couche d'oxyde devient suffisamment fine pour permettre le passage des porteurs par effet tunnel. Ce passage est à l'origine d'un courant tunnel de grille d'autant plus important que l'épaisseur d'oxyde est faible. L'apparition d'un courant de grille entraîne un accroissement du courant à l'état bloqué et donc de la puissance dissipée, il perturbe aussi le bon fonctionnement du transistor à l'état passant.



**Figure I.11:** Vue en microscopie électronique à transmission (TEM) à haute résolution d'un :  
 a) empilement polysilicium/SiO<sub>2</sub>/Si avec une épaisseur  $T_{OX}$  de SiO<sub>2</sub> égale à 0,8 nm. b) empilement polysilicium/HfO<sub>2</sub>/Si Les points sur l'image correspondent aux nuages électroniques d'atomes.  
 c) transistor MOSFET avec isolant de grille en oxyde d'hafnium.

Parmi les solutions, une consiste donc à remplacer l'oxyde standard  $SiO_2$  ( $k=3.9$ ) par un diélectrique de plus haute permittivité dit *high-k* comme l'oxyde d'hafnium ( $HfO_2$  :  $k=20-25$ ). Parmi les matériaux présentant *high k* les plus prometteurs, citons  $ZrO_2$  et  $HfO_2$  (voir figure I.11). L'oxyde d'hafnium  $HfO_2$  avec sa permittivité relative  $k_{ox}$  de l'ordre de 20, son gap relativement grand de l'ordre de 5,65 eV, et enfin sa relative stabilité thermodynamique sur le silicium semble être un bon candidat pour remplacer l'oxyde.

### I.5.2/ La déplétion de grille

Les électrodes de grille standards sont en silicium poly-cristallin et sont la cause d'une zone de désertion à proximité de l'interface avec l'oxyde. L'utilisation d'une grille poly-silicium totalement siliciurée ou de grilles métalliques permet alors de supprimer cette zone de désertion parasite. Laquelle offre, en outre, la possibilité d'ajuster la tension de seuil des dispositifs.

L'ajustement de la tension de seuil se fait par le biais de l'ajustement du travail de sortie de la grille métallique. Parmi les matériaux métalliques potentiellement au cœur des recherches dans ce domaine, se trouvent les matériaux de type *midgap* dont le travail de sortie est identique à celui du silicium. Nous pouvons citer le  $CoSi_2$  et le  $TiN$  comme exemples de matériaux de ce type.

### I.5.3/ Problèmes liés au dopage

Une autre difficulté dans la mise au point des nanoMOS réside dans la réalisation des différents dopages (canal, caissons,...). La réalisation de profils de dopage complexes dans des dispositifs de plus en plus petits révèle technologiquement des difficultés croissantes, notamment si l'on désire une parfaite reproductibilité d'un transistor à un autre sans aucune dispersion des caractéristiques.

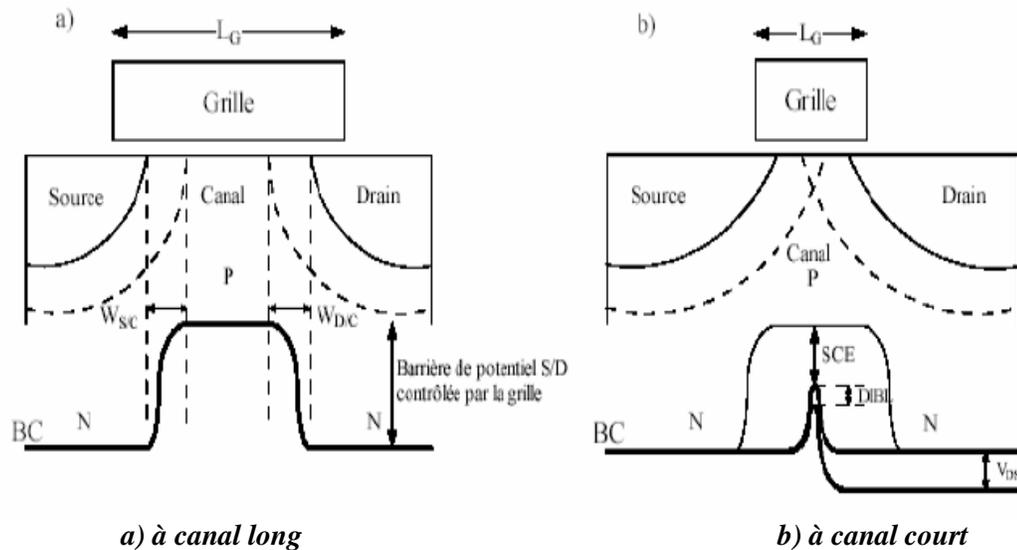
Le nombre d'impuretés dans le canal participant à l'élaboration du courant est de plus en plus faible de par la réduction croissante des dimensions du canal (à titre d'illustration, pour un substrat dopé à  $10^{18}$  atomes / $cm^3$ , un canal mesurant  $20 \times 20 \times 20$  nm<sup>3</sup> ne comporte en moyenne que 8 impuretés). Il en résulte une distribution microscopique aléatoire des dopants ayant des effets non négligeables sur la tension de seuil. Ces fluctuations de performances de plus en plus grandes vont aboutir, à terme, à des problèmes de plus en plus difficiles à surmonter dans les technologies MOSFET.

### I.5.4/ Les effets canaux courts

Cependant de nouveaux problèmes apparaissent lorsque l'on atteint des longueurs de grille nanométriques (inférieures à 100 nm), de manière générale, les effets canaux courts, que nous noterons SCE (*Short Channel Effects*), constituent tous les effets parasites qui influent sur  $V_T$ . Deux effets parasites sont prédominants lorsque l'on atteint des dimensions très faibles: le partage de charge CS (*Charge Sharing ou Roll-off*) et le DIBL (*Drain Induced Barrier Lowering*).

#### I.5.4.1/ Le partage de charge de déplétion (CS)

En diminuant la longueur de grille, certes le temps de commutation entre les états logiques du dispositif est diminué, mais la proportion spatiale du canal de conduction contrôlée par la grille l'est aussi. Ces effets dits de canal court (SCE) peuvent se résumer à la perte du contrôle électrostatique de la grille sur le canal [1]. En effet, dans les transistors longs, la charge de désertion dans le canal est essentiellement contrôlée par la grille. Mais, lorsque la longueur de grille du transistor diminue, les régions de désertion aux jonctions source et drain restent de taille constante alors que la région du canal contrôlée par la grille diminue (voir figure I.12).



**Figure I.12:** Structure d'un transistor MOSFET, Dans (b), les effets canaux courts résultent du chevauchement des zones de charges d'espaces des régions dopées ( $W_{S/C}$  et  $W_{D/C}$ ) [28].

Il en résulte, dans les transistors courts, que le potentiel le long du canal peut être complètement dominé par les extensions des zones de charge d'espace autour des jonctions source et drain au détriment du contrôle de la grille [1]. Cet effet se traduit par une diminution de

la tension de seuil et par une augmentation de la pente sous le seuil  $SS$  ainsi que du courant (figure I.13).

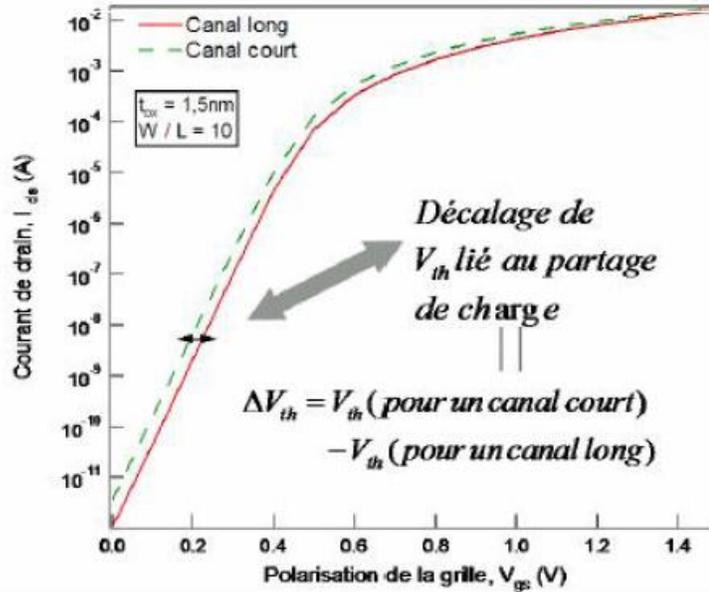


Figure I.13: Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS pour  $V_{DS}=1V$  [28].

#### I.5.4.2/ L'abaissement de la barrière de potentiel induit par le drain (DIBL)

Le DIBL est alors attribué à l'influence du potentiel de drain sur la hauteur de barrière du côté de la jonction source/substrat. L'abaissement de la barrière de potentiel, dû aux effets de canal court entre la source et le drain est la cause d'une diminution de la tension de seuil mais aussi d'une augmentation du courant de fuite  $I_{OFF}$ .

Pour expliquer l'effet du DIBL, nous devons considérer un dispositif à canal court. Comme décrit dans la figure I.14.b, lorsque aucune polarisation n'est appliquée, le profil de potentiel est le même que dans le cas du dispositif à canal long (figure I.14.a). Cependant, avec une tension de drain appliquée, le profil du potentiel de canal est affecté. La polarisation de drain change le profil sur toute la longueur du canal, abaissant la barrière à la jonction substrat-source (figure I.14.b). L'injection augmentée d'électrons par la source, par dessus la barrière de canal réduite, lorsque  $V_{DS}$  augmente, entraîne une croissance du courant de drain et donc une décroissance de  $V_T$ .

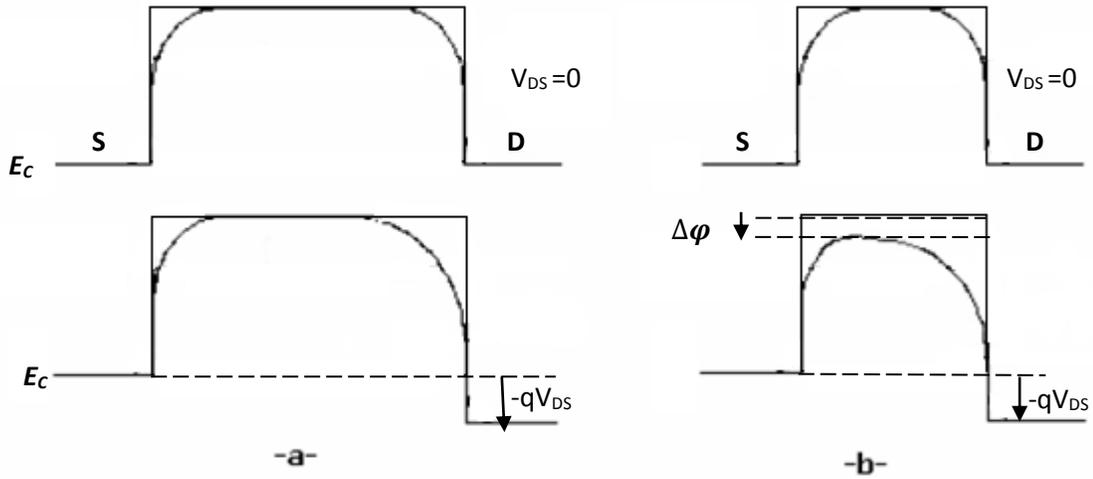


Figure I.14: Profil du potentiel de canal sur une structure à canal long (a) et à canal court (b) pour  $V_{DS}=0V$ ,  $V_{DS}>0V$  [28].

L'effet DIBL est habituellement mesuré par le décalage de la courbe de transfert en régime sous seuil  $\Delta V_T$  divisé par le  $\Delta V_{DS}$  (figure I.15):

$$DIBL = \frac{\Delta V_T}{\Delta V_{DS}} \left( \frac{mV}{V} \right) \quad (1.13)$$

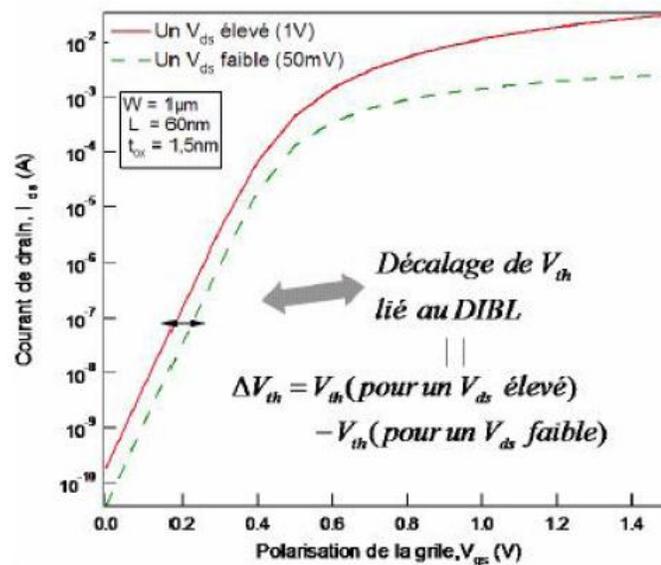


Figure I.15: Influence de l'effet du DIBL sur la caractéristique  $I_D - V_{GS}$  du transistor MOS [28].

### I.5.5/ Solutions pour remédier aux effets de canaux courts

Afin de limiter l'impact de ces effets de canal court et donc d'augmenter le contrôle de la grille sur le canal, plusieurs solutions sont proposées dans la littérature. Le transistor sur SOI se

distingue du transistor conventionnel par la présence d'une couche d'oxyde enterrée. Ainsi, pour de très faibles épaisseurs de film, le canal d'un transistor SOI peut être complètement déserté (fully depleted SOI ou SOIFD). De cette manière, un très bon contrôle du potentiel dans le canal est autorisé ce qui limite les effets de canal court. Ceci constitue l'un des avantages majeurs des films minces de silicium.

Afin d'améliorer encore plus le contrôle de la grille sur le canal, une autre solution consiste en l'introduction d'une ou plusieurs grilles de contrôle supplémentaires. De telles architectures suscitent une réelle inspiration puisqu'elles permettent une diminution du courant de fuite  $I_{OFF}$  mais également un gain en courant  $I_{ON}$ .

### **I.6/ Impact du canal nanométrique sur le transport électronique**

La diminution de la longueur de grille ou de l'épaisseur de film ont également un impact non négligeable sur le transport électronique. En effet, le champ électrique varie désormais rapidement dans le canal, les porteurs soumis à ce champ sont susceptibles d'acquérir des énergies très élevées que les interactions avec les phonons du réseau cristallin ne suffiront pas à ramener à leur valeur d'équilibre. On définit ainsi le transport hors-équilibre comme régissant le mouvement des porteurs lorsque le gain d'énergie des porteurs induit par le champ électrique est plus important que la puissance que peut dissiper le réseau cristallin par l'intermédiaire des interactions phonons. De plus, il est désormais possible que le temps mis par un porteur pour aller de la source au drain soit du même ordre de grandeur que le temps caractéristique entre deux interactions successives subies par un porteur. Ainsi, lorsqu'une proportion non négligeable des porteurs est susceptible d'aller de la source au drain en ne subissant aucune interaction, le transport est qualifié de quasi-balistique. Enfin, lorsque la dimension des dispositifs devient de l'ordre de grandeur de la longueur d'onde des porteurs, ce qui est notamment le cas pour les très faibles épaisseurs de film, il convient de prendre en compte la nature ondulatoire des porteurs. Ces différents phénomènes de transport électronique sont susceptibles de jouer de manière considérable sur les performances électriques des transistors.

Afin d'améliorer le transport électronique dans le canal, l'augmentation de la mobilité dans le canal est une solution. Depuis, quelques années, on s'intéresse donc à l'introduction de contraintes mécaniques dans le canal du transistor MOS. Des matériaux alternatifs dits à forte mobilité comme le silicium contraint, le silicium-germanium ou le germanium sont donc

actuellement utilisés ou à l'étude. Notons également que les changements d'orientation cristalline du substrat sont un autre moyen d'augmenter la mobilité des porteurs.

Au-delà des quelques enjeux présentés ci-dessus précisons que les résistances des extensions source et drain peuvent être très élevées, limitant ainsi les performances du transistor. Donc la diminution des résistances d'accès en remplaçant les régions dopées par des contacts Schottky (sources et drains métalliques).

Ainsi donc, les enjeux de la miniaturisation du MOS dans le régime nanométrique sont multiples et seuls quelques uns sont évoqués ici. Ils concernent non seulement les matériaux utilisés (matériaux, grilles métalliques, oxyde *high-k* ...), mais également l'architecture même des transistors (transistors sur film mince, à grilles multiples ...). De plus, de telles architectures sont désormais le siège de phénomènes de transport électronique complexes. L'étude du transport électronique est donc également devenue l'un des enjeux majeurs des futures générations de composants MOSFETs.

### I.7/ Les structures à grilles multiples dans la technologie SOI

Les avantages de la technologie SOI simple grille sont nombreux. Cependant, leur inconvénient majeur, est la non disparition complète des effets canaux courts. La polarisation du drain peut induire des effets canaux courts par influence électrostatique à travers l'oxyde enterré. Cet effet néfaste devient conséquent surtout lorsque l'épaisseur d'oxyde est importante.

Naturellement, réduire l'épaisseur d'oxyde ne ferait que réduire l'influence électrostatique ; en revanche, insérer une grille en-dessous de l'oxyde constituerait un bouclier qui bloquerait complètement les lignes de champs (figure I.16). Ceci permettrait directement de protéger le canal et de réduire les effets canaux courts. Cette structure est appelée double-grille et fera l'objet de notre étude. Le double-grille (DG) rentre dans le cadre des structures multi-grilles que nous allons présenter dans la section suivante.

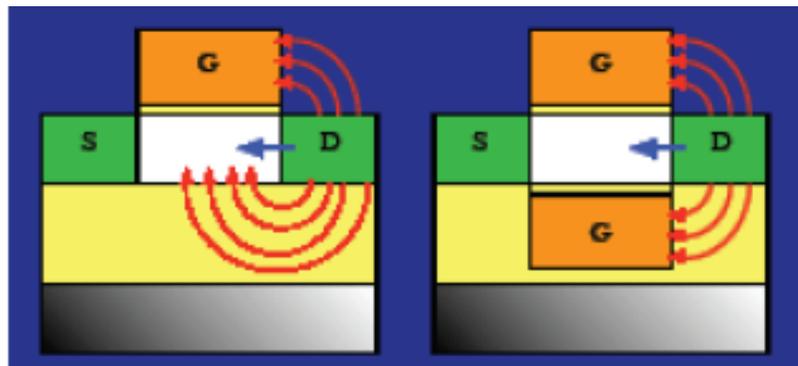
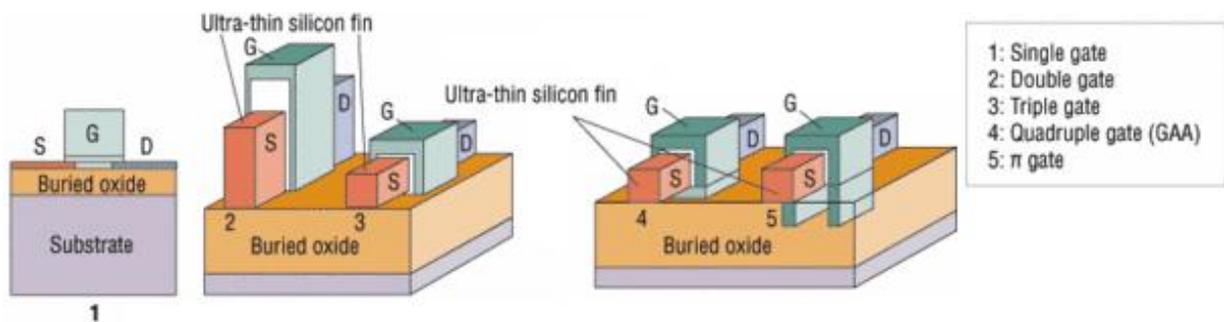


Figure I.16: Influence électrostatique sur le MOS SOI à une seule grille et la solution double grilles.

### I.7.1/ Les transistors à grilles multiples

L'ajout de grilles autour de la couche de silicium, non seulement favorise l'isolement du canal de conduction, d'où sa protection, mais offre également un meilleur contrôle sur ce canal. En conséquence, nous voyons apparaître des structures SOI avec deux, trois, voir quatre grilles [9] (voir la figure I.17).



**Figure I.17:** Les différentes structures multi-grilles : SOI double-grille (2), SOI triplegrille (3), SOI quadruple-grille/Surrounding-gate (4), et grille en forme  $\Pi$  ou  $\Omega$  (5).

Suivant le nombre de grilles qui contrôle le canal et leur positionnement autour du film de silicium, la dénomination des MOSFETs SOI diffère, ainsi nous trouvons dans la littérature:

**Le double-grille:** Le transistor MOS double-grille (DG) est constitué de deux grilles. La figure I.17 présente cette architecture. Chaque grille exerce un contrôle sur le canal. De plus, on observera qu'au niveau de la structure MOSFET double-grille planaire, il existe deux variantes. Suivant la manière dont le dispositif est polarisé, nous assistons à des modes de fonctionnement différents. Nous avons ainsi le MOSFET double-grille en mode de fonctionnement symétrique et asymétrique.

**Le triple-grille:** Cette structure dispose de trois grilles (TG), dont une au-dessus de l'oxyde et une sur chaque face latérale (figure I.17). Les couches d'oxyde au contact de chacune des grilles ont une épaisseur suffisamment faible pour permettre la formation de trois canaux à l'intérieur du film de silicium [9].

**Le triple+-grille:** Ces transistors sont représentés à la figure I.18. Ils sont constitués non seulement de trois grilles positionnées au-dessus de l'oxyde de grille et sur les faces latérales, mais également de deux extensions.

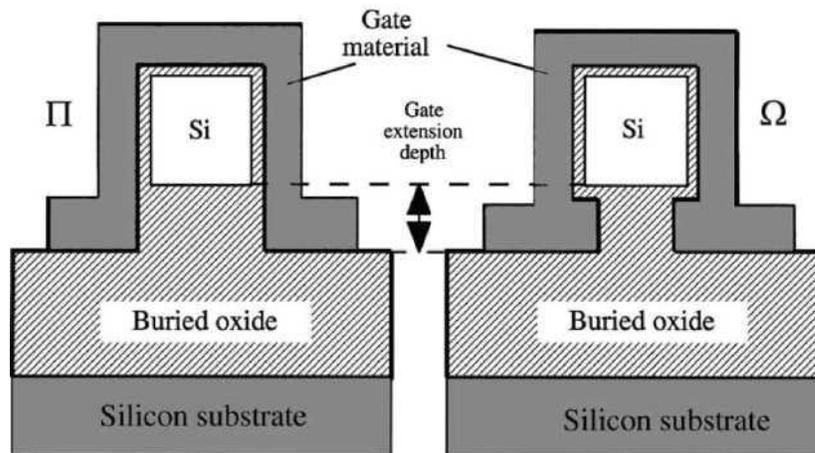


Figure I.18: L'extension des grilles conduisant aux structures II et  $\Omega$  SOI MOSFETs.

Suivant la forme de ces extensions, l'architecture diffère [9]. Si ces extensions se développent verticalement dans l'oxyde enterré, soit suivant la continuité des grilles latérales, nous parlons de structure II. Si ces extensions se développent horizontalement, soit perpendiculairement aux grilles latérales, nous parlons de  $\Omega$ . Ces extensions sont généralement obtenues en sur-gravant l'oxyde dans la phase de définition des zones actives. Leur rôle consiste à améliorer considérablement le contrôle électrostatique de la grille.

**Le quadruple-grille** : Ce composant possède quatre grilles (QG). La structure est décrite à la figure I.17. Le film de silicium est recouvert de grille sur les quatre faces, d'où leur autre nom : "surrounding-gate" [9]. Des études restent encore à mener pour déterminer tous les avantages de ce type de composant.

### I.7.2/ Avantages des transistors à grilles multiples

L'idée d'ajouter de plus en plus de grilles repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, ces grilles polarisées peuvent commander le volume global de silicium entre la source et le drain. La conduction s'effectue alors de manière volumique et non plus surfacique [9], on s'attend à des effets avantageux pour la valeur du courant de drain. De plus, la prise de contrôle du canal se révèle plus importante, on s'affranchit des effets canaux courts liés à l'influence de  $V_{DS}$ : la diminution drastique de l'épaisseur d'isolant devient moins cruciale. Enfin, par leurs dispositions, les grilles font enseigne de bouclier contre les lignes de champs créées par la polarisation du drain. Finalement, les performances sont nettement améliorées avec de telles architectures multi-grilles. A cet effet, elles font l'objet actuellement de recherches intenses dans de nombreux laboratoires.

### I.7.3/ Inconvénients des transistors à grilles multiples

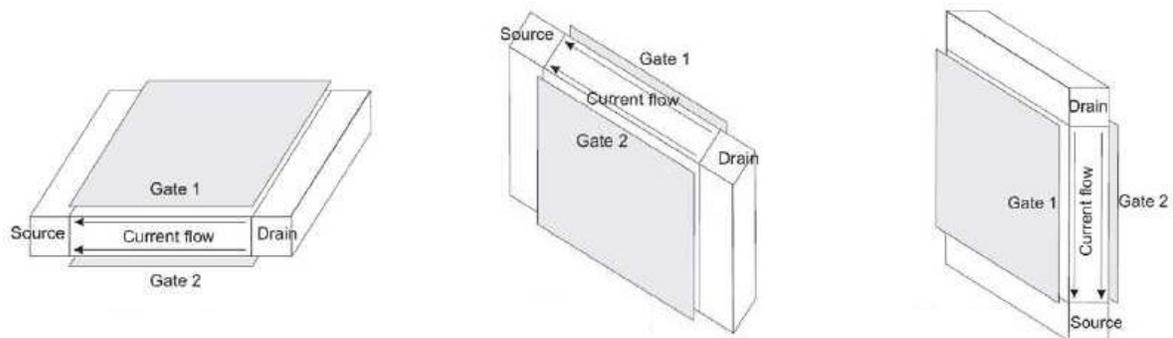
L'un des inconvénients de ces structures est l'accroissement des résistances des extensions source et drain. De plus, les dimensions de la zone active étant réduites à moins de quelques dizaines de nanomètres dans toutes les directions, de multiples questions se posent quant à la physique du transport dans ces dispositifs : importance du transport balistique [10] ou par effet tunnel [11] entre source et drain. Finalement, le point qui reste de loin le plus critique réside, bien entendu, dans leur fabrication qui nécessite la mise en œuvre de procédés plus que délicats.

### I.8/ Technologie MOSFET double-grille

Les transistors MOS double-grille (DG) sont regroupés en trois catégories suivant la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal. Ainsi, pourrions-nous distinguer (voir figure I.19). :

- **Le transistor double-grille planaire** : où le transport électronique s'effectue parallèlement au plan de substrat et le champ de grille est perpendiculaire au substrat. Cette technologie ne nécessite pas de résolution lithographique inférieure à la longueur de grille  $L_G$ .
- **Le transistor double-grille quasi-planaire** : où le transport électronique et le champ de grille sont parallèles au plan de substrat. Le transistor MOS double-grille quasi-planaire est nommé FinFET. Il tire son nom de son canal en forme d'aile (*Fin*).
- **Le transistor double-grille vertical** : où le transport électronique est perpendiculaire au plan de substrat et le champ de grille est parallèle au substrat. L'avantage de cette technologie est que la longueur de grille n'est pas définie par lithographie. Cela permet d'atteindre dans la miniaturisation des longueurs de grille ultracourtes.

Ces trois catégories de double-grille possèdent des particularités technologiques – telles qu'une résolution lithographique et un alignement des grilles – totalement différentes. En conséquence de ces différences du point de vue technologique, les propriétés électriques demeurent nettement modifiées.

a) *Planaire*b) *Quasi-planaire*c) *Vertical*

**Figure I.19:** Orientation du transport électronique et effet de champ sur le MOS double grille.

### I.8.1/ Modes de fonctionnement du transistor MOS double-grille planaire

Le transistor MOS double-grille planaire se divise principalement en deux types suivant le mode de fonctionnement retenu. Ainsi, distinguons-nous le MOS double-grille en mode de fonctionnement symétrique (SDG) et asymétrique (ADG). Le point commun de ces deux transistors est que les deux grilles sont polarisées simultanément.

Il existe toutefois une structure double-grille où les grilles ne sont pas connectées électriquement et où leurs polarisations s'effectuent indépendamment. On parle dans ce cas, de double-grille à grilles indépendantes.

Par souci de clarté quant aux définitions du MOSFET double-grille symétrique et asymétrique, nous allons considérer la structure générique MOSFET double-grille présentée dans la figure I.20. Nous notons bien sûr cette figure présente la forme planaire, avec une partie centrale qui représente la couche de silicium et qui constitue la partie active du composant. Nous symboliserons de manière générale les épaisseurs d'oxyde par  $T_{OXK}$  ( $K=1,2$ ), et les différences de travaux de sortie entre le silicium et les grilles par  $\Delta\phi_k$ . L'épaisseur du film de silicium sera symbolisée par  $T_{Si}$ .

Pour revenir à la distinction entre le transistor MOS double-grille symétrique et le transistor asymétrique, il est aisé de voir que lorsqu'une polarisation identique est appliquée aux deux grilles, les tensions  $V_{GF}$  et  $V_{GB}$  chutent respectivement à travers les couches d'oxyde d'épaisseurs  $T_{OX1}$  et  $T_{OX2}$ . Outre ces réductions des polarisations des grilles liées à la présence des oxydes, nous remarquons des chutes additionnelles liées aux différences des travaux de sortie entre le silicium et les grilles ( $\Delta\phi_1$  et  $\Delta\phi_2$ ). Finalement, la tension au niveau d'une interface silicium-oxyde dépend aussi bien du  $T_{OXk}$  que du  $\Delta\phi_k$  correspondant. Il en résulte que si, sur une même

structure, les grilles sont faites de même matériaux (ce qui conduit à  $\Delta\phi_1 = \Delta\phi_2$ ) et les couches d'oxyde sont de même épaisseur ( $T_{OX1} = T_{OX2}$ ), les tensions sur les deux interfaces silicium-oxyde seront identiques. Par conséquent, au sein de la zone active, les porteurs subissent la même influence de la part des deux grilles. Cela conduit à une symétrie de fonctionnement. Au contraire, on obtient un fonctionnement asymétrique.

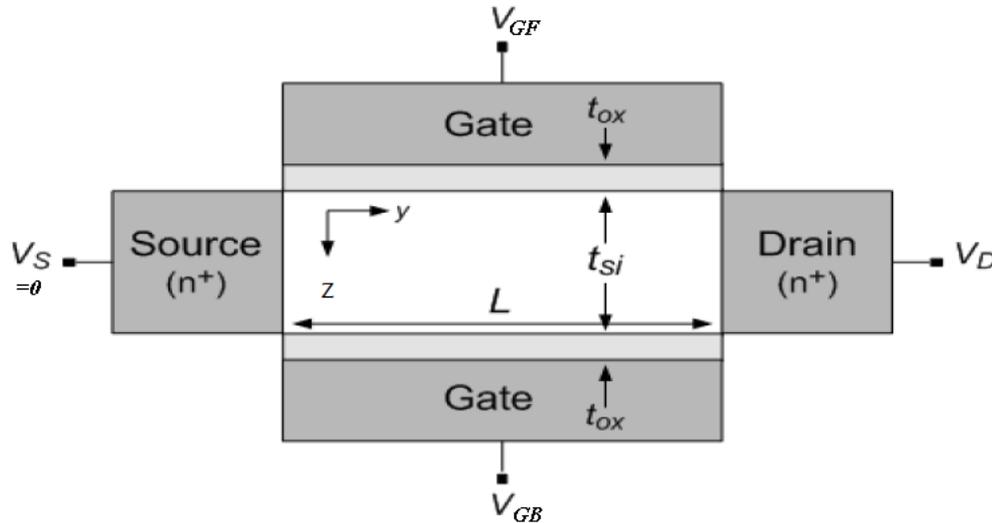


Figure I.20: Structure générique d'un transistor MOS double-grille.

## I.8.2/ Propriétés électriques du MOSFET double-grille

Le transistor MOS double-grille fait donc partie des architectures innovantes les plus prometteuses. Par comparaison avec le transistor MOS bulk et le transistor MOS SOI à une grille, l'ajout d'une seconde grille permet d'améliorer le contrôle électrostatique du canal et donc de lutter efficacement contre les effets canaux courts. De plus, grâce au phénomène d'inversion volumique, une amélioration de la mobilité effective des porteurs est attendue.

Nous allons, dans cette section, faire une étude comparative des propriétés électriques du MOSFET double-grille planaire avec celles des autres architectures SOI.

### I.8.2.1/ Définition de la tension de seuil

la définition de la tension de seuil pour MOSFET bulk est la tension de grille au cours de laquelle le potentiel de surface est égale à deux fois le niveau de Fermi  $2\phi_F$ . Néanmoins, cette définition n'est pas suffisante pour les transistors DG MOSFET, où il ya inversion ou accumulation dans l'ensemble du film, et pas seulement à la surface, ce qui conduit à avoir le régime de forte inversion avant que le potentiel de surface n'atteigne la valeur de  $2\phi_F$ . P. Francis et al. ont développé un modèle de mode d'inversion du MOSFET doublegrille à canal long où la

tension de seuil est définie à partir de la caractéristique de la transconductance par la méthode dite TC (Transconductance-Change) [12]. Dans cette approche, la tension de seuil correspond à la polarisation de la grille pour laquelle la dérivée de la transconductance atteint son maximum. Concrètement, cela se traduit par:

$$\frac{d^2 I_{DS}}{dV_{GS}^2} = 0 \quad (1.14)$$

### I.8.2.2/ Etat passant

L'ajout de grille traduit un ajout de canal d'inversion. Ainsi, le courant à l'état passant  $I_{ON}$  augmente quand le nombre de grilles augmente. Ceci se voit bien sur la figure I.21 où sont tracées les caractéristiques  $I_{DS}-V_{DS}$  pour les différentes structures SOI multi-grilles de longueur de canal de 15nm. Nous notons bien un courant croissant avec l'augmentation du nombre de grilles.

Cependant, cette augmentation de  $I_{ON}$  n'est pas proportionnelle au nombre de grilles ; les caractéristiques normalisées par le nombre de grilles représentées en tirets sont diminuées quand le nombre de grilles augmente. Ainsi, deux MOSFETs double-grille en parallèle débitent plus de courant qu'un MOSFET quadruple-grille. De manière générale, il faut noter que, dans tous ces dispositifs SOI, le courant est supérieur au courant recommandé par l'ITRS [13], 1020A/m. La diminution de  $T_{Si}$  réduit de façon quasi-proportionnelle le courant  $I_{ON}$ , ainsi le courant du MOSFET double-grille varie de 2420 à 1280A/m pour  $T_{Si}$  variant de 10 à 5nm.

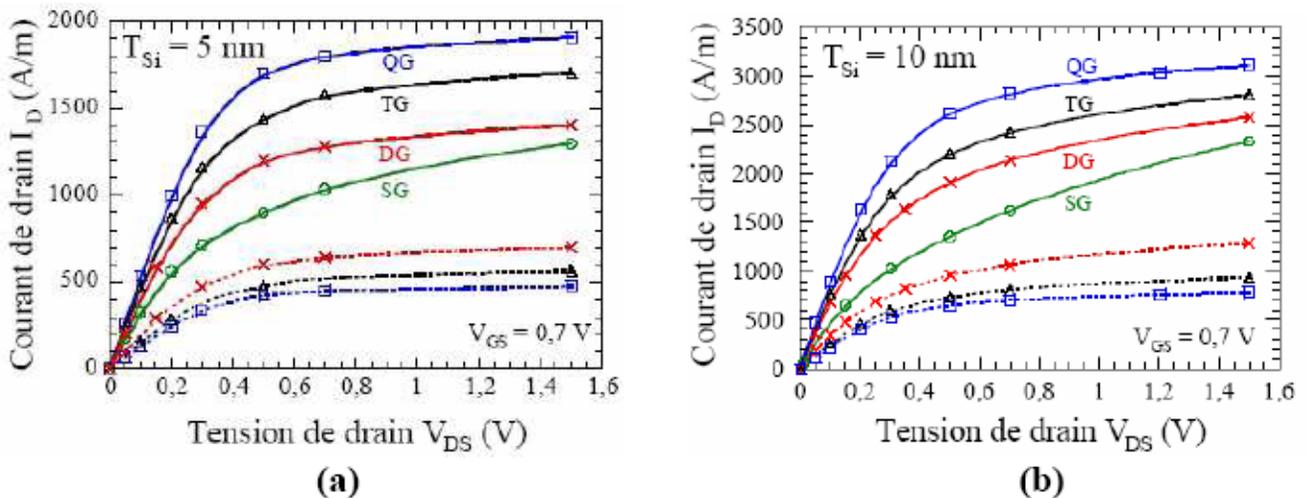


Figure I.21: Caractéristiques  $I_{DS}-V_{DS}$  des multi-grilles pour  $L=15$ nm, (a)  $T_{Si} = 5$ nm et (b) 10nm. En tirets, le courant est divisé par le nombre de grilles ; 1 pour le MOS SOI à une grille (SG), 2 pour le MOS double-grille (DG), 3 pour le MOS triple-grille (TG) et 4 pour le MOS quadruple-grille [14].

La transconductance  $g_m$  est aussi améliorée avec le nombre de grilles (figure I.22). Pour  $T_{Si} = 10\text{nm}$ ,  $g_m$  atteint 4170S/m sur le MOSFET double-grille, 5700S/m sur le MOSFET triplegrille et 7070S/m sur le MOSFET quadruple-grille. Cette augmentation n'est pas non plus proportionnelle au nombre de grilles. La diminution de l'épaisseur du dispositif réduit la transconductance.

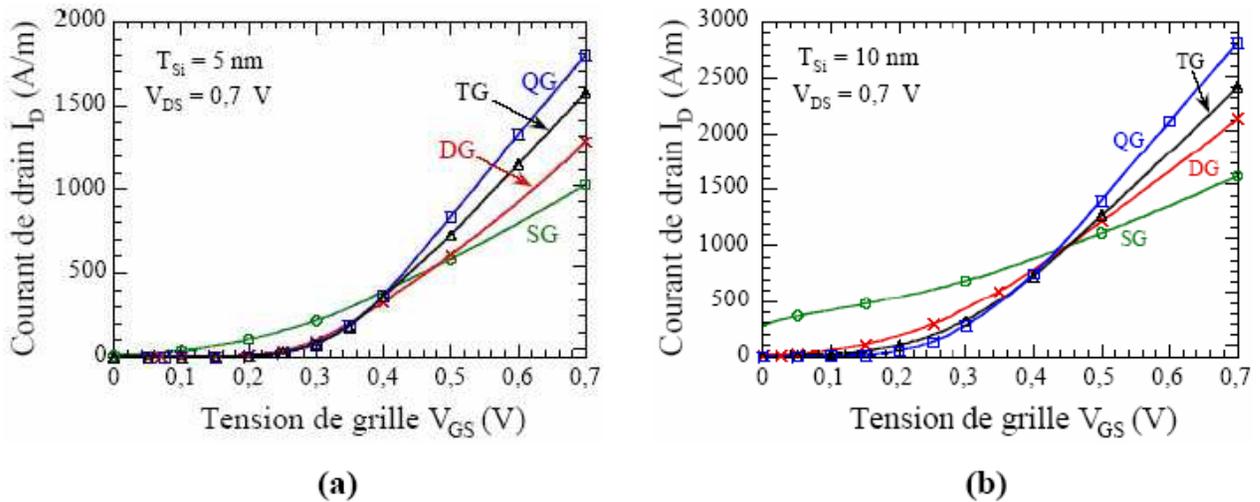


Fig. I.22: Caractéristiques  $I_{DS}-V_{GS}$  des multi-grilles pour  $L = 15\text{nm}$ , (a)  $T_{Si} = 5\text{ nm}$  et (b)  $T_{Si} = 10\text{nm}$  [14].

### I.8.2.3/ Etat bloqué

À la figure I.23, nous constatons que les caractéristiques du MOS SOI à une grille sont fortement dégradées en raison des effets canaux courts. Les structures simulées sur cette figure correspondent à des transistors MOS de longueur de canal de 15nm. La valeur de la pente sous le seuil  $SS$  est supérieure à 100mV/dec. Il ressort de cette figure que le comportement sous le seuil s'améliore nettement avec le nombre de grilles croissant, et ce en raison d'une amélioration du contrôle électrostatique. Par exemple, pour un film d'épaisseur de 10nm,  $SS$  vaut 110mV/dec sur le MOS double-grille, 96mV/dec sur le MOS triple-grille et enfin 83mV/dec sur le MOS quadruple grille. La réduction de  $T_{Si}$  a aussi un effet bénéfique sur  $SS$ : lorsque  $T_{Si}$  passe de 10 à 5nm,  $SS$  passe de 110 à 80mV/dec dans le MOS double-grille.

L'explication de cet effet vient toujours du contrôle du canal, lequel est bien meilleur lorsque les deux grilles sont proches, c'est à dire lorsque  $T_{Si}$  est faible. Finalement, nous pouvons conclure que le pouvoir bloquant des transistors est amélioré par la réduction de l'épaisseur de la zone active  $T_{Si}$ . A  $T_{Si} = 10\text{ nm}$ , il faudrait quatre grilles pour garder des valeurs de  $SS$  acceptables ( $SS < 80\text{mV / dec}$  pour  $L=15\text{nm}$ ), tandis qu'à  $T_{Si} = 5\text{ nm}$ , il n'en faudrait que deux.

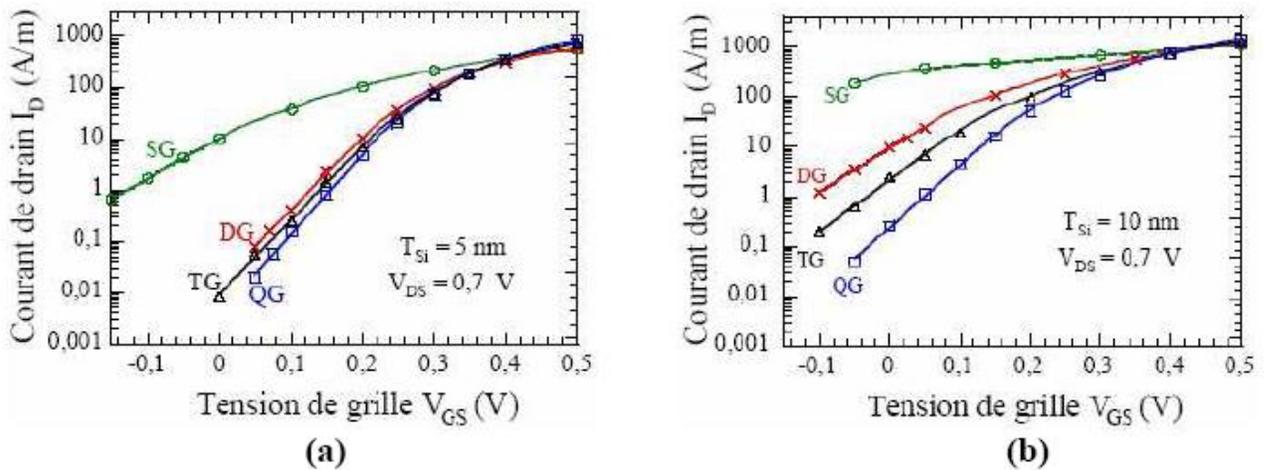


Figure I.23: Caractéristiques  $I_{DS} - V_{GS}$  en échelle logarithmique des SOI multi-grilles pour  $L=15$ nm, (a)  $T_{Si} = 5$ nm et (b) 10nm [14].

### I.8.3/ Contrôle des effets canaux courts

Le canal est protégé contre les lignes de champs latéraux par la présence d'une seconde grille. Ainsi, via le couplage entre les grilles, les effets néfastes induits par les champs latéraux grandissants sont limités. Naturellement, ce couplage est d'autant plus important que la proximité des grilles est importante et donc que l'épaisseur du film est faible. Alors, l'épaisseur du film joue un rôle important dans le contrôle des effets canaux courts. Le bon contrôle de ces effets obtenu avec la minceur du film de silicium et le couplage des grilles se reflète non seulement sur les valeurs de la pente sous le seuil  $SS$  comme illustré à la figure I.24, mais également sur celles du DIBL et du partage de charges.

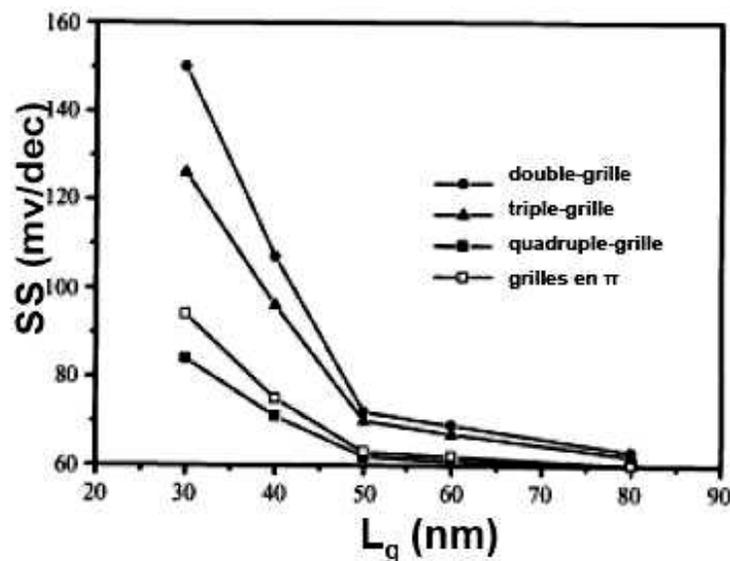


Figure I.24: Minimisation de la pente sous le seuil avec l'augmentation du nombre de grilles à  $W=T_{Si} = 30$ nm,  $T_{OX} = 3$ nm, 0,  $V_{DS} = 1$  V [9].

En ce qui concerne le DIBL, les résultats offerts par le MOS double-grille sont encore beaucoup plus satisfaisants. La mesure du DIBL donne une indication sur l'évolution de la hauteur de la barrière de potentiel en entrée de canal (Côté source). Cette barrière, qui assure le blocage du transistor, a un abaissement moins important lorsque  $V_{DS}$  augmente. La comparaison des bandes de conduction du transistor MOS SOI à une grille et du transistor MOS double-grille sur la figure I.25 illustre clairement une plus faible diminution de la hauteur de barrière sur le transistor MOS double-grille que sur le transistor MOS SOI à une grille.

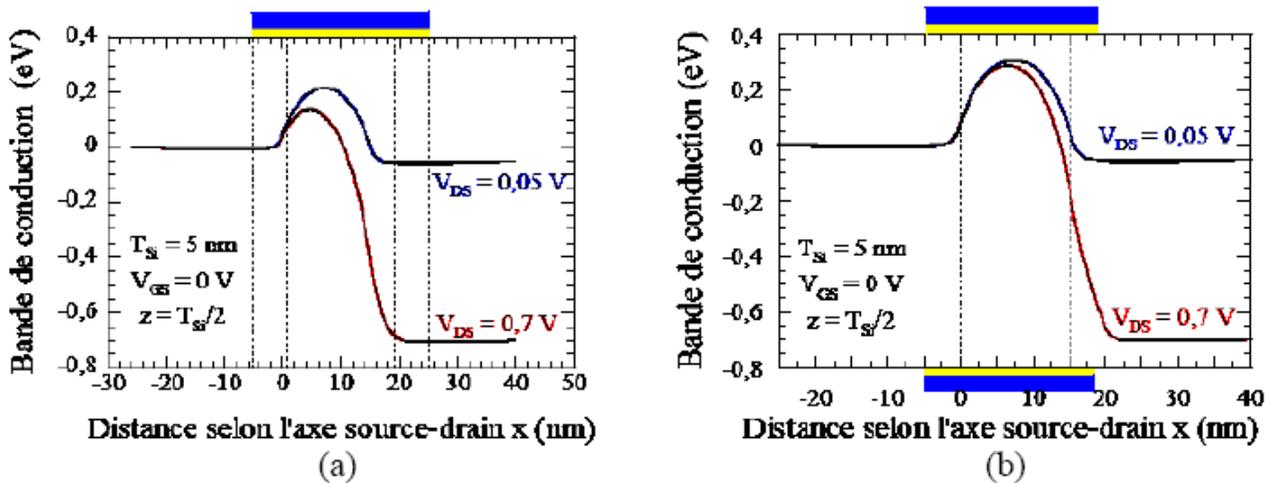


Figure I.25: La bande de conduction sur (a) un MOS SOI à une grille et (b) un MOS à double-grille, pour  $V_{GS} = 0V$  suivant la profondeur du film de silicium à  $V_{DS}$  faible et fort.  $L_c = 15nm$  et  $T_{Si} = 5nm$  [14].

Le contrôle est donc logiquement bien renforcé par ajout de grilles, c'est la raison pour laquelle le DIBL est plus faible sur le MOS quadruple-grille que sur le MOS triplegrille, le MOS double-grille et également sur le MOS SOI à une grille à dimensions égales (Fig. I.28).

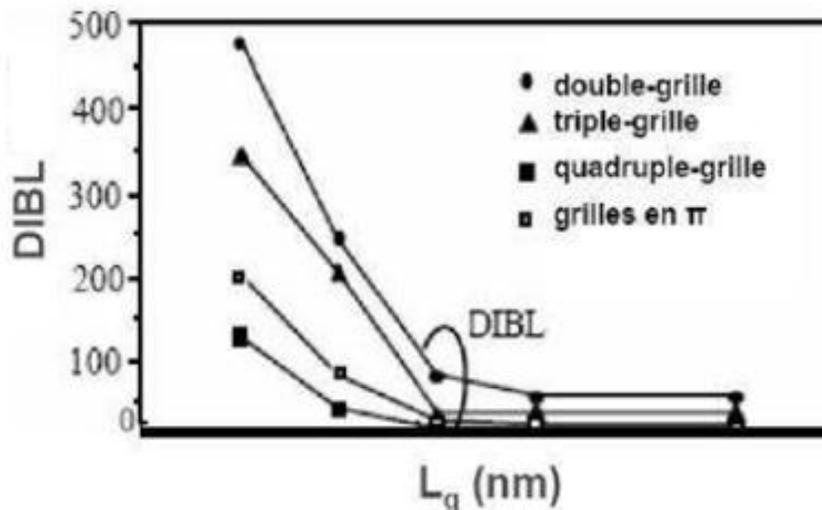


Figure I.26: Minimisation du DIBL avec l'augmentation du nombre de grille pour  $W = T_{Si} = 10nm$  [9].

### I.9/ Quel avenir pour le transistor?

La longueur de grille  $L_G$  des transistors est passée progressivement de 10  $\mu\text{m}$  en 1960 à 0.1  $\mu\text{m}$  en 2000, permettant d'intégrer  $(100)^2 = 10000$  fois plus de transistors sur une puce de surface donnée. Cette croissance de la densité d'intégration est le cœur de l'évolution informatique. Combien de temps cette diminution pourra continuer? Dans 10 ans, construirons-nous des transistors de longueur  $L_G \approx 10\text{nm}$ ? Peut être, mais chacun s'accorde à dire que le chemin de la miniaturisation sera bien plus difficile, maintenant que nous atteignons l'échelle atomique. Pouvons-nous cependant imaginer la future brique élémentaire de l'électronique ? Rappelons tout d'abord que beaucoup de prévisions passées semblent aujourd'hui très cocasses. Par exemple en 1961, les scientifiques affirmaient qu'aucun transistor ne pouvait atteindre une longueur de grille de 10-5  $\mu\text{m}$ , alors qu'une puce d'Intel possède actuellement quelques milliards de dispositifs 100 fois plus petits... Néanmoins les prévisions modernes sur la limite des dimensions devraient être plus fiables, puisque basées sur des principes de physique fondamentale. D'après les grandes industries des semi-conducteurs (IBM, Intel,...), la technologie MOSFET est condamnée à s'éteindre à plus ou moins longue échéance. Son successeur direct semble être le transistor à nanotube de carbone. Avant d'obtenir une rupture totale de technologie une première étape pourrait être la réalisation de systèmes hétérogènes combinant la technologie CMOS à de nouveaux composants moléculaires.

A plus long terme, des transistors ne transmettant qu'un électron à la fois, sont envisagés. Un tel dispositif, appelé SET (pour "Single Electron Transistor"), ne pourrait prendre que deux états "on" ou "off" suivant qu'il contienne un électron ou pas et serait uniquement utilisé dans des codes binaires (et non pour amplifier). Si un électron pourrait être codé par trois niveaux : à la place du simple "on" ou "off", il pourrait y avoir aussi un troisième niveau quelque part entre l'état "on" et l'état "off". Ce type de composant ouvrirait la voie à de nouveaux algorithmes dits "quantiques". Les ordinateurs quantiques qui en dériveraient auraient une puissance de calcul quasi-infinie. Mais ne nous emportons pas, la conjugaison des connaissances en physique, matériaux, composants et circuits, devrait assurer le développement de transistors MOSFETs jusqu'en 2015, ainsi le chemin vers l'échelle atomique sera sinueux, incertain et dépendra de multiples paramètres: technologique, économique,... Durant les 30 dernières années, nous avons su quoi faire : réduire la taille des transistors. Les avancées industrielles nous permettent toujours de maintenir l'allure, mais la limite d'intégration est proche. Quand la limite sera atteinte les

choses devront changer. Pourrons-nous un jour produire des composants fiables de quelques plans atomiques? Ou découvrirons-nous des architectures pour lesquelles la structure de base ne sera plus le transistor ? Peut-être, seul le temps nous le dira. Mais il y a une chose qui apparaît inévitable : nous allons devoir apprendre à modéliser et à décrire les composants de taille nanométrique.

### **I.10/ Conclusion**

Dans ce premier chapitre, nous avons commencé par rappeler les divers régions de fonctionnement le transistor MOS.

Cependant, la diminution des dimensions de ce type de structure fait apparaître des effets parasites. Nous citons en particulier l'apparition les effets des canaux courts.

La technologie du transistor SOI, est une technologie qui utilise un oxyde enterré présent sur le substrat. Le but de la présence de cet oxyde enterré est de séparer le chevauchement des zones des charges d'espaces source/ substrat et drain /substrat du lui même.

Mais, la réduction des dimensions de transistor MOS en technologie SOI, montre également ses limites surtout par rapport à l'influence électrostatique générée par les lignes de champ parasites qui apparaissent dans le composant. La recherche de solutions pour minimiser ces effets a permis à une nouvelle technologie d'émarger et la conception d'un nouveau composant le DGMOS (Double Gate Metal Oxide Semiconductor). Celui-ci fera l'objet de notre travail.

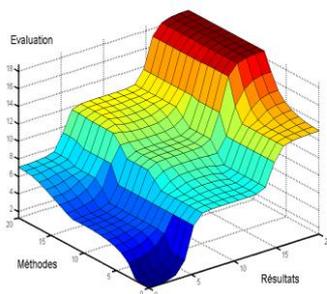
# CHAPITRE II

## Notions fondamentales de la Logique floue

« Fuzzy logic »

Logique  
floue

*« Ce que les hommes veulent en fait, ce n'est  
pas la connaissance, c'est la certitude. »  
Bertrand Russel*



## II.1/ Exemple introductif et historique

Nous faisons de la logique floue.....sans le savoir!

Afin de mettre en évidence le principe fondamental de la logique floue, on présente un exemple simple, celui de la classification des personnes en trois ensembles «jeune», «entre deux âges», «âgé».

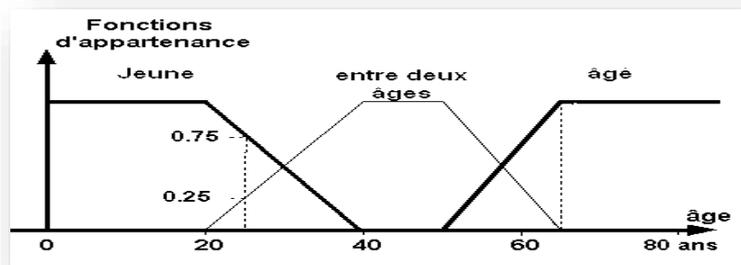
Selon la logique classique (logique de Boole), qui n'admet pour les variables que les deux valeurs 0 et 1, une telle classification pourrait se faire comme la figure II.1. Toutes les personnes âgées de moins de 25 ans sont alors considérées des jeunes et toutes les personnes âgées de plus de 50 ans comme des vieux.



*Figure II.1: Classification des personnes en trois ensembles selon la logique classique.*

Cependant, une telle logique de classification n'est même pas logique. Pourquoi une personne, lorsqu'elle a eu 50 ans, doit-elle être considérée comme appartenant à l'ensemble «âgé»? En réalité, un tel passage se fait progressivement.

La logique floue, dont les variables peuvent prendre n'importe quelles valeurs entre 0 et 1, permet de tenir compte de cette réalité. Les limites ne varient pas soudainement, mais progressivement. La figure II.2 montre une classification possible pour l'exemple précédent, cette fois-ci à l'aide de la logique floue. Ainsi une personne de 25 ans appartient à l'ensemble «jeune» avec une valeur  $\mu_{\text{jeune}}=0.75$  de la fonction d'appartenance et à l'ensemble «entre deux âges» avec  $\mu_{\text{entre deux âges}}=0.25$ . Par contre une personne âgée de 65 ans appartient avec une valeur  $\mu_{\text{âgé}}=1$  de la fonction d'appartenance à l'ensemble «âgé».



*Figure II.2: Classification des personnes en trois ensembles selon la logique floue.*

Nous venons de voir que la logique floue sert à représenter des connaissances incertaines et imprécises.

Les prémisses de la logique floue sont apparues avant les années 1940, avec les premières approches, par des chercheurs américains, du concept d'incertitude. Il a fallu attendre 1965, pour que le concept de sous ensemble flou soit proposé par L. A. Zadeh [16], automaticien de réputation internationale, professeur à l'université de Berkeley en Californie, qui a contribué à la modélisation de phénomène sous forme floue, en vue de pallier les limitations dues aux incertitudes des modèles classiques à équation différentielle.

En 1974, M. Mamdani expérimentait la théorie énoncée par Zadeh sur une chaudière à vapeur, matériel dont on connaît la complexité, introduisant ainsi la commande floue dans la régulation d'un processus industriel. Grâce au chercheur japonais M. Sugeno, la logique floue était introduite au Japon dès 1985 [17,18].

## II.2/ Les différents domaines d'application

L'approche de traitement des problèmes par la logique floue est différente de celle adoptée, à priori dans une démarche scientifique. Elle est beaucoup plus pragmatique que déterministe. La décision en logique floue est basée sur la notion d'expertise qui permet de quantifier le flou à partir de connaissance à priori ou acquise antérieurement.

Les domaines d'application de la logique floue dans un processus de prise de décision s'imposent dans les cas suivants [19]:

- Pour les systèmes complexes dans lesquels la modélisation est difficile voir impossible;
- pour les systèmes contrôlés par des experts humains;
- quand l'observation humaine est à l'origine d'entrées ou de règles de contrôle du système;
- pour les systèmes ayant de nombreuses entrées / sorties continues ou discontinues;
- pour les systèmes ayant des réponses non linéaires.

Les systèmes flous ont été utilisés dans une large variété d'applications industrielles, gestionnaires et médicales. Parmi ses applications on peut citer [17]:

- Systèmes audio-visuels (appareils de photos autofocus, caméscope à stabilisateur d'images, photocopieurs, ...).
- Appareils électroménagers (lave-linge, aspirateurs, autocuiseurs, ...etc.).
- Systèmes autonomes mobiles.
- Systèmes de transport (train, métro, ascenseur, ...).

- Systèmes de conditionnement d'ambiance.
- Systèmes de décision, diagnostic, reconnaissance.
- Systèmes de contrôle/commande dans la plupart des domaines industriels de production, transformation, traitement de produit et déchet.
- Systèmes d'autoroute automatisés : direction automatique, freinage et contrôle de la manette des gaz pour les véhicules.
- Robotique : contrôle de la place et organisation de chemin.

### II.3/ Concepts principaux de la logique floue type-1

Dans la théorie des ensembles conventionnels, un élément appartient ou n'appartient pas à un ensemble, donc le degré d'appartenance d'un élément à un ensemble ne peut être que nul ou égal à l'unité. Par contre dans la théorie des ensembles flous, un élément peut plus ou moins appartenir à un ensemble, le degré d'appartenance d'un élément à un ensemble flou peut prendre n'importe quelle valeur comprise dans l'intervalle  $[0,1]$ .

Ce qui différencie les deux théories provient des limites des ensembles définis. Dans la théorie classique les contours des ensembles sont « nets », tandis que pour les ensembles flous les contours sont graduels, ou encore flous comme l'illustre la figure II.3:

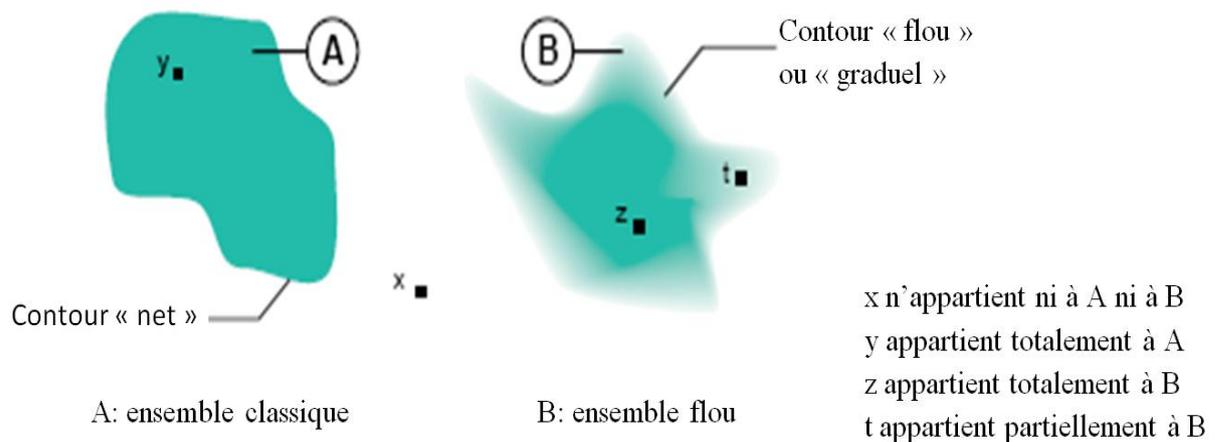


Figure II.3: Comparaison d'un ensemble classique et d'un ensemble flou [17].

#### II.3.1/ Variables linguistiques et ensembles flous

La description imprécise d'une certaine situation, d'un phénomène ou d'une grandeur physique ne peut se faire que par des expressions relatives ou floues. Ces différentes classes d'expressions floues forment ce qu'on appelle des variables linguistiques. Afin de pouvoir traiter numériquement ces variables linguistiques qui sont normalisées généralement sur un intervalle bien déterminé appelé univers de discours, il faut les soumettre à une définition mathématique à base de fonctions d'appartenance qui montrent le degré de vérification de ces

variables linguistiques relative aux différents sous ensembles flous de la même classe [20], [21].

La figure II.4 montre un exemple de variable linguistique associée au concept de température, représentée par les sous ensembles flous où les valeurs linguistiques sont définies par {froide, moyenne, chaude} sur l'univers de discours représenté par les températures comprises dans l'intervalle  $[0^\circ, 70^\circ]$ .

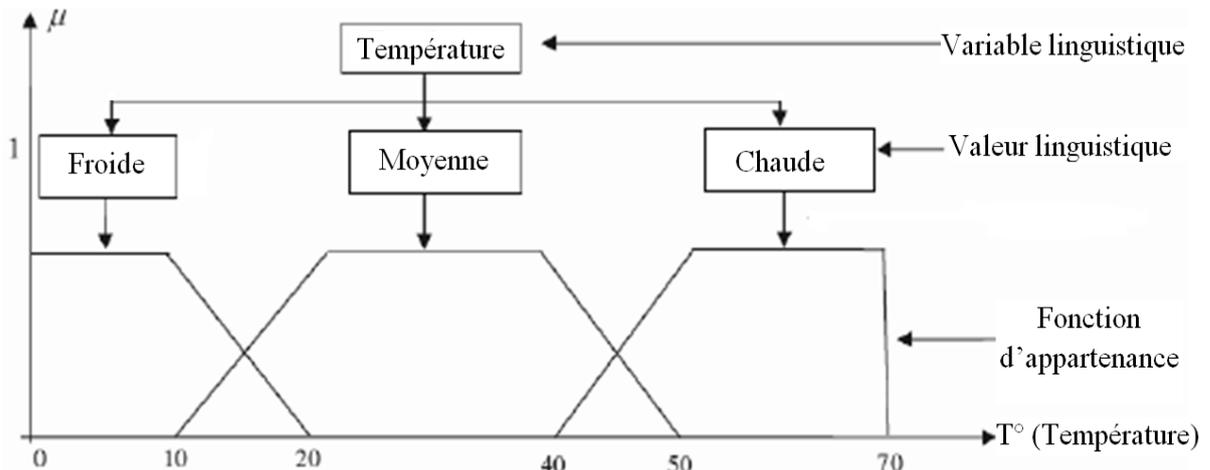


Figure II.4: Exemple d'ensembles flous pour la variable température.

Une variable linguistique permet donc, d'une part de synthétiser l'information manipulée grâce aux sous ensembles flous, et d'autre part de représenter des concepts imprécis tels que l'homme en manipule quotidiennement. La détermination de la forme et de la position de ces sous ensembles flous sont définis à priori par des experts du domaine afin qu'ils représentent exactement leurs connaissances. Cependant, il n'est pas toujours possible d'obtenir une telle expertise, que ce soit à cause de la complexité du problème ou bien parce que les experts sont trop rares voir inexistants. Dans ces conditions, des algorithmes peuvent être mis en œuvre pour extraire automatiquement les sous ensembles flous. Une expertise du résultat peut éventuellement être faite par la suite afin de déterminer la signification des sous ensembles flous obtenus.

### II.3.2/ Fonctions d'appartenance

Une fonction d'appartenance d'un ensemble flou  $A$  définie sur l'univers de discours  $U$ , notée  $\mu_A(x)$  tel que  $x \in U$ , est une courbe qui définit comment chaque point dans l'univers de discours est tracé avec une valeur d'appartenance comprise dans l'intervalle  $[0, 1]$  [22], [23]:

$$\begin{aligned} \mu_A(x) : U &\rightarrow [0,1] \\ x &\rightarrow \mu_A(x) \end{aligned}$$

La valeur  $\mu_A(x)$  mesure l'appartenance ou le degré avec lequel un élément  $x$  appartient à l'ensemble  $A$ . Alors, chaque ensemble flou peut être représenté par sa fonction d'appartenance. Les fonctions d'appartenance peuvent être symétriques, régulièrement distribuées ou avoir une distribution non uniforme. En général, la forme des fonctions d'appartenance dépend de l'application et de la grandeur à modéliser et peuvent avoir différentes formes: fonction triangulaire, gaussienne, trapézoïdale, etc. [16], [24], [25]

$$f(x; a, b, c) = \begin{cases} 0, & x \leq a \\ \frac{x-a}{b-a}, & a \leq x \leq b \\ \frac{c-x}{c-b}, & b \leq x \leq c \\ 0, & c \leq x \end{cases}$$

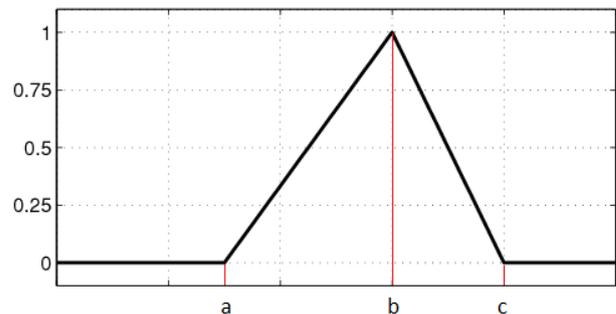


Figure II.5: Fonction d'appartenance triangulaire.

$$f(x; \sigma, c) = e^{-\frac{(x-c)^2}{2\sigma^2}}$$

$c$ : centre de la gaussienne  
 $\sigma$ : sa largeur

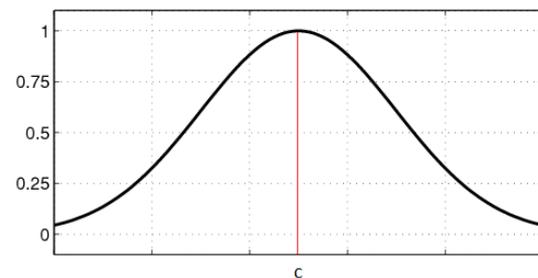


Figure II.6: Fonction d'appartenance gaussienne.

$$f(x; a, b, c, d) = \begin{cases} 0, & x \leq a \\ \frac{x-a}{b-a}, & a \leq x \leq b \\ 1, & b \leq x \leq c \\ \frac{d-x}{d-c}, & c \leq x \leq d \\ 0, & d \leq x \end{cases}$$

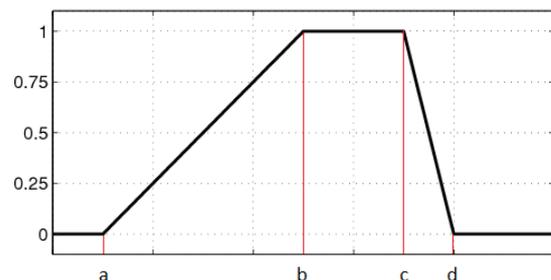


Figure II.7: Fonction d'appartenance trapézoïdale.

Pour certaines situations, les fonctions d'appartenance sont égales à l'unité pour une seule valeur de la variable et égale à 0 pour les autres comme le montre la figure II.8. Elles prennent alors le nom de « fonction d'appartenance singleton ». Elle correspond dans le domaine flou à une valeur particulière de cette variable.

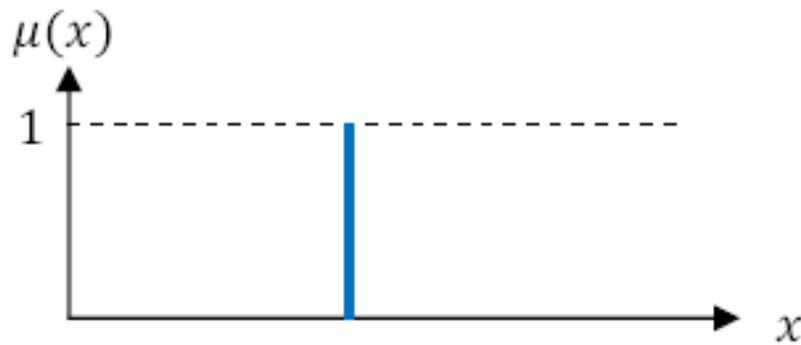


Figure II.8: Fonction d'appartenance singleton.

### II.3.3/ Opérations sur les ensembles flous

Dans la théorie des ensembles classiques on définit les relations intersection, union et complémentarité qui sont traduites par les opérateurs ET, OU, NON. Ces opérateurs existent également en logique floue, mais sont adaptés aux spécificités de cette logique pour traiter les ensembles flous. Ainsi des opérateurs homologues à ceux de la logique booléenne sont reproduits en essayant de respecter un certain nombre de propriétés et afin de retrouver les opérations de base existant en logique classique.

Soient A et B, deux sous-ensembles flous d'une variable linguistique définis sur l'univers de discours U par leurs fonctions d'appartenance respectives  $\mu_A$  et  $\mu_B$  [26].

#### II.3.3.1/ Opérateur ET (Intersection floue)

Le sous-ensemble flou, correspondant à l'intersection des sous-ensembles A et B est défini par les éléments  $x$  de l'univers de discours U qui appartiennent à A et à B.

Dans la logique floue, l'opérateur ET peut être exprimé par:

$$\mu_{A \cap B}(x) = \min \{ \mu_A(x), \mu_B(x) \} \quad \forall x \in U \quad (2.1)$$

$$\text{Ou bien : } \mu_{A \cap B}(x) = \mu_A(x) \cdot \mu_B(x) \quad \forall x \in U$$

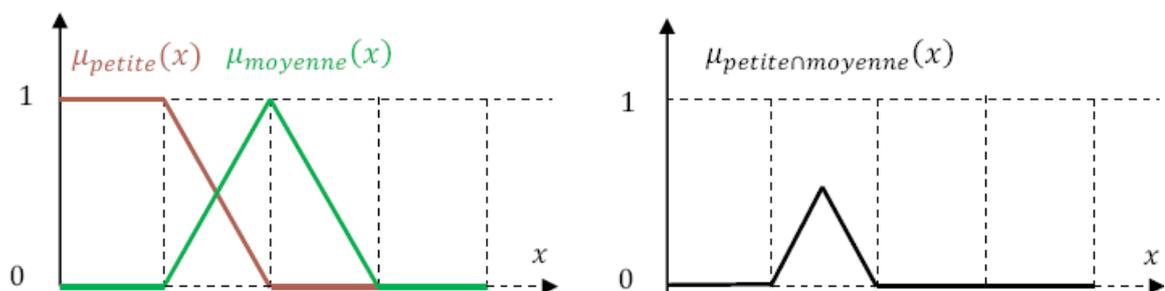


Figure II.9: Intersection des sous ensembles flous petite et moyenne.

**II.3.3.2/ Opérateur OU (Union floue)**

Le sous-ensemble flou correspondant à l'union des sous-ensembles A et B est un sous-ensemble de l'univers de discours U défini par tous les éléments x de U qui appartiennent ou bien à A ou bien à B, ce que l'on note A∪B. L'opérateur OU est généralement réalisé par la formation du maximum, que l'on exprime comme suit:

$$\mu_{A \cup B}(x) = \max \{ \mu_A(x), \mu_B(x) \} \quad \forall x \in U$$

Ou bien:  $\mu_{A \cup B}(x) = \mu_A(x) + \mu_B(x) - \mu_A(x) * \mu_B(x) \quad \forall x \in U$  (2.2)

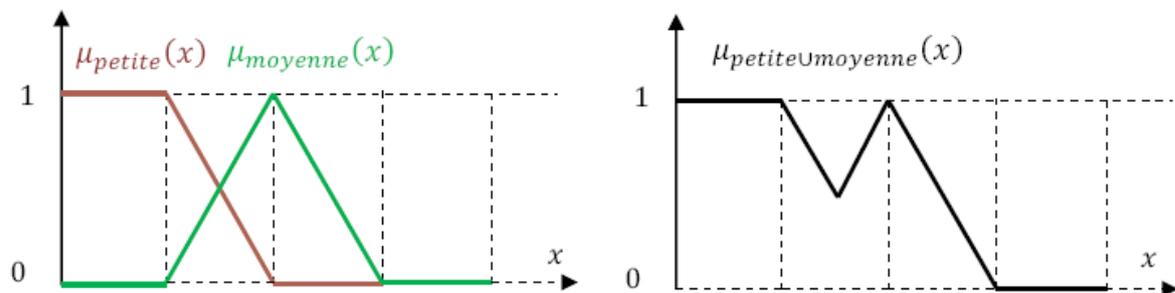


Figure II.10: Union des sous-ensembles flous petite ou moyenne.

**II.3.3.3/ Opérateur NON (complémentation floue)**

Comme l'illustre la figure II.11, le sous-ensemble flou complémentaire du sous ensemble A est un sous-ensemble de l'univers de discours U défini par les éléments x de l'U qui n'appartiennent pas au sous-ensemble flou A. On peut exprimer ça par:

$$\mu_{\bar{A}}(x) = 1 - \mu_A(x) \quad \forall x \in U \quad (2.3)$$

Le complément flou représente l'opération NON de la logique classique au sens flou.

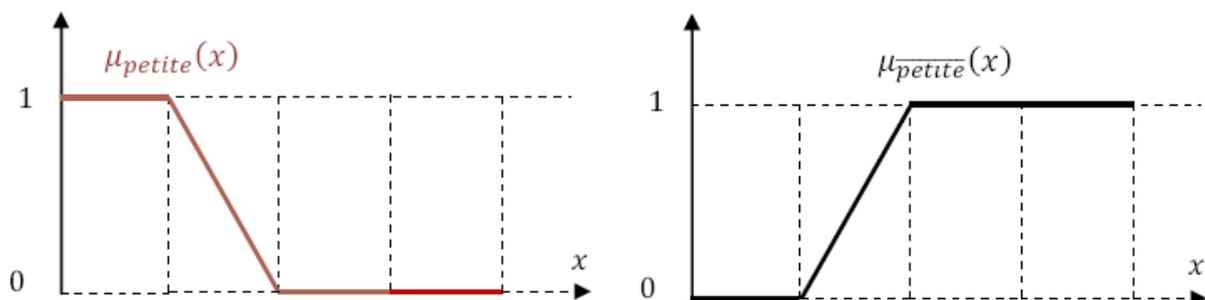


Figure II.11: Complémentation du sous-ensemble flou petite.

Le tableau II.1 montre d'autres représentations pour les opérateurs de base de la logique floue.

Opérateurs flous	ET	OU	NON
Zadeh (1973)	$\text{Min}(\mu_A(x), \mu_B(y))$	$\text{Max}(\mu_A(x), \mu_B(y))$	$1 - \mu_A(x)$
Lukasiewicz, Giles (1976)	$\text{Max}(\mu_A(x) + \mu_B(y) - 1, 0)$	$\text{Min}(\mu_A(x) + \mu_B(y), 1)$	$1 - \mu_A(x)$
Hamacher (1978); ( $y > 0$ )	$\frac{\mu_A(x) \cdot \mu_B(y)}{y + (1 - y)(\mu_A(x) + \mu_B(y) - \mu_A(x) \cdot \mu_B(y))}$	$\frac{\mu_A(x) + \mu_B(y) - (2 - y)\mu_A(x) \cdot \mu_B(y)}{1 - (1 - y)\mu_A(x) \cdot \mu_B(y)}$	$1 - \mu_A(x)$
Bondler et Kohout (1980)	$\mu_A(x) \cdot \mu_B(y)$	$\mu_A(x) + \mu_B(y) - \mu_A(x) \cdot \mu_B(y)$	$1 - \mu_A(x)$
Weber	$\mu_A(x)$ si $\mu_B(y) = 1$ $\mu_B(y)$ si $\mu_A(x) = 1$ 0 sinon	$\mu_A(x)$ si $\mu_B(y) = 0$ $\mu_B(y)$ si $\mu_A(x) = 0$ 1 sinon	$1 - \mu_A(x)$

Tableau II.1: Opérateurs de base de la logique floue [27], [28].

Et le tableau II.2 figure les opérateurs logiques flous les plus utilisés.

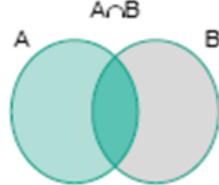
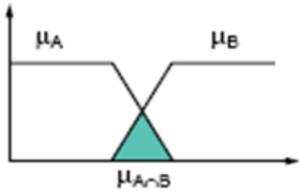
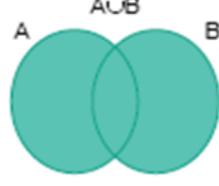
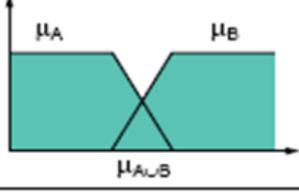
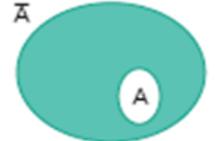
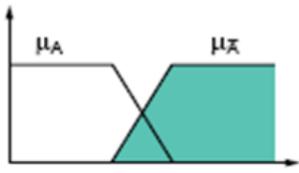
		Opérateur de ZADEH	Opération logique	
Intersection		$\mu_{A \cap B} = \text{MIN}(\mu_A, \mu_B)$	ET	
Union		$\mu_{A \cup B} = \text{MAX}(\mu_A, \mu_B)$	OU	
Négation		$\mu_{\bar{A}} = 1 - \mu_A$	NON	

Tableau II.2: Opérateurs logiques flous les plus utilisés [17].

### II.3.4/ Les règles floues

Une règle floue R: Si ( $x$  est A) Alors ( $y$  est B) est une relation entre deux propositions floues ayant chacune un rôle particulier. La première ( $x$  est A) est appelée prémisse de la règle alors que la seconde ( $y$  est B) est la conclusion (conséquence).

Dans le cas de propositions floues élémentaires, la prémisse et la conclusion sont définies à partir de deux variables linguistiques A et B décrivant les connaissances relatives aux univers de discours  $U_A$  et  $U_B$  de manière à prendre en compte l'imprécision relative aux modalités de A et B. Une proposition floue élémentaire est souvent insuffisante pour représenter l'ensemble des informations à manipuler. Plusieurs propositions floues peuvent alors être combinées pour enrichir et détailler la représentation.

La relation R entre la prémisse et la conclusion de la règle est déterminée par une implication floue (Alors) dont le degré de vérité est défini par une fonction d'appartenance  $\mu_R$  qui dépend du degré de vérité  $\mu_A$  et  $\mu_B$  de chacune des deux propositions élémentaires.

Les implications les plus courantes permettant la détermination de la fonction d'appartenance résultante décrivant la proposition floue R sont donnés par:

L'implication de Mamdani:  $\mu_R(x, y) = \min(\mu_A(x), \mu_B(y))$

L'implication de Larsen:  $\mu_R(x, y) = \mu_A(x) \cdot \mu_B(y)$  (2.4)

$x \in U_A$  et  $y \in U_B$

### II.4/ Description et structure d'un système basé sur la logique floue type-1

Contrairement aux techniques classiques, la logique floue n'utilise pas des formules ou des relations mathématiques bien déterminées ou précises [29]. Mais, elle manipule des inférences avec plusieurs règles floues à base des opérateurs flous ET, OU, ALORS,...

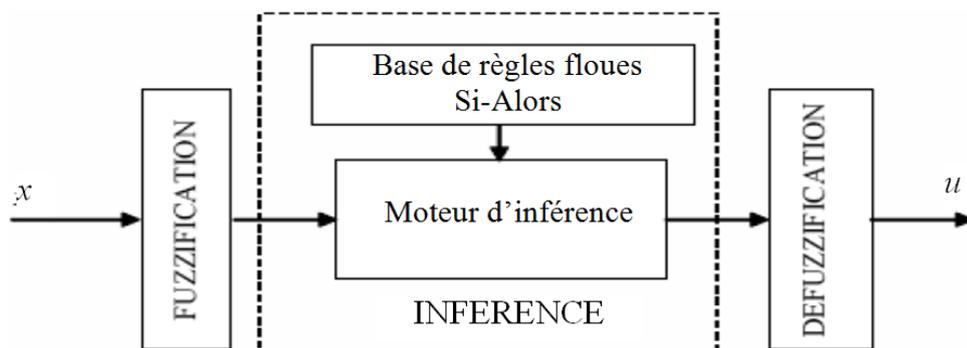


Figure II.12: Structure interne d'un système flou.

On peut distinguer trois parties principales constituant la structure d'un système flou:

- Une interface de fuzzification;
- un mécanisme d'inférence;
- et une interface de défuzzification.

La figure II.12 représente, à titre d'illustration, la structure d'un système flou à une entrée  $x$  et une sortie  $u$  [30].

#### II.4.1/ Interface de fuzzification

La fuzzification proprement dite consiste à définir des fonctions d'appartenance pour les différentes variables linguistiques. Ceci a pour but la conversion d'une grandeur physique en une linguistique. Il s'agit d'une projection de la variable physique sur les ensembles flous caractérisant cette variable. Cette opération permet d'avoir une mesure précise sur le degré d'appartenance de la variable d'entrée à chaque ensemble flou [27].

D'une autre manière, l'entrée  $x$  varie dans l'univers de discours qui est partagé en un nombre fini d'ensembles flous de telle sorte que dans chaque zone il y ait une situation dominante.

Afin de faciliter le traitement numérique et l'utilisation de ces ensembles, on les décrit par les fonctions d'appartenance. Elles admettent comme argument la position de  $x$  dans l'univers de discours, et comme sortie le degré d'appartenance de  $x$  à la situation décrite par la fonction.

#### II.4.2/ Interface d'inférence floue

L'interface d'inférence est formée de deux blocs:

- La base de règles, composée d'un ensemble de relations liant les variables d'entrées aux variables de sorties du système à régler. Chaque relation est composée d'une condition précédée du symbole Si appelée prémisse, et d'une conclusion (action, décision, opération ou commande) précédée du symbole Alors.
- Le moteur d'inférence réalise le traitement numérique des règles d'inférence, décrites par des opérateurs flous, pour obtenir la sortie linguistique ou floue. Cette opération est faite par différentes méthodes, on cite principalement : la méthode d'inférence max-min, max-produit et somme-produit. Chacune de ces trois méthodes utilise un traitement numérique propre des opérateurs de la logique floue [31].

##### II.4.2.1/ La méthode d'inférence max-min

L'opérateur ET est réalisé par la formation du minimum, l'opérateur OU est réalisé par la formation du maximum, et l'implication (ALORS) est réalisée par la formation du minimum. La figure II.13 représente graphiquement le principe de la méthode d'inférence max-min.

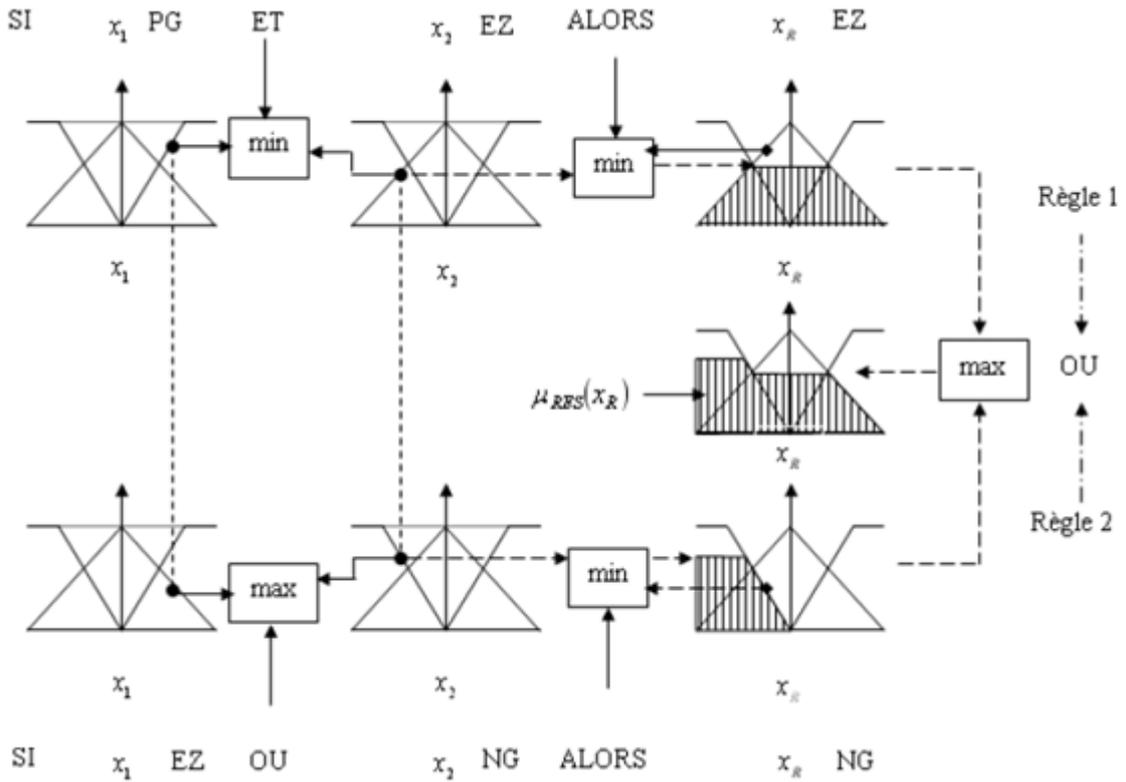


Figure II.13: Méthode d'inférence max-min pour deux variables d'entrée et deux règles [32].

II.4.2.2/ La méthode d'inférence max-produit

L'opérateur ET est réalisé par formation du minimum, l'opérateur OU est réalisé par la formation du maximum, et l'implication (ALORS) est réalisée par la formation du produit. La représentation graphique du principe de la méthode se trouve sur la figure II.14.

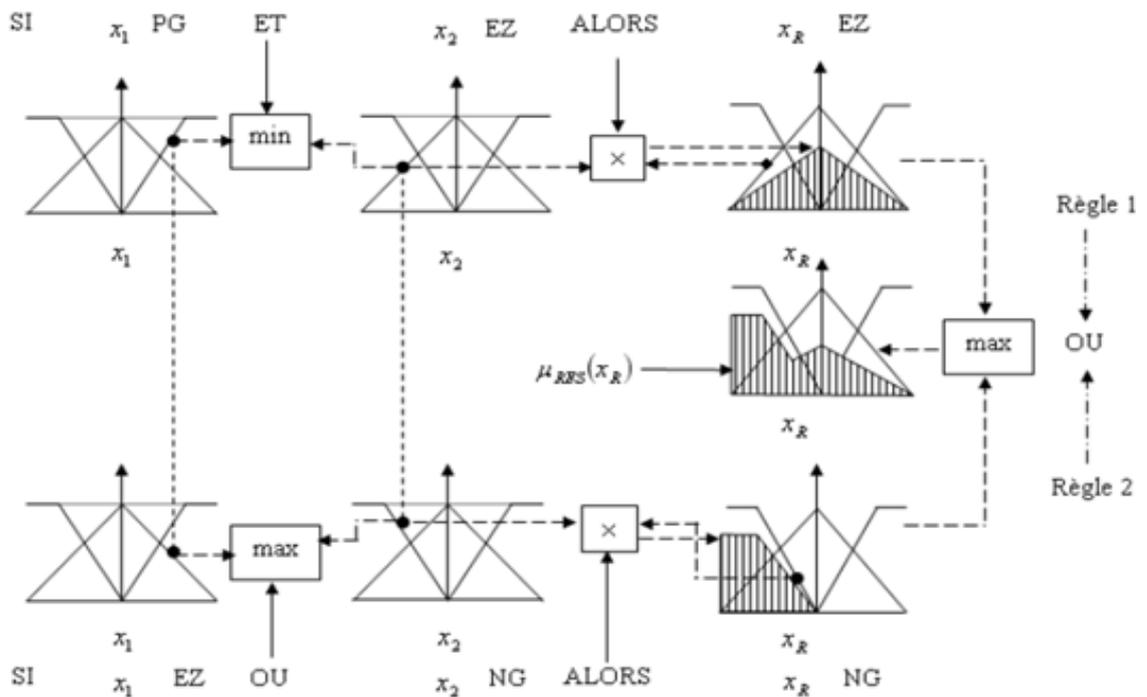


Figure II.14: Méthode d'inférence max-prod pour deux variables d'entrée et deux règles[32].

II.4.2.3/ La méthode d'inférence somme-prod

On réalise au niveau de la condition, l'opérateur OU par la formation de la somme (valeur moyenne), et l'opérateur ET par la formation du produit. Pour la conclusion, l'opérateur ALORS est réalisé par un produit. La méthode est représentée graphiquement à la figure II.15:

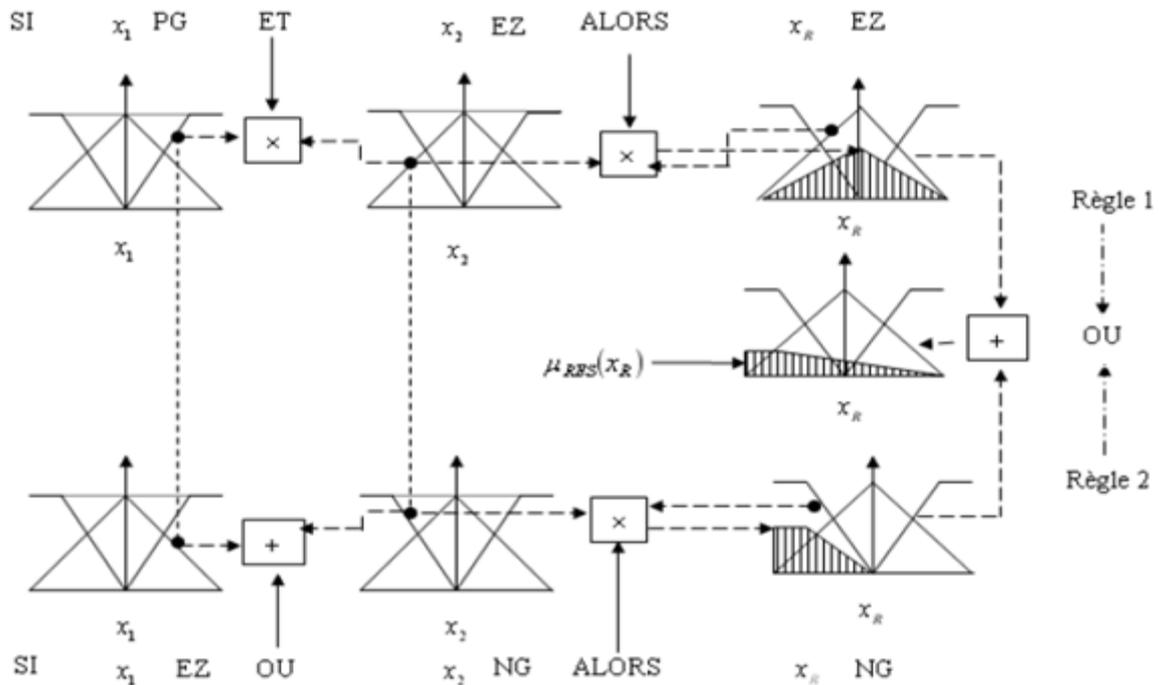


Figure II.15: Méthode d'inférence somme-prod pour deux variables d'entrée et deux règles[32].

Dans le cas de la méthode somme-produit, les actions des différentes règles sont liées entre elles par l'opérateur OU qui est réalisé par la formation de la moyenne arithmétique. Cette méthode d'inférence est particulièrement avantageuse par rapport aux autres et nécessite une envergure de calcul relativement restreinte. La fonction résultante dans ce cas peut être donnée comme suit [32]:

Si on a 2 variables d'entrées ( $x_1, x_2$ ), la fonction résultante de N règles pour la variable de sortie  $x$  sera:

$$\mu_{RES}(x) = \frac{(\mu_{R1}(x) + \mu_{R2}(x) + \dots + \mu_{RN}(x))}{N} \tag{2.5}$$

Où:

$$\mu_{Rj}(x) = \mu_{A_1^j}(x_1) \sigma_j \mu_{A_2^j}(x_2) \cdot \mu_{Oj}(x) \cdot w_j \cdot \mu_{Oj}(x); \quad j = 1, 2, \dots, N \tag{2.6}$$

Avec:

- $\mu_{Oj}(x)$  : est la fonction d'appartenance de la sortie qui correspond à la  $j^{ème}$  règle;
- $\mu_{Rj}(x)$  : est la fonction d'appartenance résultante et partielle pour la  $j^{ème}$  règle;

- $\mu_{A_1^j}(x_1), \mu_{A_2^j}(x_2)$  : sont les facteurs d'appartenance des deux variables linguistiques aux deux ensembles flous de la  $j^{\text{ème}}$  règle, pour deux valeurs données de  $x_1, x_2$ ;
- $\sigma_j$  : symbolise l'opération ET ou l'opération OU de la  $j^{\text{ème}}$  règle.
- $w_j$  : est le degré de vérification ( $\mu_{A_1^j}(x_1) \sigma_j \mu_{A_2^j}(x_2)$ ) de la  $j^{\text{ème}}$  règle;
- $N$  : est le nombre de règles.

### II.4.3/ Interface de défuzzification

La transformation d'une information floue en une information déterminée est la défuzzification (concrétisation). Pendant cette étape se fait la déduction de la grandeur de sortie numérique à partir de l'inférence floue. Il s'agit de calculer, à partir des degrés d'appartenance à tous les ensembles flous des variables d'entrées et des ensembles flous de la variable de sortie, une valeur numérique de la variable de sortie en utilisant un ensemble de règles. Parmi les stratégies de défuzzification, on cite la méthode du centre de gravité, la méthode du maximum et la méthode de la moyenne des maximums [33], [34], [35].

- **La technique du maximum:** elle est la plus simple. Elle consiste à ne considérer, pour chaque sortie, que la règle présentant le maximum de validité. Cette règle, ignore les règles secondaires qui peuvent néanmoins être importantes pour le fonctionnement et la stabilité du système. Elle est par conséquent peu employée.
- **La technique de la moyenne des maximums:** elle considère, comme valeur de sortie, la moyenne de toutes les valeurs pour lesquelles la fonction d'appartenance issues de l'inférence est maximale.
- **La technique du centre de gravité:** plus performante, elle consiste à tracer, sur un même diagramme représentant les ensembles flous de sortie, les différentes zones correspondantes à chacune des règles et à calculer le centre de gravité de la zone consolidée. La méthode de défuzzification la plus mentionnée dans la littérature est celle de la détermination de l'abscisse  $x_G$  du centre de gravité de la fonction d'appartenance résultante  $\mu_{RES}(x)$  [34].

Cette abscisse est déterminée par la relation suivante:

$$x_G = \frac{\int x \cdot \mu_{RES}(x) dx}{\int \mu_{RES}(x) dx} \quad (2.7)$$

Où les limites des intégrales sont les limites de l'univers de discours de la sortie.

Dans le cas de la méthode d'inférence somme-produit, on peut simplifier l'expression de  $\mu_{RES}(x)$ . En effet, selon la relation (2.5) on a:

$$\mu_{RES}(x) = \frac{1}{N} \sum_{j=1}^N w_j \cdot \mu_{O_j}(x) \quad (2.8)$$

D'autre part, l'intégrale du dénominateur de (2.7) peut être simplifiée ainsi:

$$\int \mu_{RES}(x) dx = \frac{1}{N} \sum_{j=1}^N w_j \cdot \int \mu_{O_j}(x) dx = \frac{1}{N} \sum_{j=1}^N w_j \cdot S_j \quad (2.9)$$

Où  $S_j$  est la surface de la fonction d'appartenance du sous-ensemble floue de la sortie correspondante à la  $j^{\text{ème}}$  règle. Pour ce qui est de l'intégrale du numérateur de (2.7), on peut la simplifier de la manière suivante:

$$\int x \cdot \mu_{RES}(x) dx = \frac{1}{N} \sum_{j=1}^N w_j \cdot \int x \cdot \mu_{O_j}(x) dx = \frac{1}{N} \sum_{j=1}^N w_j \cdot x_{G_j} \cdot S_j \quad (2.10)$$

Où  $x_{G_j}$  est l'abscisse du centre de gravité de la surface  $S_j$ .

On obtient finalement l'abscisse du centre de gravité de  $\mu_{RES}(x)$  qui définit la sortie finale (non floue) du système:

$$x_G = \frac{\sum_{j=1}^N w_j \cdot x_{G_j} \cdot S_j}{\sum_{j=1}^N w_j \cdot S_j} \quad (2.11)$$

## II.5/ La modélisation par logique floue type-1

La modélisation floue est le processus par lequel un système dynamique est modélisé non dans la forme conventionnelle des équations différentielles ou aux différences, mais dans la forme d'un ensemble de règles floues et fonctions d'appartenance. Selon la forme des conclusions des règles floues, deux types principaux de modèles flous peuvent être distingués [36]:

### II.5.1/ Les modèles flous linguistiques

Dans les modèles linguistiques, les quantités floues sont décrites par des termes linguistiques, et le modèle flou constitue une description du système dans une langue naturelle. Ce type est caractérisé par des règles floues ayant des prémisses et des conclusions floues. Ils permettent une description linguistique du système par une base de règles floues de la forme [37], [38]:

$$R_j: \text{ Si } x_1 \text{ est } A_1^j \text{ ET } x_2 \text{ est } A_2^j \text{ ET } \dots \text{ ET } x_n \text{ est } A_n^j \text{ ALORS } z_j = C^j \quad (2.12)$$

$$j = 1, 2, \dots, N$$

- $x_i$  : sont les entrées du modèle;  
 $A_i^j$  : est l'ensemble flou pour la  $i^{\text{ème}}$  entrée de la  $j^{\text{ème}}$  règle;  
 $z_j$  : est la sortie du modèle qui correspond à la  $j^{\text{ème}}$  règle;  
 $C^j$  : est l'ensemble flou de la sortie pour la  $j^{\text{ème}}$  règle;  
 $N$  : est le nombre de règles.

Les modèles les plus connus de ce type sont celui de Mamdani et celui de Larsen. Ces modèles présentent l'avantage d'être facilement interprétables, et bien adaptés à l'utilisation des entrées floues. En revanche, ils ont une capacité de représentation limitée.

### II.5.2/ Les modèles flous de Takagi-Sugeno (TS)

Un modèle de TS est constitué par une base de règles floues de la forme [39], [40]:

$$\begin{aligned}
 R_j: \quad & \text{Si } x_1 \text{ est } A_1^j \text{ ET } x_2 \text{ est } A_2^j \text{ ET } \dots \text{ ET } x_n \text{ est } A_n^j \text{ ALORS } z_j \\
 & = F^j(x_1, x_2, \dots) \\
 & j = 1, 2, \dots, N
 \end{aligned}
 \tag{2.13}$$

Où  $F^j$  sont des fonctions crisp, généralement linéaires ( $\sum a_i x_i + a_0$ ) ou même constantes. Le modèle global est obtenu par interpolation entre les modèles locaux. Cela nous permet d'accroître la précision du système, mais au détriment de sa lisibilité.

Les modèles de TS permettent de décrire des situations où la structure physique du système est bien connue et d'approcher un système complexe par une collection de modèles locaux, généralement linéaires. Les modèles de TS ont une capacité de représentation importante. Toutefois, les règles n'ont pas toujours une signification sémantique claire comme dans le cas des modèles linguistiques et ne permettent pas d'intégrer l'expérience humaine formulée par des règles linguistiques.

### II.5.3/ Comparaison

Les modèles linguistiques ont une représentation moins efficace que les modèles TS, mais offrent une meilleure interprétation sémantique, et permettent d'incorporer des règles proposées par des experts humains de manière directe. Le choix de l'un ou de l'autre dépend des données du problème et du but de la modélisation. Pour la modélisation des systèmes dynamiques, les modèles de TS s'avèrent plus appropriés, et se caractérisent par une grande précision. Les modèles de Mamdani, largement utilisés en contrôle, sont appropriés à la modélisation des connaissances qualitatives des experts. Les deux types de modélisation s'avèrent donc complémentaires.

## II.6/ Concepts principaux de la logique floue type-2

Comme il est connu dans la littérature, les systèmes flous sont constitués par des règles. La connaissance utilisée pour construire ces règles est d'une nature incertaine. Cette incertitude mène alors à obtenir des règles dont les prémisses ou les conséquences soient incertaines, ce qui donne des fonctions d'appartenance incertaines. Les systèmes flous type-1 dont les fonctions d'appartenance sont des ensembles flous type-1, sont incapables de prendre en compte de telles incertitudes de règles. Nous introduisons dans ce qui suit une nouvelle classe de systèmes flous appelée système flou type-2 dans laquelle les valeurs d'appartenance des prémisses ou des conséquences sont elles-mêmes des ensembles flous type-1.

Le concept des ensembles flous type-2 a été introduit par Zadeh [37], [41] comme extension du concept de l'ensemble flou ordinaire appelé ensemble flou type-1. Un ensemble flou type-2 est caractérisé par une fonction d'appartenance floue, c'est à dire, la valeur d'appartenance (degré d'appartenance) de chaque élément de l'ensemble est un ensemble flou dans  $[0, 1]$ . De tels ensembles peuvent être utilisés dans les situations où nous avons de l'incertitude sur les valeurs d'appartenance elles mêmes. L'incertitude peut être soit dans la forme de la fonction d'appartenance ou dans l'un de ses paramètres.

Considérons la transition des ensembles ordinaires vers les ensembles flous. Lorsque nous ne pouvons pas déterminer le degré d'appartenance d'un élément à un ensemble par 0 ou 1, on utilise les ensembles flous type-1. Du même, lorsque nous ne pouvons pas déterminer les fonctions d'appartenance floues par des nombres réels dans  $[0, 1]$ , on utilise alors les ensembles flous type-2. Donc, idéalement, nous aurons besoin d'utiliser des ensembles flous type- $\infty$  pour compléter la représentation de l'incertitude. Bien sur, nous ne pouvons pas réaliser cela pratiquement, parce que nous devons utiliser des ensembles flous de type fini. De ce fait, les ensembles flous type-1 peuvent être considérés comme une approximation du premier ordre de l'incertitude, alors que les ensembles flous type-2 seront considérés comme approximation du deuxième ordre.

On considère un ensemble flou type-1 caractérisé par une fonction d'appartenance gaussienne de moyenne  $M$  et d'écart type  $\sigma_x$ . Le degré d'appartenance pour chaque élément  $x$  est donné par:

$$m(x) = \exp\left(-\frac{1}{2}\left(\frac{x-M}{\sigma_x}\right)^2\right) \quad (2.14)$$

Dans le concept des ensembles flous type-1, le degré d'appartenance d'un élément est un nombre ordinaire qui appartient à l'intervalle  $[0,1]$ . On suppose que cette appartenance

n'est pas un nombre mais un ensemble flou type-1. On note les éléments du domaine de cet ensemble  $\mu_1$  et on l'appelle appartenance primaire de  $x$ . On note l'appartenance de ces appartenances primaires  $\mu_2(x, \mu_1)$  et on l'appelle appartenance secondaire de  $x$ .

Si les appartenances secondaires sont des gaussiennes de moyenne  $m(x)$  et de déviation  $\sigma_m$  alors:

$$\mu_2(x, \mu_1) = \exp\left(-\frac{1}{2}\left(\frac{\mu_1 - m(x)}{\sigma_m}\right)^2\right) \quad (2.15)$$

Avec  $\mu_1 \in [0,1]$  et  $m(x) = \exp\left(-\frac{1}{2}\left(\frac{x-M}{\sigma_x}\right)^2\right)$

D'où:

$$\mu_2(x, \mu_1) = \exp\left(-\frac{1}{2}\left(\frac{\mu_1 - \exp\left(-\frac{1}{2}\left(\frac{x-M}{\sigma_x}\right)^2\right)}{\sigma_m}\right)^2\right) \quad (2.16)$$

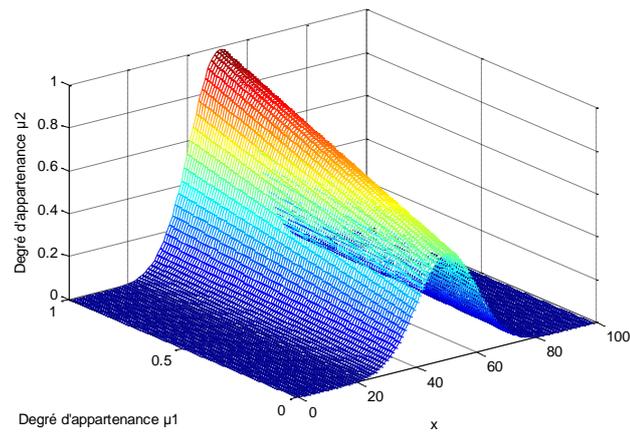
On peut conclure que le degré d'appartenance de chaque élément pour le cas d'un ensemble flou type-2 représente toutes les appartenances primaires ainsi que les appartenances secondaires correspondantes.

La fonction d'appartenance secondaire (2.16) type-2 peut être interprétée comme une fonction à deux variables  $x$  et  $\mu_1$ : pour chaque  $x$  et chaque  $\mu_1$ , on aura une appartenance secondaire  $\mu_2$  qui est un nombre ordinaire.

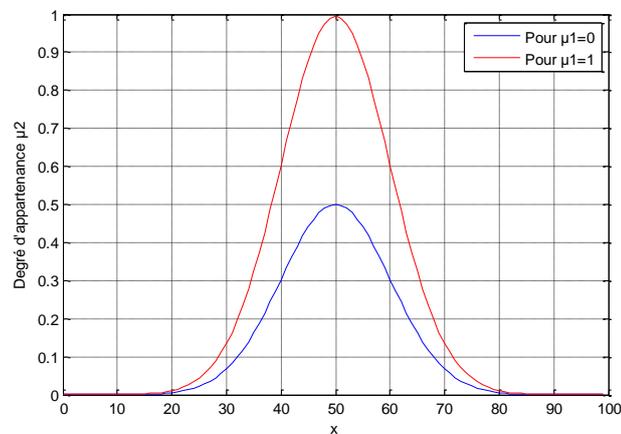
Il existe différents types d'ensembles flous type-2:

- **Ensemble flou type-2 gaussien:** Le degré d'appartenance de chaque point est un ensemble flou type-1 gaussien dont le domaine de définition est inclus dans l'intervalle  $[0,1]$ .
- **Ensemble flou type-2 triangulaire:** Le degré d'appartenance de chaque point est un ensemble flou type-1 triangulaire dont le domaine de définition est inclus dans l'intervalle  $[0,1]$ .
- **Ensemble flou type-2 intervalle:** Le degré d'appartenance de chaque point est un ensemble ordinaire dont le domaine de définition est inclus dans l'intervalle  $[0,1]$ . Dans ce cas, les appartenances secondaires sont égales à 1.

La figure II.16 schématise une fonction d'appartenance floue type-2 avec une zone d'incertitude.



a) Vue 3D.



b) Vue 2D.

Figure II.16: Exemple d'une fonction d'appartenance d'un ensemble flou type-2.

### II.7/ Description et structure d'un système basé sur la logique floue type-2

La structure d'un système flou type-2 est représentée dans la figure II.17 [42]. Nous allons supposer dans cette section que les fonctions d'appartenance des prémisses et des conséquences sont de type-2.

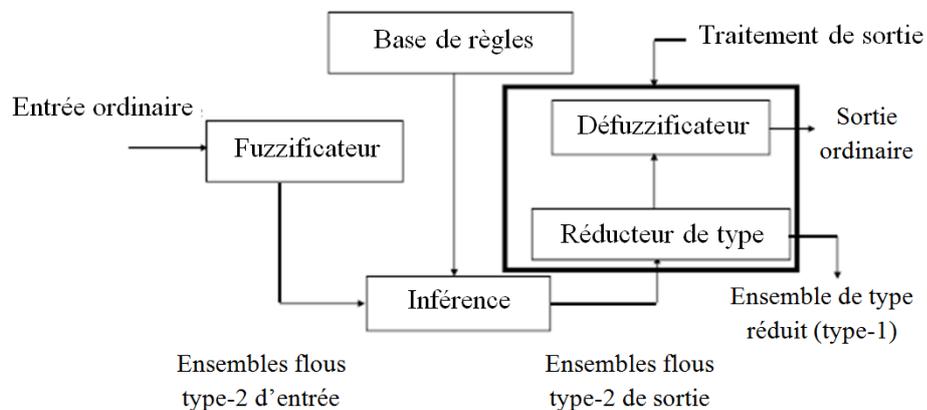


Figure II.17: Structure d'un système flou type-2, avec ses deux sorties: (a) l'ensemble de type réduit (b) la sortie défuzzifiée.

La représentation du bloc de traitement de sortie se trouve sur la figure II.18.

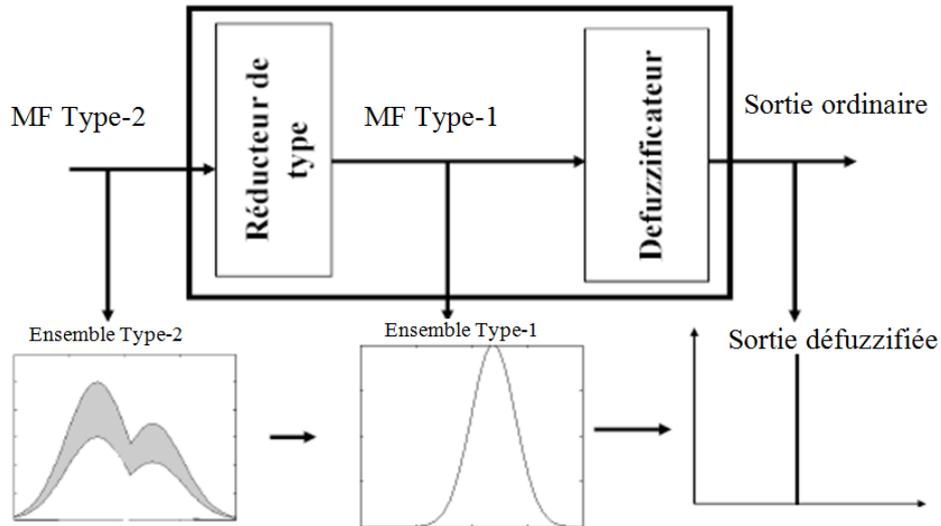


Figure II.18: Bloc de Traitement de sortie [43], [44], [45], [46].

### II.7.1/ Fuzzification

Contrairement à la fonction d'appartenance type-1, La fonction d'appartenance type-2 donne plusieurs degrés d'appartenance (ou dimensions) pour chaque entrée. Par conséquent, l'incertitude sera mieux représentée. Cette représentation va nous permettre de tenir compte de ce qui a été négligé par le type-1.

Pour illustrer cet aspect, nous allons considérer une fonction gaussienne avec:

1. Une incertitude de variance (figure II-19).
2. Une incertitude de moyenne (figure II-20).

Afin de faciliter le calcul, nous ne prenons que deux degrés, le plus grand et le plus petit. Mathématiquement, pour une entrée  $x$  nous aurons  $\underline{\mu}_{\tilde{A}}(x)$  et  $\overline{\mu}_{\tilde{A}}(x)$  tel que,  $\underline{\mu}_{\tilde{A}}(x)$  et  $\overline{\mu}_{\tilde{A}}(x)$  sont respectivement la valeur minimale et maximale de l'intervalle d'activation correspondant à l'entrée  $x$ . Si nous avons  $x = 4$  comme entrée, donc nous aurons  $\underline{\mu}_{\tilde{A}}(x) = 0.05$  et  $\overline{\mu}_{\tilde{A}}(x) = 0.45$  (selon la figure II-19) ou  $\underline{\mu}_{\tilde{A}}(x) = 0.29$  et  $\overline{\mu}_{\tilde{A}}(x) = 0.69$  (selon la figure II-20).

Les figures II-19 et II-20 montrent aussi la construction d'un ensemble flou type-2 à partir d'un ensemble flou type-1.

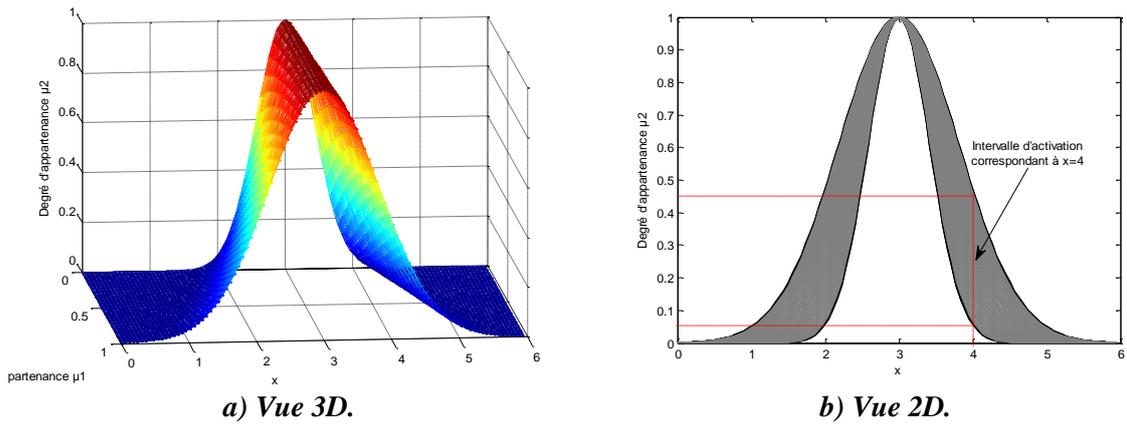


Figure II.19: Ensemble flou type-2 représentant un ensemble flou type-1 avec une incertitude de variance appartenant à l'intervalle [0.05 ; 0.45] pour  $x=4$ .

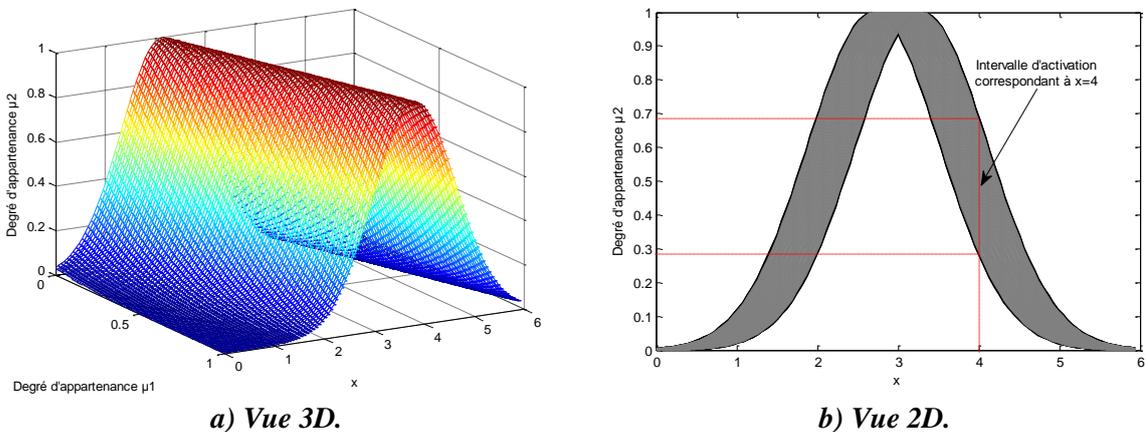


Figure II.20: Ensemble flou type-2 représentant un ensemble flou type-1 avec une incertitude de valeur moyenne appartenant à l'intervalle [0.29 ; 0.69] pour  $x=4$ .

### II.7.2/ Inférence

La différence entre le type-1 et le type-2 réside seulement dans la nature des fonctions d'appartenance, donc, la structure des règles dans le cas du type-2 va rester exactement la même. La seule différence étant que quelques (ou toutes) les fonctions d'appartenance seront de type-2 ; alors, la  $j^{\text{ème}}$  règle d'un système flou type-2 aura la forme [47] [48]:

$$R_j: \text{SI } x_1 \text{ est } \tilde{A}_1^j \text{ ET } x_2 \text{ est } \tilde{A}_2^j \text{ ET } \dots \text{ ET } x_n \text{ est } \tilde{A}_n^j \text{ ALORS } z_j = \tilde{C}^j \quad (2.17)$$

Où  $x_i$  ( $i=1,2,\dots, n$ ) sont les entrées du système flou,  $\tilde{A}_i^j$  est l'ensemble flou de type-2 correspondant à l'entrée  $x_i$ ,  $\tilde{C}^j$  est un ensemble flou de type-2 et  $z_j$  est la sortie de la  $j^{\text{ème}}$  règle. L'opérateur "ET" est interprété par le produit algébrique et "Alors" par le produit.

Il n'est pas nécessaire que toutes les fonctions d'appartenance des prémisses et des conséquences soient de type-2. Il suffit qu'une seule fonction d'appartenance dans une

prémisse ou dans une conséquence soit de type-2 pour que tout le système le soit aussi. Le degré d'activation correspondant à la  $j^{\text{ème}}$  règle est alors:

$$W^j = [\underline{w}^j, \overline{w}^j] \quad (2.18)$$

Où  $\underline{w}^j$  et  $\overline{w}^j$  sont les activations minimales et maximales respectivement pour la  $j^{\text{ème}}$  règle. Elles peuvent être écrites sous la forme:

$$\underline{w}^j = \underline{\mu}_{\tilde{A}_1^j}(x_1) * \underline{\mu}_{\tilde{A}_2^j}(x_2) * \dots * \underline{\mu}_{\tilde{A}_n^j}(x_n) = \prod_{i=1}^n \underline{\mu}_{\tilde{A}_i^j}(x_i) \quad (2.19)$$

$\underline{\mu}_{\tilde{A}_i^j}(x_i)$  est la valeur minimale de l'intervalle d'activation correspondant à  $x = x_i$ .

$$\overline{w}^j = \overline{\mu}_{\tilde{A}_1^j}(x_1) * \overline{\mu}_{\tilde{A}_2^j}(x_2) * \dots * \overline{\mu}_{\tilde{A}_n^j}(x_n) = \prod_{i=1}^n \overline{\mu}_{\tilde{A}_i^j}(x_i) \quad (2.20)$$

$\overline{\mu}_{\tilde{A}_i^j}(x_i)$  est la valeur maximale de l'intervalle d'activation correspondant à  $x = x_i$ .

tel que \* représente l'opérateur de multiplication.

### II.7.3/ Défuzzification

Pour obtenir la sortie non floue, nous allons transformer l'ensemble flou type-2 en ensemble flou type-1 utilisant la méthode des centres d'ensembles [49]. Karnik et Mendel ont proposé l'équation (2.21) pour faire cette réduction [45]:

$$Z(C^1, \dots, C^M, W^1, \dots, W^M) = \int_{C^1} \dots \int_{C^M} \int_{W^1} \dots \int_{W^M} 1 / \frac{\sum_{j=1}^M \tilde{c}^j w^j}{\sum_{j=1}^M w^j} = [c_L, c_R] \quad (2.21)$$

Où  $Z$  est l'ensemble de type réduit caractérisé par ses deux points : à gauche  $z_L$  et à droite  $z_R$ .

$\tilde{c}^j$  est un élément de l'intervalle type-2  $C^j = [c_L^j, c_R^j]$ .

$w^j$  est un élément de l'intervalle d'activation  $W^j = [\underline{w}^j, \overline{w}^j]$

Le type réduit par (2.21) sera déterminé par le point le plus à droite et celui le plus à gauche  $z_L$  et  $z_R$  respectivement.

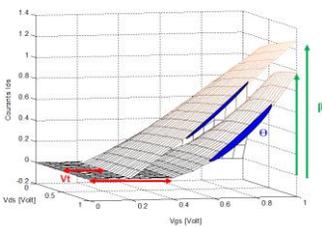
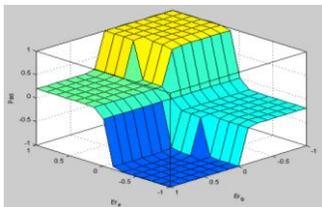
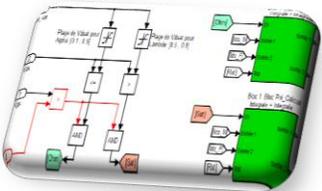
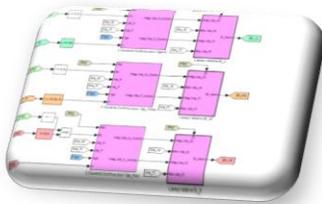
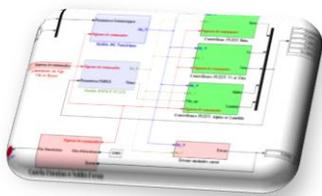
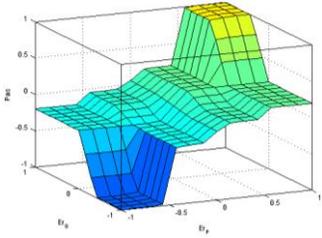
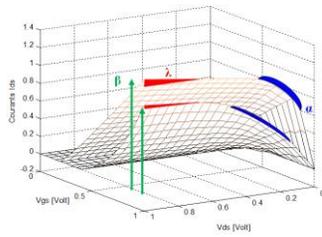
En appliquant le centre de gravité au type réduit, la sortie non floue sera donnée par [48]:

$$Z = \frac{z_L + z_R}{2} \quad (2.22)$$

**II.8/ Conclusion**

Dans ce chapitre, nous avons abordé principalement deux approximateurs intelligents: la logique floue type-1 et la logique floue type-2. Nous avons donné la représentation mathématique ainsi que la structure décrivant chaque approximateur. La logique floue, établie par Zadeh en 1965 [16], permet la représentation et le traitement de connaissances imprécises ou approximatives. Le nombre d'applications basées sur la théorie de la logique floue a augmenté considérablement ces dernières années [50] car cette logique est exprimée usuellement par des règles linguistiques de la forme Si –Alors. Elle est utilisée pour résoudre les problèmes de décision en contrôle ou pour décrire le comportement dynamique d'un système inconnu ou mal défini. La première génération de la logique floue est appelée la logique floue type-1. Une nouvelle logique floue appelée logique floue type-2 est introduite pour mieux représenter l'imprécision et l'incertitude. Les fonctions d'appartenance floues type-1 sont bidimensionnelles, par contre, les fonctions d'appartenance floues type-2 sont tridimensionnelles. La nouvelle (troisième) dimension des ensembles flous type-2 fournit un degré de liberté supplémentaire permettant de prendre en charge la modélisation des incertitudes. De ce fait, les ensembles flous type-2 ont la capacité de modéliser les incertitudes parce que leurs fonctions d'appartenance sont eux-mêmes floues. En raison de leurs propriétés d'approximation universelle et de parcimonie.

# CHAPITRE III



## La modélisation floue du transistor DG MOSFET nanométrique

### III.1/ Introduction

Dans ce chapitre, nous allons d'abord présenter l'état de l'art de la modélisation compacte du MOSFET double-grille nanométrique. Il existe actuellement cinq modèles que nous pouvons qualifier d'intéressants. Ensuite, nous allons introduire l'environnement de simulation numérique (MATLAB-SIMULINK) qui nous servira à la validation de notre modèle dérivé à partir de « BSIM SPICE level 3 ou BSIM3 ». Ensuite on détaillera la conception des blocs du modèle numérique et du modèle flou. Après l'approche méthodologique de la modélisation est introduite.

Avant dernier, la conception des contrôleurs des différents paramètres et leurs implémentations SIMULINK sont présentées. Nous rappellerons que nos blocs de contrôleurs qui nous ont permis d'aboutir à la modélisation d'un transistor DG MOSFET nanométrique ont été réalisés grâce à la technique d'intelligence artificielle « logique floue ». Finalement on termine ce chapitre par une conclusion.

### III.2/ L'état de l'art de la modélisation des transistors DG MOSFET nanométriques

Dans cette section, nous allons parler des principaux modèles existants actuellement au monde. Le modèle de Taur [51] est le premier modèle de DG MOSFET qui a pris en compte des effets canaux courts. Sa dernière version du modèle devient explicite grâce à un algorithme explicite mais très compliqué à comprendre ce qui freine son utilisation en dimensionnement "à la main". De plus, il n'y a pas encore de résultats montrés sur les dispositifs courts inférieurs à 70nm. L'équipe « PSP » a développé une version pour le DG de son modèle originellement dédié au MOSFET Bulk. Bien qu'ils prennent en compte les effets canaux courts d'une manière similaire au modèle PSP (élaboré pour un transistor MOSFET bulk), de nombreux paramètres et donc des procédures d'extraction de paramètres lourdes freinent l'utilisation de ce modèle pour la simulation de circuits intégrés. L'équipe de B. Iniguez [52] a développé un modèle compact précis avec la prise en compte des effets quantiques. Mais pour l'instant, aucune validation pour des longueurs inférieures à 70nm n'a été montrée. T. A. Fjelbly [53] a appliqué une méthode mathématique « conformal mapping » pour résoudre l'équation de Poisson dans la région de faible inversion. Il a pris en compte des effets canaux courts d'une manière inhérente. Cependant, ce modèle permet uniquement de décrire le comportement du dispositif sous le seuil. Il a besoin ensuite d'utiliser d'autres modèles pour décrire le comportement au-delà du seuil. Le modèle de Fjelbly n'est donc pas un modèle complet ou est en cours de développement.

A la différence des modèles présentés dans le paragraphe précédent, l'équipe de J. Fossum [54] a développé un modèle de DG MOSFET qui a pris en compte les effets canaux courts et les effets quantiques. Cependant, c'est un modèle physique avec un formalisme implicite, ce qui est très précis mais n'est pas préféré pour une simulation de circuit. Le groupe du CEA-LETI [55] a récemment développé un modèle de DG MOSFET qui reprend la philosophie de BSIM3 pour MOS Bulk. C'est un modèle qui a pris en compte les effets canaux courts et l'aspect dynamique mais pas les effets quantiques.

Ces modèles actuels présentent donc un certain nombre d'inconvénients pour une utilisation en conception de circuits intégrés. Le modèle que nous avons développé dans le cadre de ce mémoire est un modèle compact basé sur BSIM3, avec une gamme de validation plus large, avec un nombre de paramètres « relativement limité », robuste numériquement et adapté pour la simulation des circuits intégrés en technologie DG MOSFET nanométrique.

Le tableau III.1 représente une synthèse des principaux modèles existants.

Modèle compact Caractéristiques des modèles	Y. Taur	PSP	B. Iñiguez	F.A. Fjelbly	LETI	J. Fossum
Simplicité du modèle	+	-	+	+/-	+	-
Formulation explicite	+/-	+	+	+	+	-
Prise en compte des effets canaux courts	+	+	+	+	+	+
Prise en compte du comportement dynamique	+	+	+	+	+	+
Prise en compte des effets quantiques	-	+	+	-	-	+
Gamme de validation L/W	70nm/10nm	30nm/10nm	70nm/10nm	-	30nm/10nm	50nm/1nm

Tableau III-1: Bilan des caractéristiques des différents modèles compacts de DG MOSFET [1].

### III.3/ Les caractéristiques électriques pour l'extraction de paramètres

Certains paramètres du modèle compact développé dans le cadre de ce mémoire sont supposés connus ou fixés par le concepteur, et d'autres devront être extraits au travers de caractéristiques électriques. La tâche d'extraction de paramètres a besoin de deux parties distinctes:

- Une mesure ou simulation 3D de caractéristiques électriques (base de données ou modèle numérique),
- Une méthode d'extraction des paramètres à partir des caractéristiques électriques (dans notre cas les contrôleurs flous).

Ces deux parties définissent notre procédure d'extraction de paramètres.

Typiquement, les mesures nécessaires à l'extraction de paramètres sont les caractéristiques courant-tension:

- $I_{DS}$  en fonction de  $V_{GS}$  pour des différentes valeurs de tension de  $V_{DS}$ , de longueurs de grille et de largeurs de canal, bien spécifiques.
- $I_{DS}$  en fonction de  $V_{DS}$  pour des différentes valeurs de tension de  $V_{GS}$ , de longueurs de grille et de largeurs de canal, bien spécifiques.
- Finalement, les caractéristiques capacitives pour assurer le comportement dynamique du modèle.

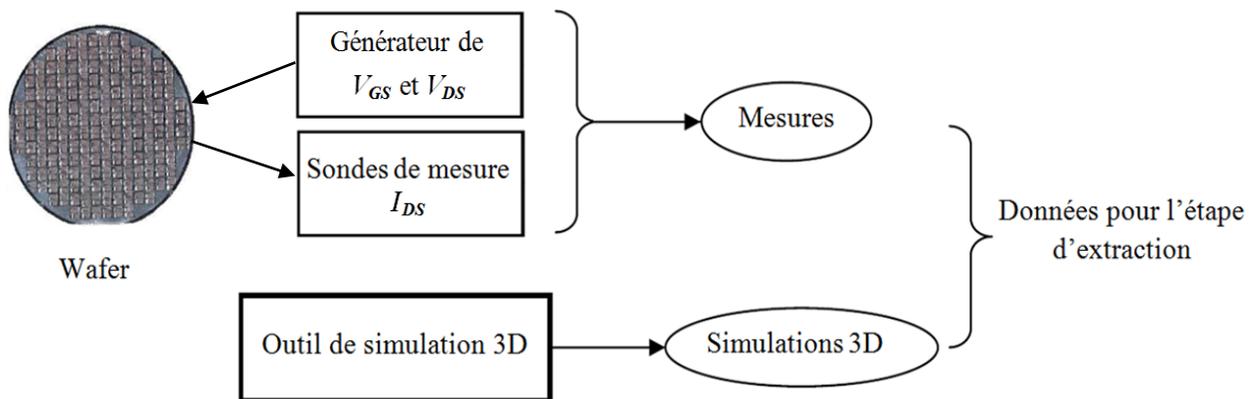
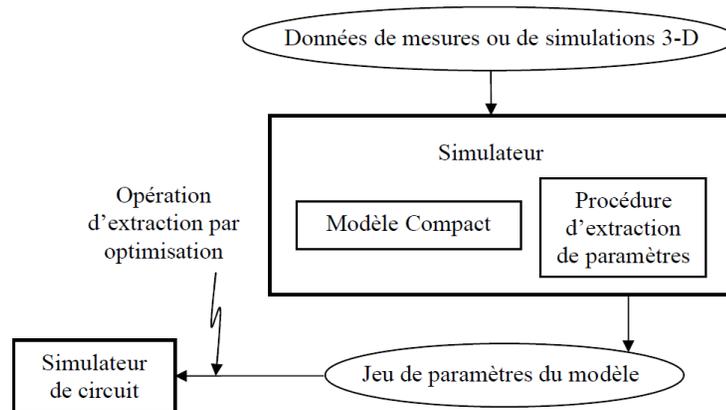


Figure III.1: Banc de mesure et simulations 3D nécessaire à l'étape d'extraction.

La figure III.1 illustre la mesure des caractéristiques électriques pour obtenir des données de mesures. Dans le cadre de notre étude du transistor DG MOSFET nanométrique, la procédure peut également s'appliquer à des résultats de simulations 3D issus d'un simulateur de dispositifs (Atlas de Silvaco par exemple).

### III.4/ Méthodologie de la procédure d'extraction



**Figure III.2: Schéma logiciel de l'extraction des paramètres.**

L'extraction des paramètres peut se faire:

- Soit par l'analyse directe d'une caractéristique électrique.
- Soit à l'aide d'une méthode d'optimisation.

La première méthode exploite les équations et les caractéristiques du modèle pour obtenir la valeur d'un paramètre. Elle consiste à comparer les résultats de caractéristiques électriques simulées selon le modèle compact, avec les caractéristiques de référence (modèle numérique) que sont les mesures ou les simulations 3D. Chaque paramètre du modèle est évalué pour obtenir un minimum d'écart entre les résultats du modèle et ceux de référence, définis dans une procédure d'extraction.

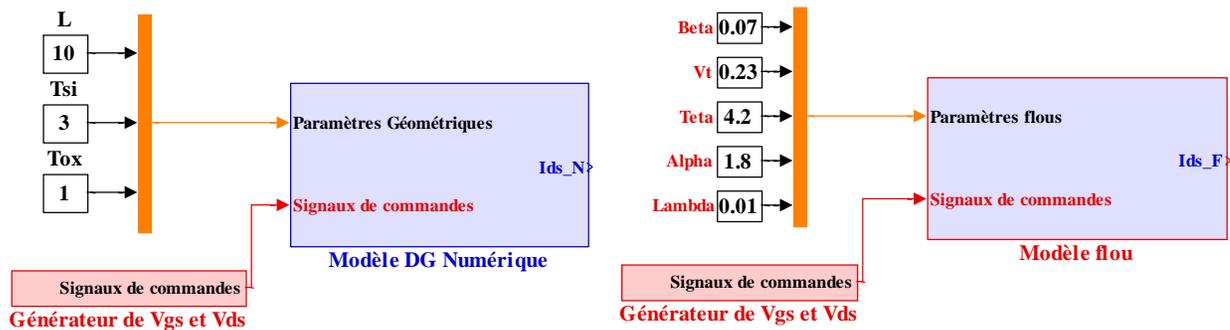
Pour extraire efficacement ces paramètres, on recherche pour chacun une région de fonctionnement des caractéristiques électriques, qui est influencée par l'effet physique auquel le paramètre est associé. Ce paramètre est ensuite estimé sur cette région. Malheureusement plusieurs paramètres sont souvent influant dans une même région, et leur estimation doit être simultanée, ce qui justifie l'utilisation de la logique floue dans notre procédure d'extraction. Mais une telle méthode n'est pas toujours possible. Ainsi il peut être nécessaire d'ajouter l'approche par optimisation.

Cette approche demande que des estimations initiales des paramètres soient faites (par exemple les résultats de la première technique). La méthode par optimisation a des avantages et des inconvénients en ce sens que nous trouverons toujours une solution, mais que celle-ci pourra être très éloignée de tout sens physique. Il convient donc d'être prudent lors de la définition des procédures d'extraction de paramètres par optimisation; c'est-à-dire qu'il est essentiel d'avoir une

bonne connaissance de la valeur des paramètres devant être extraits et de la meilleure zone (parfaitement limitée) où ces paramètres sont les plus influents.

### III.5/ Le modèle numérique et le modèle compact flou

Notre objectif dans cette partie est de contrôler notre transistor DG nanométrique en se basant sur notre modèle flou. Ce dernier est caractérisé par ces 5 paramètres d'entrées  $\beta$ ,  $V_T$ ,  $\theta$ ,  $\alpha$  et  $\lambda$ . On remarque que le modèle numérique a des caractéristiques non linéaires.



a) *Le modèle numérique.*

b) *Le modèle flou.*

*Figure III.3: Le modèle numérique et son modèle compact flou.*

La question qui peut se poser: Comment peut-on vérifier si notre contrôleur flou est le bon choix ou non?

La solution est de simuler le modèle numérique ainsi que le modèle flou associé (modèle compact). Pour simuler ces modèles, on a opté de choisir le logiciel MATLAB (SIMULINK et la boîte à outils FUZZY LOGIC).

#### III.5.1/ Présentation du MATLAB et du SIMULINK

MATLAB est un langage de calcul scientifique de haut niveau. Très répandu dans l'industrie, les universités et les écoles d'ingénieurs, il est devenu un outil incontournable pour l'ingénierie et la recherche scientifique, de part sa simplicité d'utilisation et sa puissance de calcul et de visualisation.

En plus du noyau MATLAB, il existe de nombreuses boîtes à outils dont chacune est dédiée à un domaine scientifique particulier. En complément de MATLAB et de ses boîtes à outils, l'outil additionnel SIMULINK permet la modélisation et la simulation de systèmes dynamiques continus, discrets ou hybrides, en utilisant une présentation graphique sous forme de schémas blocs.

### III.5.2/ Présentation de la boîte à outils logique floue de MATLAB

Cette boîte à outils nous permet de créer et d'éditer des systèmes d'inférence floue FIS (*Fuzzy Inference Systems*) via des outils graphiques ou des fonctions en ligne. Lors de cette application on va essayer d'utiliser ces différents outils graphiques et qui sont:

- L'éditeur de système d'inférence floue «*FIS Editor*».
- L'éditeur de fonctions d'appartenance «*Membership Function Editor*».
- L'éditeur des règles «*Rule Editor*».
- L'interface graphique représentant l'inférence du système flou «*Rule Viewer*».
- L'interface graphique représentant l'évolution de la sortie en fonction des entrées «*Surface Viewer*».

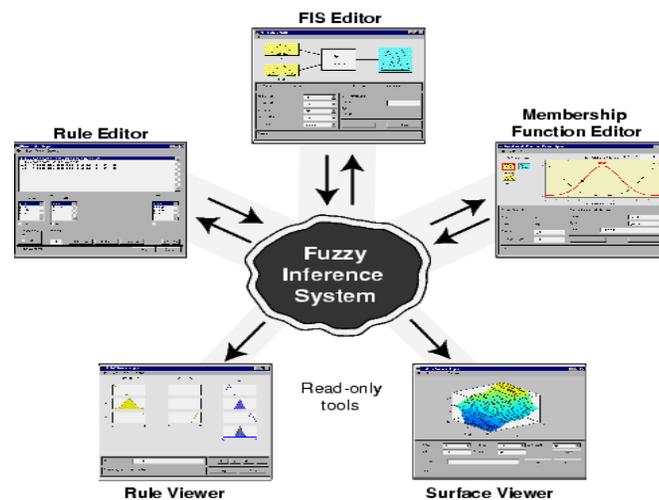


Figure III.4: Le système d'inférence floue.

On peut construire un contrôleur à l'aide de ces interfaces graphiques. Pour y accéder on tapera *fuzzy* à partir de l'environnement MATLAB; le «*Fis Editor*» apparaît et nous permet alors d'accéder aux autres interfaces, on procède alors comme suit:

Avec le «*Fis Editor*», on va définir les entrées, ensuite la sortie du contrôleur. Le menu «*View*» permet de passer d'une interface graphique à une autre. On définit ensuite les ensembles flous et les fonctions d'appartenance des différentes entrées en utilisant l'option «*Add mfs*» du menu «*Edit*». On précisera alors le type de ces fonctions et l'intervalle de discours sur lequel ces entrées varient.

On décrit ensuite les fonctions d'appartenance de la sortie selon la commande qu'on désire. Sur le «*Rule Editor*», on définit les règles d'inférences liants les entrées et la sortie du contrôleur.

On définit à chaque fois la relation logique entre les deux entrées, ensuite on choisit la sortie qu'on va appliquer et on clique sur «Add rule».

Une fois les entrées définies, ainsi que la sortie et les règles, on enregistre notre système d'inférence (le contrôleur flou crée) dans un fichier (nom.fis). Lors de la construction du modèle du système sur SIMULINK on utilisera le bloc «Fuzzy Controller» pour modéliser le contrôleur flou. Les interfaces «Rule Viewer» et «Surface Viewer» s'activent avec la simulation. Le «Rule Viewer» qui s'active pendant cette dernière, nous permet de voir la participation de chaque règle dans la commande, il fera ensuite la moyenne pour déduire la sortie.

### III.5.3/ Le modèle numérique

On présente le cas d'un modèle numérique qui englobe 216 transistors DG MOSFET nanométriques. Cette base de données est caractérisée par les champs suivants:  $L$ ,  $T_{Si}$ ,  $T_{OX}$ ,  $V_{GS}$ ,  $V_{DS}$  et  $I_{DS\_N}$ . Elle a été extraite à partir d'une simulation 3D accomplie au sein du laboratoire «Technologie des semi-conducteurs» de l'université de batna en utilisant le simulateur «Nano MOS 2.5».

A partir de SIMULINK, on considère alors le système suivant:

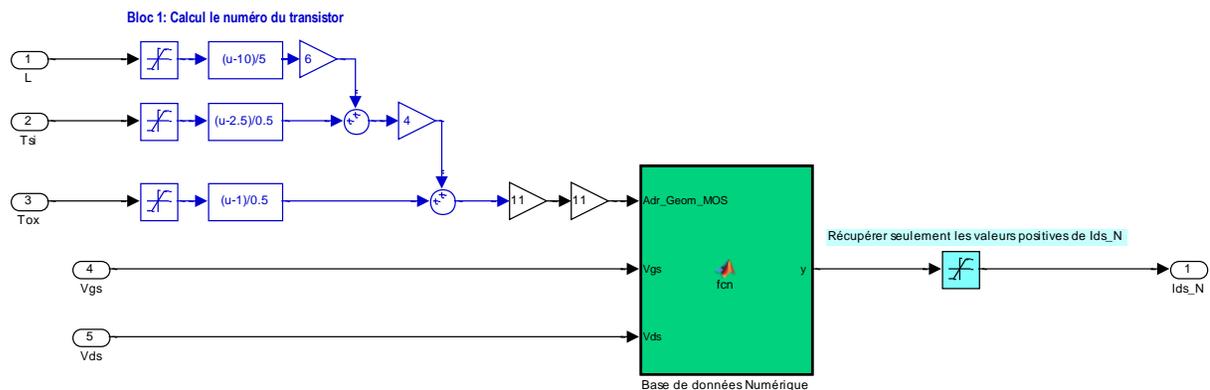
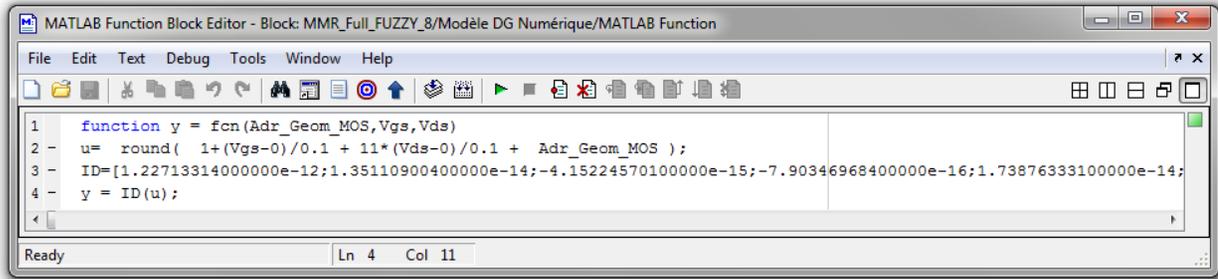


Figure III.5: Le modèle numérique des 216 transistors MOSFET nanométriques.

Le bloc «Base de données Numérique» permet de sortir un courant nommé  $I_{DS\_N}$  en fonction des 3 entrées:  $V_{GS}$ ,  $V_{DS}$  et l'adresse géométrique «Adr\_Geom\_Mos» selon le programme suivant:



```

1 function y = fcn(Adr_Geom_MOS,Vgs,Vds)
2 - u= round( 1+(Vgs-0)/0.1 + 11*(Vds-0)/0.1 + Adr_Geom_MOS );
3 - ID=[1.227133140000000e-12;1.351109004000000e-14;-4.152245701000000e-15;-7.903469684000000e-16;1.738763331000000e-14;
4 - y = ID(u);

```

Figure III.6: Code source en langage MATLAB du modèle numérique.

Le premier bloc permet de calculer le numéro du transistor (0, 1, 2,..., 215) à partir des paramètres géométriques:  $L$ ,  $T_{SI}$  et  $T_{OX}$ . Ensuite ce numéro est utilisé pour le calcul de l'adresse géométrique « $Adr\_Geom\_MOS$ » qui est l'adresse du début des données  $I_{DS\_N}(V_{GS}, V_{DS})$  pour ce transistor dans la base de données. Les formules nécessaires sont décrites comme suit:

$$\text{Numéro de transistor} = (T_{OX} - 1) / 0.5 + 4 * [ (T_{SI} - 2.5) / 0.5 + 6 * (L - 10) / 5 ] \quad (3.1)$$

$$\text{Adresse géométrique «} Adr\_Geom\_MOS \text{»} = 11 * 11 * \text{Numéro de transistor} \quad (3.2)$$

Sachant que le facteur  $11 * 11$  dans la formule (3.2) est le nombre des valeurs (points) de  $I_{DS\_N}$  en fonction de  $V_{GS}$  et  $V_{DS}$  pour chaque transistor.

La formule (3.3) calcule l'adresse de la valeur désirée de  $I_{DS\_N}$  pour un  $V_{GS}$  et un  $V_{DS}$  donnés.

$$\text{Adresse } I_{DS\_N} = 1 + (V_{GS} - 0) / 0.1 + 11 * (V_{DS} - 0) / 0.1 + Adr\_Geom\_MOS \quad (3.3)$$

La figure III.7 résume clairement ce type d'adressage. Finalement, le dernier bloc de saturation a été ajouté pour éliminer les valeurs négatives du courant  $I_{DS\_N}$  existantes dans la base de données.

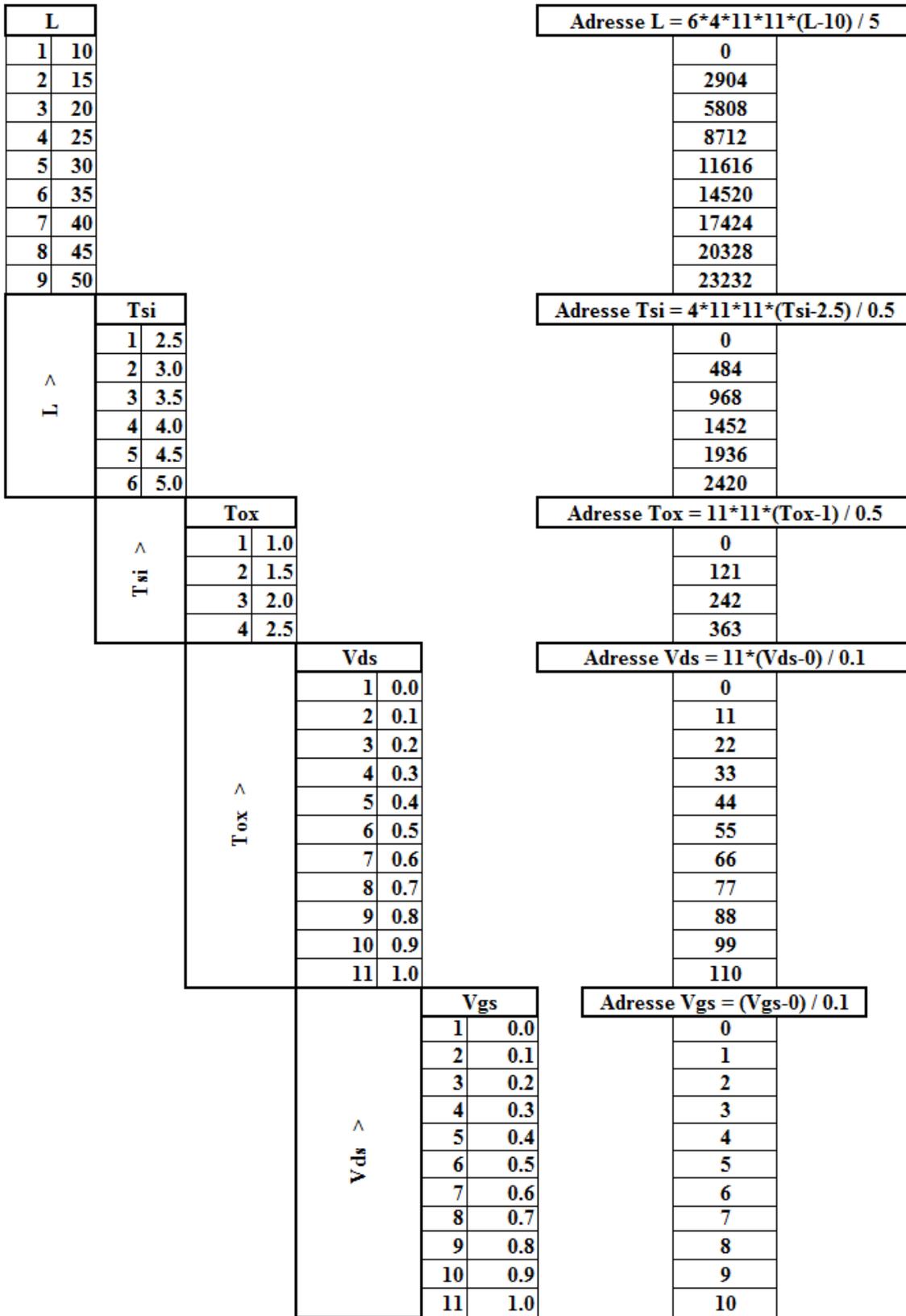


Figure III.7: L'adressage des données du modèle numérique.

III.5.4/ Le modèle compact flou

Le bloc «Modèle flou» permet de sortir un courant nommé  $I_{DS\_F}$  en fonction des 2 sources  $V_{GS}$ ,  $V_{DS}$  et des 5 paramètres d'entrées  $\beta$ ,  $V_T$ ,  $\theta$ ,  $\alpha$  et  $\lambda$ . En plus, la sortie  $V_{DSat}$  a été ajoutée pour des raisons de test.

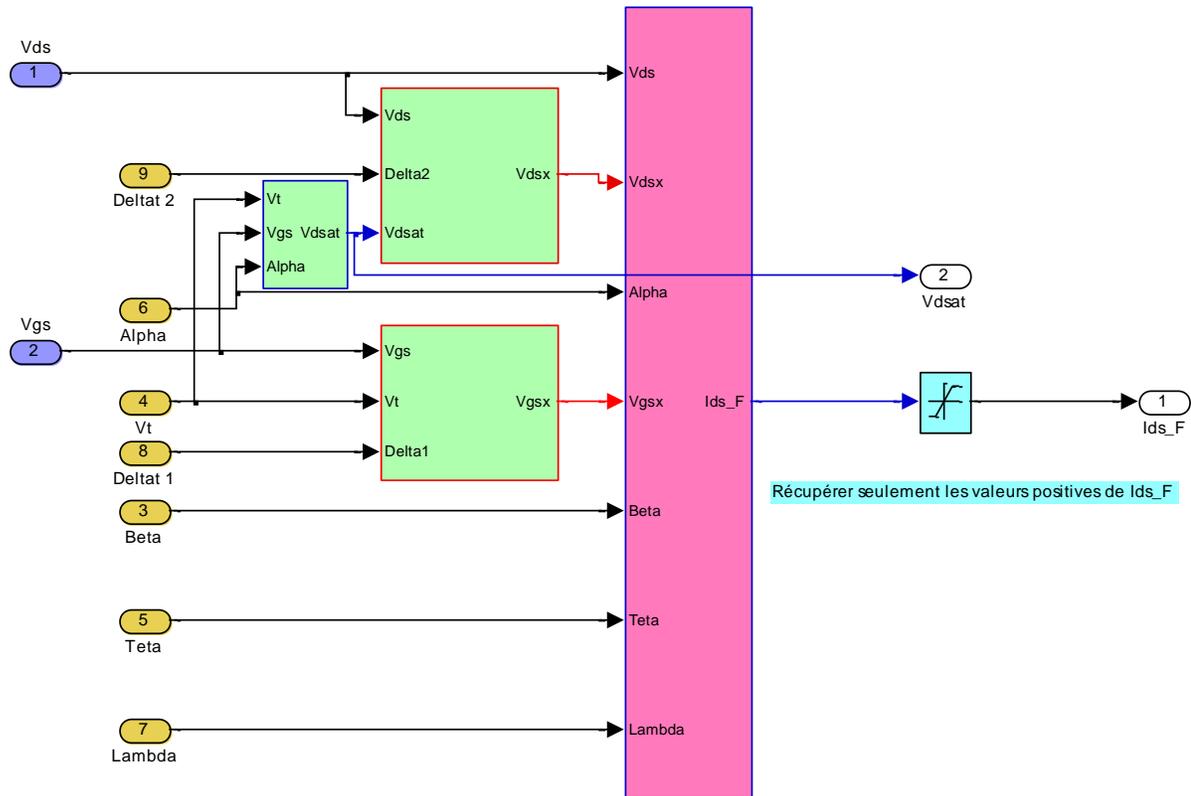


Figure III.8: Le Modèle flou.

A) La fonction de lissage (Smoothing)  $F(x, Lim, \delta)$

Soit la fonction  $F_0$  non arrondie ( $F_0$  à un angle) pour la transition quand  $x = Lim$  décrite comme suit:

$$F_0(x, Lim) = \begin{cases} x - Lim & x < Lim \\ 0 & x \geq Lim \end{cases} \quad (3.4)$$

Parmi les propositions pour introduire une transition lisse pour la fonction  $F_0$  est:

$$F(x, Lim, \delta) = \frac{1}{2} * \left( x - Lim + \delta - \sqrt{(x - Lim - \delta)^2 + 4\delta x} \right) \quad (3.5)$$

$\delta$  est le paramètre de lissage (Smoothing). La fonction  $F(x, Lim, \delta)$  converge vers  $F_0(x, Lim)$  pour  $\delta = 0$ . (voir la figure III.9).

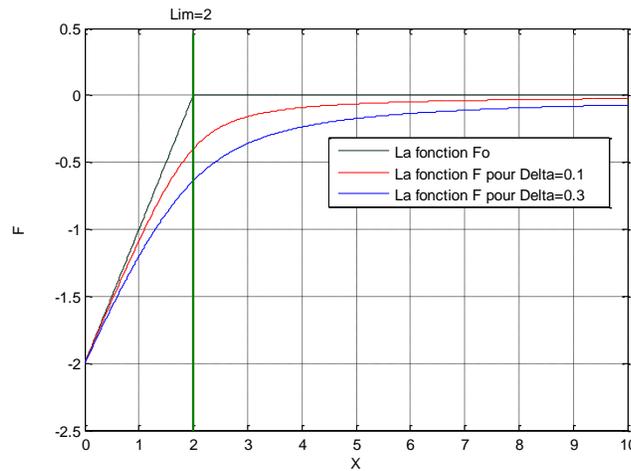


Figure III.9: La fonction  $F_0(x, Lim)$  et  $F(x, Lim, \delta)$  pour  $Lim=2$  et  $\delta=0.1$  et  $0.3$ .

La fonction  $F(x, Lim, \delta)$  est caractérisée quand on change l'ordre des entrées  $x$  et  $Lim$  par:

$$F(Lim, x, \delta) = F(x, Lim, \delta) - (x - Lim) \tag{3.6}$$

**B) La variable  $V_{DSX}$  à partir de notre fonction  $F(x, Lim, \delta)$**

Notre modèle flou utilise deux formules pour calculer le courant  $I_{DS}$ , une pour le mode ohmique et l'autre pour le mode de saturation:

$$I_{DS} = \begin{cases} \text{Formule pour le régime ohmique} & V_{DS} < V_{DSsat} \\ \text{Formule pour le régime de saturation} & V_{DS} \geq V_{DSsat} \end{cases} \tag{3.7}$$

Pour éviter les problèmes de discontinuité dans le simulateur (ce qui cause une divergence), il faut utiliser une seule formule pour le courant  $I_{DS}$ . De ce fait au lieu d'utiliser deux formules et l'entrée  $V_{DS}$ , il suffit d'utiliser une seule formule (formule ohmique) avec une nouvelle entrée nommée  $V_{DSX}$  (version saturée de  $V_{DS}$ ) par l'exploitation de la fonction  $F(x, Lim, \delta)$ :

$$V_{DSX} = F(V_{DS}, V_{DSsat}, \delta_2) + V_{DSsat} \tag{3.8}$$

Le bloc suivant illustre cette formule dans SIMULINK:

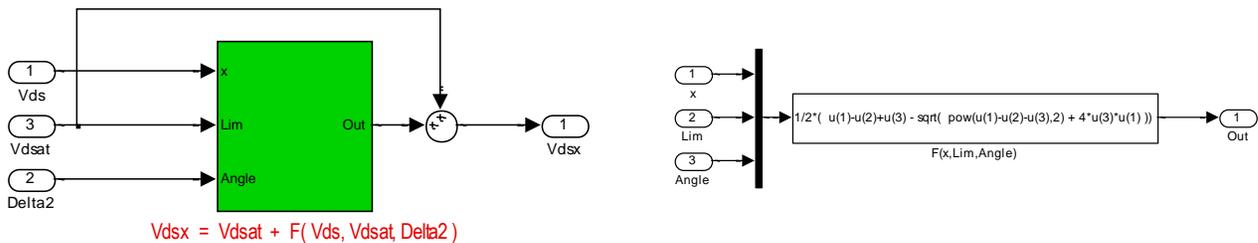


Figure III.10: Le bloc  $V_{DSX}$ .

La figure III.11 montre la relation entre  $V_{DSX}$  et  $V_{DS}$ . On remarque que  $V_{DSX} = V_{DS}$  pour le régime ohmique ( $V_{DS} < V_{DS\_sat}$ ) et que  $V_{DSX} = V_{DS\_sat}$  pour le régime de saturation ( $V_{DS} > V_{DS\_sat}$ ).

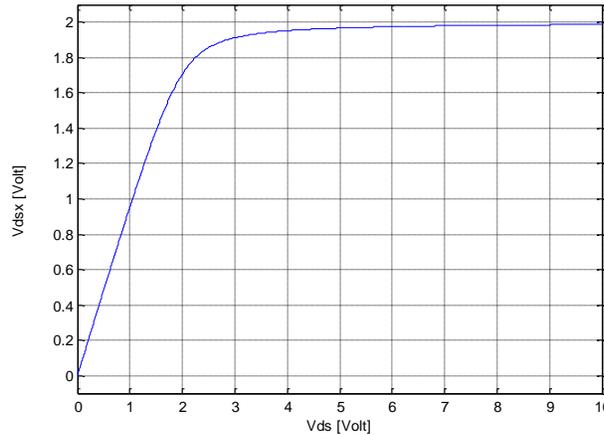


Figure III.11:  $V_{DSX}$  en fonction de  $V_{DS}$  (pour  $V_{DS\_SAT} = 2$ ).

**C) La variable  $V_{GSX}$  en utilisant notre fonction  $F(x, Lim, \delta)$**

L'entrée  $V_{GSX}$  remplace la valeur de  $V_{GS} - V_T$  selon la formule suivante:

$$V_{GSX} = \begin{cases} 0 & V_{GS} < V_T \\ V_{GS} - V_T & V_{GS} \geq V_T \end{cases} \quad (3.9)$$

Toujours, pour éviter les problèmes de discontinuité dans le simulateur, nous avons utilisé une nouvelle version non discontinue qui exploite la fonction  $F(x, Lim, \delta)$ :

$$V_{GSX} = (V_{GS} - V_T) - F(V_{GS}, V_T, \delta_1) \quad (3.10)$$

A partir de cette formule et la formule (3.6), on peut déduire:

$$V_{GSX} = - F(V_T, V_{GS}, \delta_1) \quad (3.11)$$

Le bloc suivant illustre cette formule dans SIMULINK:

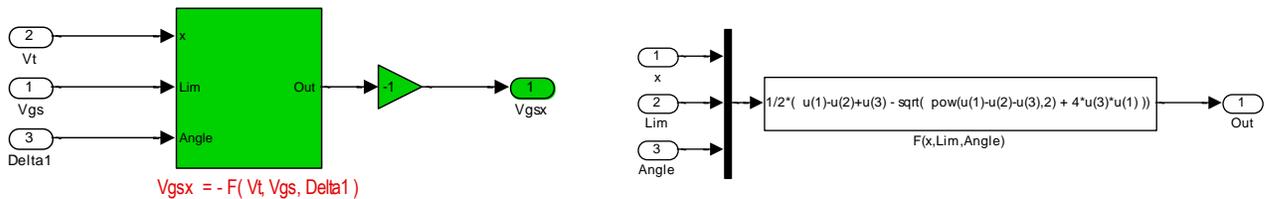


Figure III.12: Le bloc  $V_{GSX}$ .

La figure III.13 montre la relation entre  $V_{GSX}$  et  $V_{GS}$ .

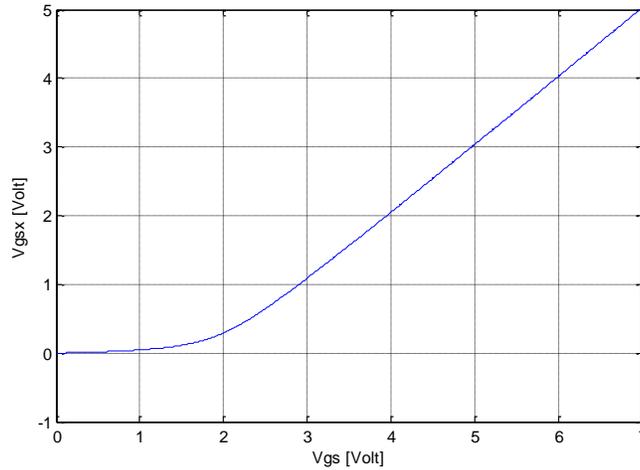


Figure III.13:  $V_{GSX}$  en fonction de  $V_{GS}$  (pour  $V_T = 2$ ).

**D) Le voltage de saturation  $V_{DS\_Sat}$**

Le voltage de saturation  $V_{DS\_Sat}$  est donné par la formule suivante:

$$V_{DS_{Sat}} = \frac{V_{GS} - V_T}{\alpha} \tag{3.12}$$

La figure III.14 illustre la conception SIMULINK de la variable  $V_{DS\_Sat}$ .

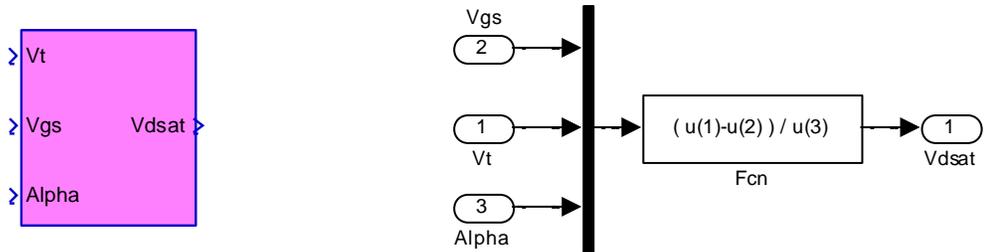


Figure III.14: Le bloc  $V_{DS\_Sat}$ .

**E) Le courant de drain du modèle flou « $I_{DS\_F}$ »**

D’après le modèle BSIM3, le courant  $I_{DS\_F}$  pour le régime ohmique est calculé par:

$$I_{DS_F} = \frac{\beta}{1 + \theta(V_{GS} - V_T)} \left( (V_{GS} - V_T)V_{DS} - \frac{\alpha}{2} V_{DS}^2 \right) \left( 1 + \lambda(V_{DS} - V_{DS_{sat}}) \right) \tag{3.13}$$

Pour que cette formule soit valable pour les deux régimes (ohmique + saturation), on va l’étendre en utilisant les modifications suivantes:

- $V_{GS} - V_T$  par:  $V_{GSX}$
- $V_{DS}$  par:  $V_{DSX}$
- $V_{DS} - V_{DS_{sat}}$  par:  $V_{DS} - V_{DSX}$

La formule (3.13) devient comme suit:

$$I_{DS\_F} = \frac{\beta}{1 + \theta V_{GSX}} \left( V_{GSX} V_{DSX} - \frac{\alpha}{2} V_{DSX}^2 \right) (1 + \lambda(V_{DS} - V_{DSX})) \quad (3.14)$$

Cette expression est modélisée dans SIMULINK par le produit des trois blocs suivants (figure III.15):

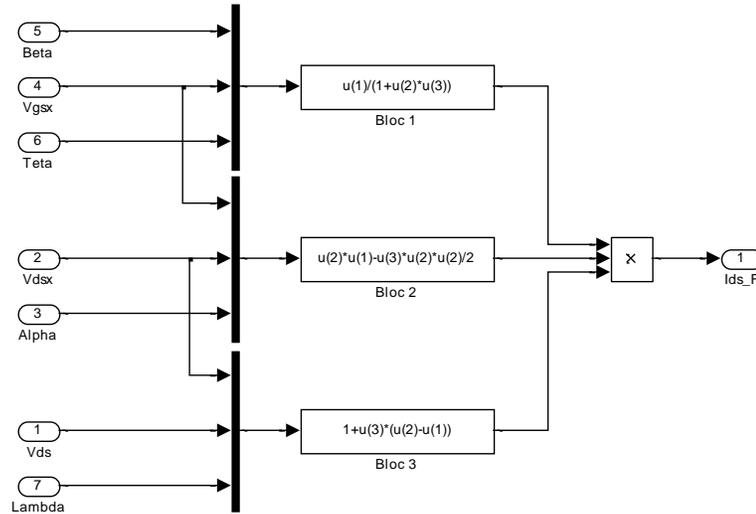


Figure III.15: Le Courant  $I_{DS\_F}$ .

### III.6/ La modélisation floue «Fuzzy Modeling»

A partir de SIMULINK on va lancer la simulation du modèle flou ainsi que l'extraction de ces paramètres. Pour les contrôleurs flous, les fichiers «FUZZY\_Vt\_Teta.fis» et «FUZZY\_Alpha\_Lambda.fis» sont chargés pour la simulation. On considère alors le schéma synoptique (figure III.16) et le schéma conceptuel (figure III.17) de notre modèle compact flou.

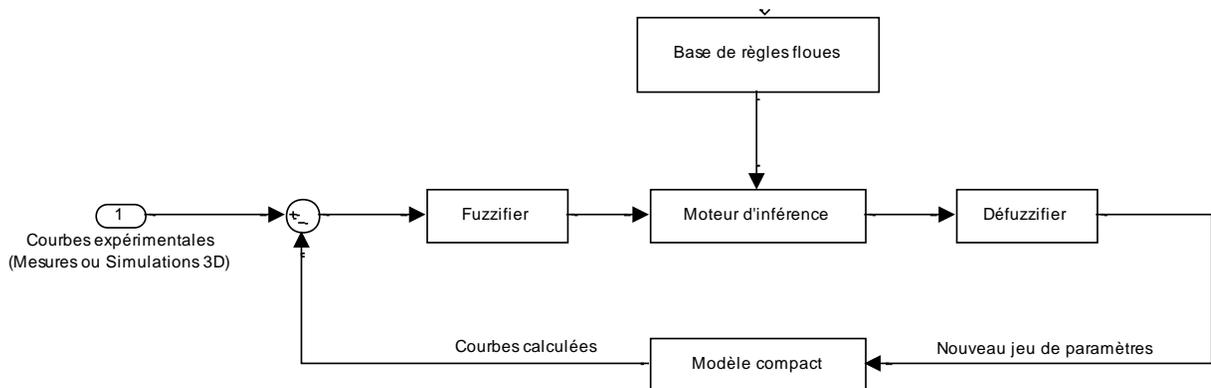


Figure III.16: Schéma synoptique du modèle flou.

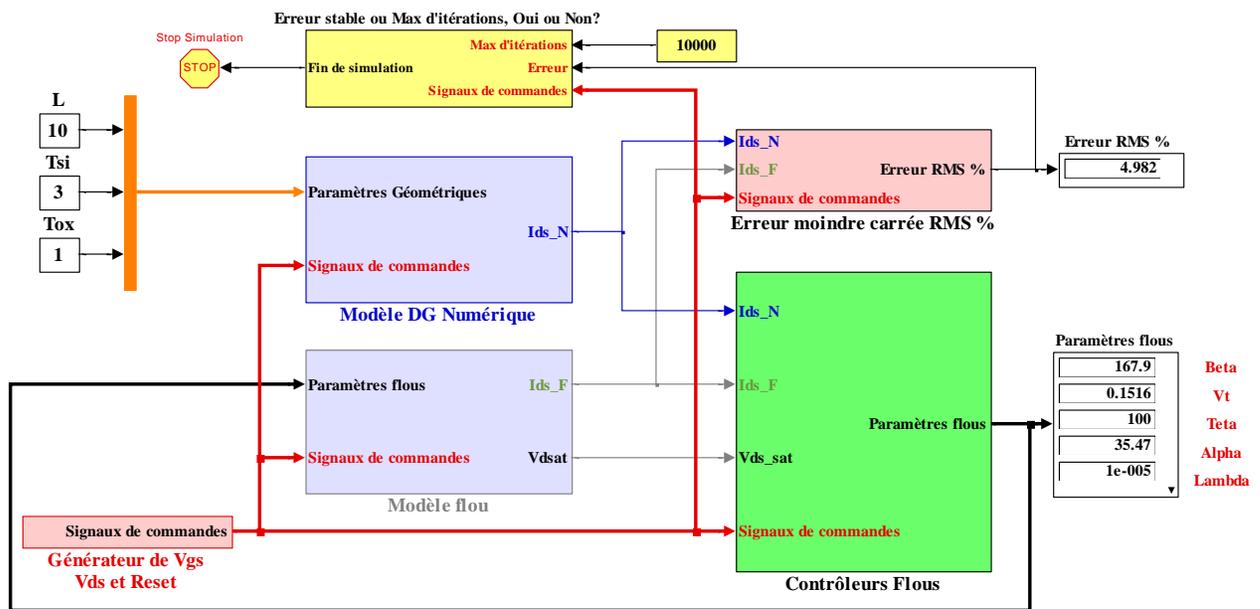


Figure III.17: Schéma conceptuel du modèle flou.

Notre système fonctionne en mode discret de pas fixe  $T_0$ . Le bloc «Générateur de  $V_{GS}$ ,  $V_{DS}$  et Reset» génère un signal triangulaire pour  $V_{GS}$  de fréquence  $11 \cdot T_0$  (11 est le nombre de points de mesure du modèle DG numérique pour  $V_{GS}$ ). Le même bloc génère aussi un signal triangulaire pour  $V_{DS}$  de fréquence  $11 \cdot 11 \cdot T_0$  ( $11 \cdot 11$  est le nombre total des points de mesure du modèle DG numérique pour un transistor voulu). Enfin ce bloc produit un signal Reset qui initialise et active les différents blocs pour chaque cycle de  $11 \cdot 11$  points (un balayage complet de  $V_{GS}$  et  $V_{DS}$ ).

Le bloc «Modèle DG Numérique» permet de sortir un courant nommé  $I_{DS\_N}$  en fonction des signaux de commandes ( $V_{GS}$  et  $V_{DS}$ ) et les paramètres géométriques:  $L$ ,  $T_{SI}$  et  $T_{OX}$ .

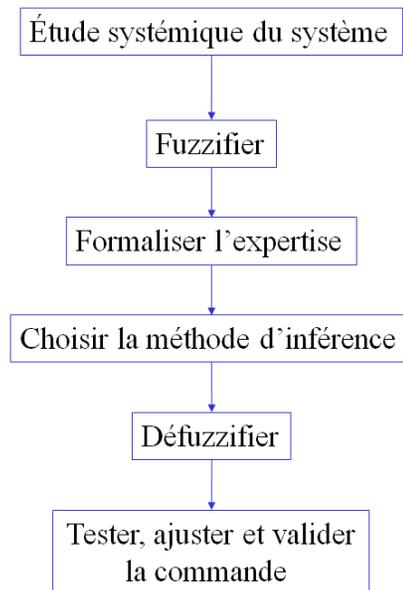
Le bloc «Modèle flou» produit un courant nommé  $I_{DS\_F}$  en fonction des signaux de commandes ( $V_{GS}$  et  $V_{DS}$ ) et les 5 paramètres flous  $\beta$ ,  $V_T$ ,  $\theta$ ,  $\alpha$  et  $\lambda$ .

Les deux courants générés par les deux modèles ( $I_{DS\_N}$  et  $I_{DS\_F}$ ) avec les signaux de commandes sont injectés dans les différents contrôleurs flous pour avoir des nouveaux paramètres réintroduits dans le bloc «Modèle flou» pour chaque cycle.

Ce cycle (le calcul des courants et l'estimation des paramètres) est répété autant de fois jusqu'à que la valeur de l'erreur finale sera stable ou bien le nombre d'itérations max sera atteint.

### III.6.1/ Approche méthodologique

Dans notre conception du modèle flou, on a suivi l'ordre de l'organigramme suivant:



*Figure III.18: Organigramme général utilisé dans la conception du modèle flou.*

- Dans la 1<sup>ère</sup> étape de l'étude systémique du système, on doit choisir les variables *E/S* principales et secondaires (entrées pré-calculées) pour la description du fonctionnement du contrôleur flou.
- Dans la 2<sup>ème</sup> étape de l'organigramme, pour chaque *E/S* choisie, on doit déterminer: son univers du discours, sa partition floue, ces fonctions d'appartenance et leurs types appropriés.
- La 3<sup>ème</sup> étape consiste à définir les bonnes règles choisies. Ces règles sont énoncées à partir des connaissances du procédé qu'on a en tant qu'expert.
- Après, on sélectionne la méthode utilisée par le contrôleur pour le moteur d'inférences (Mamdani ou bien Sugeno). Dans notre travail, on a exécuté les deux techniques et elles ont donné les mêmes résultats.
- Finalement, le dernier choix est la méthode de défuzzification voulue. Ce choix influe sur la vitesse de la simulation et la précision des résultats obtenus (compromis entre la vitesse et la précision).

- Pour valider le modèle flou, on doit tester, ajuster les  $E/S$  considérées (univers du discours, fonctions d'appartenance et leurs types) à partir des résultats initiaux. Par exemple si le processus réagit différemment de part et d'autre du point de consigne, on peut dé-symétriser les fonctions d'appartenance.

### III.6.2/ Le contrôleur flou du paramètre $\beta$

D'après l'équation (3.14), le paramètre  $\beta$  contrôle l'amplitude du courant  $I_{DS}$ . L'algorithme du contrôleur «FUZZY  $\beta$ » donne une valeur pour ce paramètre et vérifie l'amplitude de  $I_{DS\_N}$  et  $I_{DS\_F}$  ensuite il corrige la valeur de  $\beta$  selon le rapport  $B = \frac{I_{DS\_F}}{I_{DS\_N}}$ , puisque:

$$I_{DS\_N} = \beta_N * f(V_{GS}, V_{DS}, \dots)$$

et

$$(3.15)$$

$$I_{DS\_F} = \beta_F * f(V_{GS}, V_{DS}, \dots)$$

Donc, le rapport  $B$  aura l'expression suivante:

$$B = \frac{I_{DS\_F}}{I_{DS\_N}} = \frac{\beta_F * f(V_{GS}, V_{DS}, \dots)}{\beta_N * f(V_{GS}, V_{DS}, \dots)} = \frac{\beta_F}{\beta_N} \quad (3.16)$$

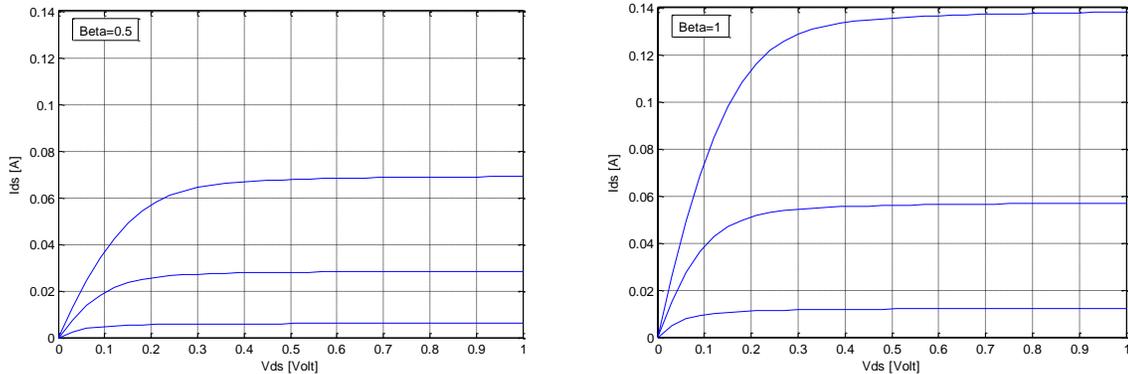
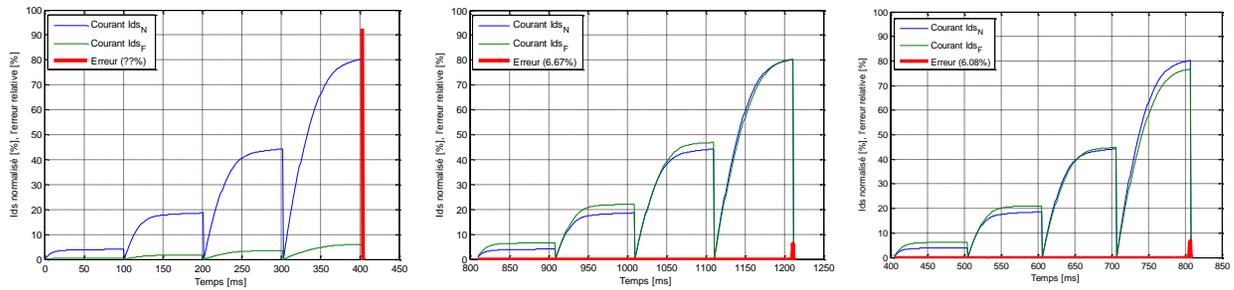


Figure III.19: Signification physique du paramètre  $\beta$ .

En conséquence, la nouvelle  $\beta$  est calculée par la division de l'ancienne  $\beta$  sur le rapport  $B$ . La première tentative est d'exploiter les valeurs max des courants  $I_{DS\_N}$  et  $I_{DS\_F}$  dans le calcul du rapport, mais on a remarqué que l'utilisation des valeurs max seulement induit à un paramètre  $\beta$  qui converge bien pour les valeurs max mais non adapté pour les valeurs moyennes et minimums (figure III.20-b). De ce fait, au lieu de travailler sur quelques points (les valeurs max) des courbes  $I_{DS}(V_{DS}, V_{GS})$ , il vaut mieux en prendre le maximum, ce qui implique l'exploitation de l'intégrale

(figure III.20-c). L'intervalle de celui-ci est optimisé pour les dernières courbes de  $I_{DS}(V_{DS})$ , c'est-à-dire  $V_{GS} > V_T$ .



a) Les courants  $I_{DS\_N}$  et  $I_{DS\_F}$  sans correction de  $\beta$  (au démarrage).    b) Les courants  $I_{DS\_N}$  et  $I_{DS\_F}$  avec correction de  $\beta$  (valeurs max).    c) Les courants  $I_{DS\_N}$  et  $I_{DS\_F}$  avec correction de  $\beta$  (intégrale).

Figure III.20: La variation de l'erreur moindre carrée par les deux techniques «valeur max» et «l'intégrale». On remarque que l'intégrale a diminué l'erreur.

• **Implémentation SIMULINK**

1. **Intégrateur numérique (discret)**

Il réalise la somme de toutes les valeurs du signal d'entrée (In) point après point. La commande Rst initialise la somme de l'intégrateur. La commande Enable (En) active le fonctionnement du bloc. On utilise ce signal pour déduire l'intervalle de l'intégration.

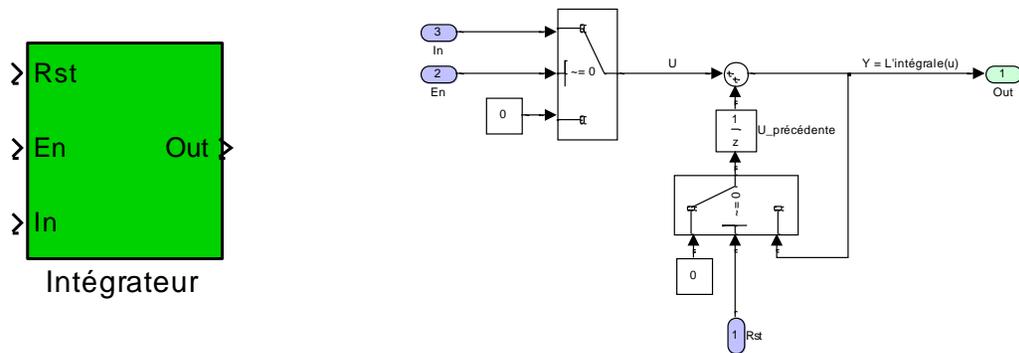


Figure III.21: L'intégrateur discret avec Reset et Enable.

2. **Le bloc de pré-calcul du paramètre  $\beta$**

La première partie du bloc calcule le signal Enable pour fixer l'intervalle des deux intégrateurs (figure III.22-a). Puisque on ne peut pas prendre en considération les points dont leurs courants sont trop faibles (régime faible inversion), alors les points à tenir en compte sont ceux dont leur  $V_{GS}$  est supérieur à  $V_T$  (l'entrée  $V_{gs\_Courbes}$  représente la variable  $V_T$ ).

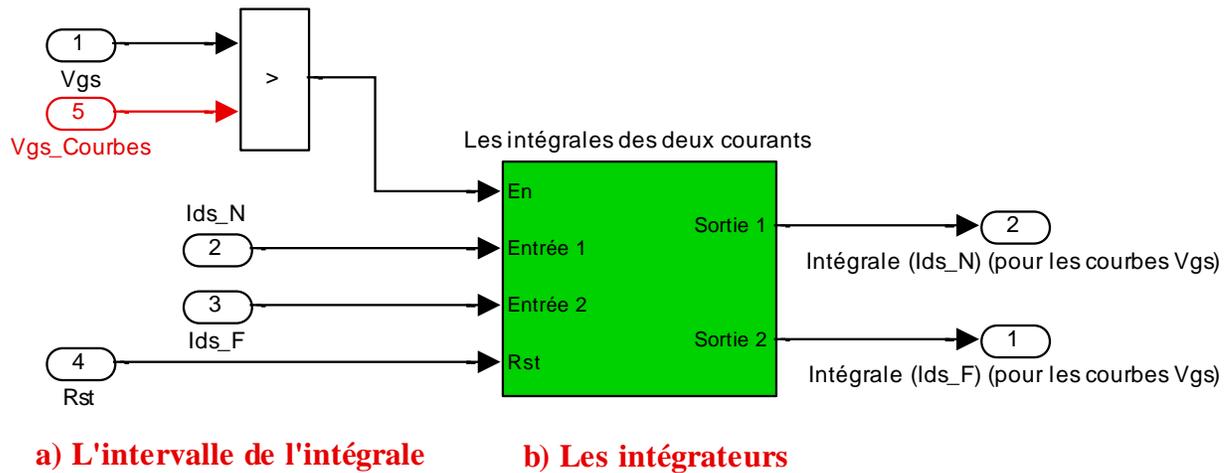


Figure III.22: Le pré-calcul du paramètre  $\beta$ .

### 3. Le contrôleur du paramètre $\beta$

La nouvelle  $\beta$  est calculée par la division de l'ancienne  $\beta$  sur le rapport  $\mathbf{B}$  (formule 3.16). Les entrées du contrôleur sont l'ancienne  $\beta$  et les sorties du bloc de pré-calcul. La figure III.23 montre cette implémentation.

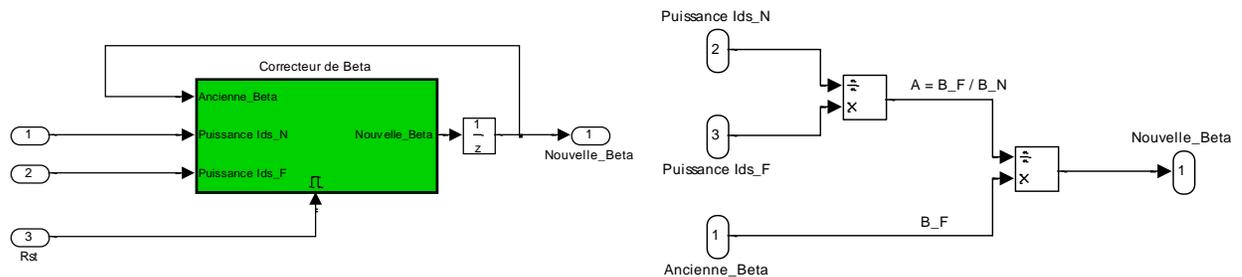


Figure III.23: Le contrôleur du paramètre  $\beta$ .

### III.6.3/ Le contrôleur flou des paramètres $\alpha$ et $\lambda$

#### A) Normalisation des courbes

Les paramètres de notre modèle flou influent sur l'écart entre les courbes  $I_{DS}(V_{DS})$ . De ce fait, avant de calculer l'erreur entre les courbes du modèle numérique et celles du modèle flou, il faut tout d'abord les normaliser (voir la figure III.24).

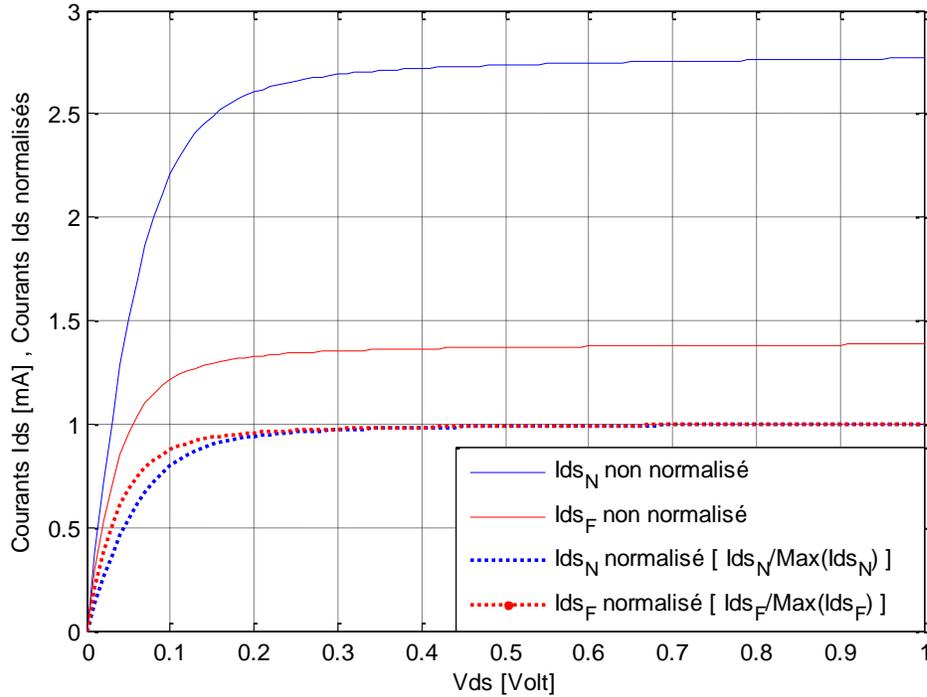


Figure III.24: Normalisation des courbes.

La normalisation d'une courbe veut dire la diviser sur son maximum. Donc on doit calculer  $\frac{I_{DS-N}}{\text{Max}(I_{DS-N})}$  et  $\frac{I_{DS-F}}{\text{Max}(I_{DS-F})}$ . Le test non normalisé ( $I_{DS-N} - I_{DS-F} > 0 < 0 = 0$ ) devient un test normalisé ( $\frac{I_{DS-N}}{\text{Max}(I_{DS-N})} - \frac{I_{DS-F}}{\text{Max}(I_{DS-F})} > 0 < 0 = 0$ ).

Pour prendre en considération tous les points des courbes, il vaut mieux utiliser l'intégrale de l'erreur sur une plage liée directement au paramètre voulu.

Pour une meilleure optimisation du contrôleur flou, l'erreur relative finale à argumenter aura la syntaxe suivante:

$$Er = \frac{\int I_{DS-N}}{\text{Max}(I_{DS-N})} - \frac{\int I_{DS-F}}{\text{Max}(I_{DS-F})} \quad (3.17)$$

### B) Définition de $\alpha$ (pour même $\lambda$ )

La figure III.25 représente ce qui se passe pour les courbes  $I_{DS}(V_{DS})$  quand on varie le paramètre  $\alpha$  tout en fixant les autres paramètres.

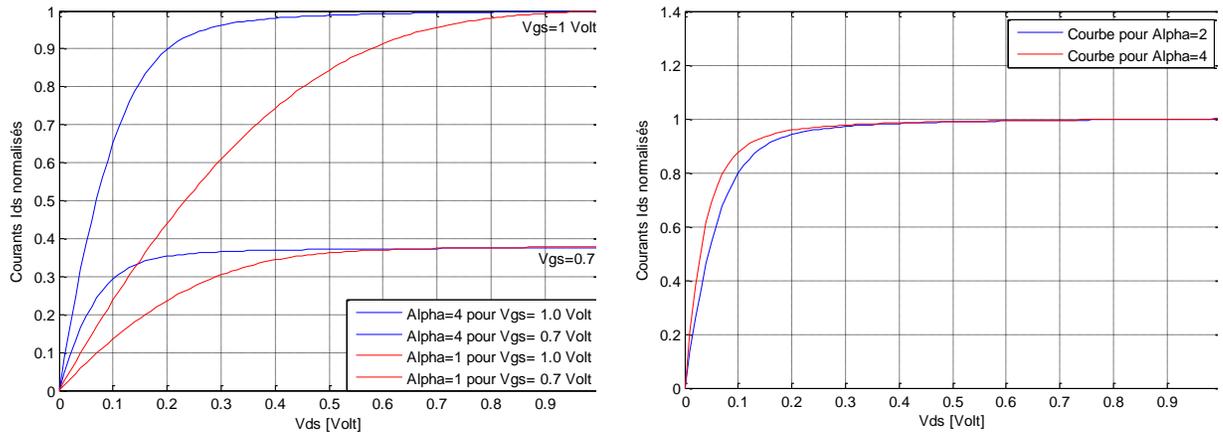


Figure III.25: Signification physique du paramètre  $\alpha$ .

On remarque que:

- Quand deux courbes de  $I_{DS}(V_{DS})$  sont normalisées ( $I_{DS} / \text{Max}(I_{DS})$ ) alors  $\alpha$  pour la courbe haute est supérieure à  $\alpha$  pour la courbe basse.
- L'augmentation de  $\alpha$  accélère le mode de saturation ( $V_{DS_{Sat}} = \frac{V_{GS} - V_T}{\alpha}$ ).

### C) Définition de $\lambda$ (pour même $\alpha$ )

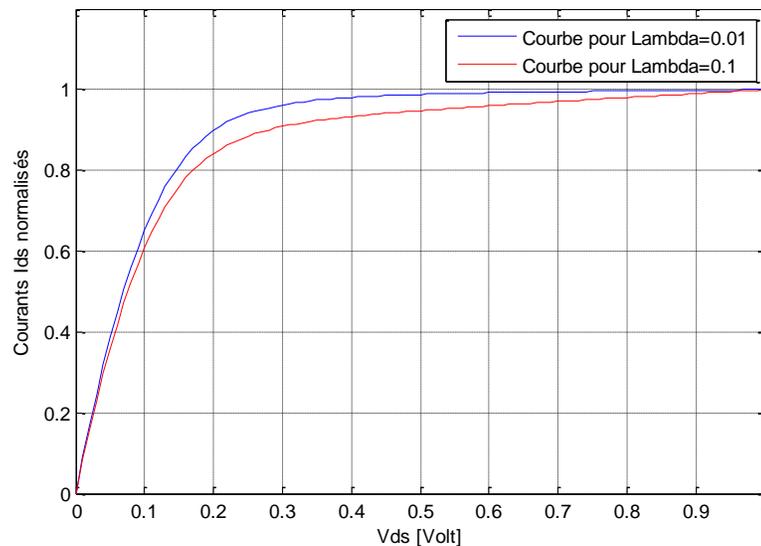


Figure III.26: Signification physique du paramètre  $\lambda$ .

Les deux courbes  $I_{DS}(V_{DS})$  de la figure III.26 montrent la variation du paramètre  $\lambda$  pour la même valeur de  $\alpha$ . On remarque que pour les courbes normalisées ( $I_{DS} / \text{Max}(I_{DS})$ ), alors  $\lambda$  pour la courbe haute est inférieure à  $\lambda$  pour la courbe basse.

### D) Variation de $\alpha$ et $\lambda$ en même temps

En variant en même temps les deux paramètres  $\alpha$  et  $\lambda$ , on obtient les courbes  $I_{DS}$  ( $V_{DS}$ ) de la figure III.27.

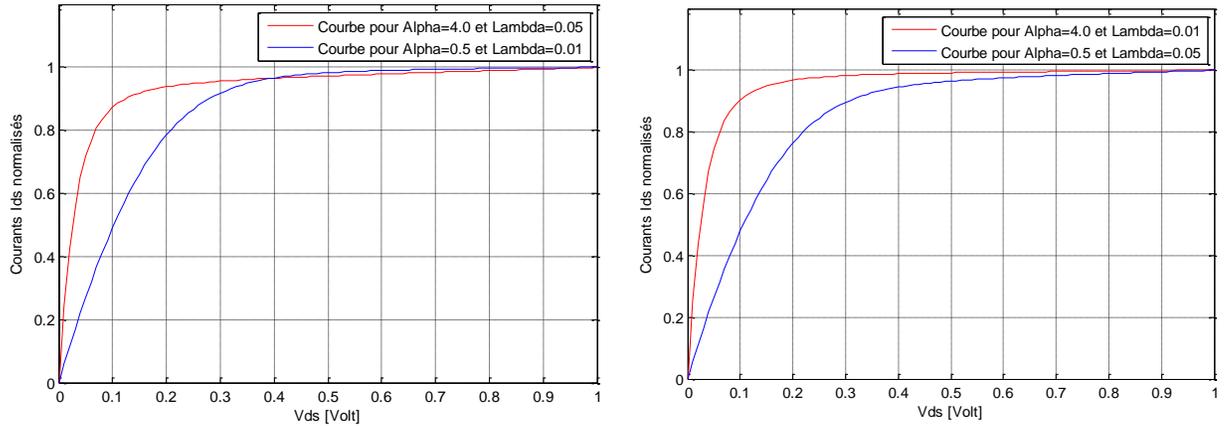


Figure III.27: Variation de  $\alpha$  et  $\lambda$  en même temps.

On remarque que:

- $\alpha$  influe sur les 2 courbes pour  $V_{DS} \leq V_{DS\_Sat}$  (régime ohmique). Donc il faut utiliser l'intervalle  $[0, V_{DS\_Sat}]$  comme intervalle d'intégration dans le calcul de l'erreur  $Er_\alpha$  pour le paramètre  $\alpha$  (formule 3.18).

$$Er = Er_\alpha = \frac{\int_0^{V_{DS\_Sat}} I_{DS-N}}{Max(I_{DS-N})} - \frac{\int_0^{V_{DS\_Sat}} I_{DS-F}}{Max(I_{DS-F})} \quad (3.18)$$

- $\lambda$  influe sur les 2 courbes pour  $V_{DS} > V_{DS\_Sat}$  (régime de saturation). En conséquence, il faut utiliser l'intervalle  $[V_{DS\_Sat}, V_{DD}]$  comme intervalle d'intégration dans le calcul de l'erreur  $Er_\lambda$  pour le paramètre  $\lambda$  (formule 3.19).

$$Er = Er_\lambda = \frac{\int_{V_{DS\_Sat}}^{V_{DD}} I_{DS-N}}{Max(I_{DS-N})} - \frac{\int_{V_{DS\_Sat}}^{V_{DD}} I_{DS-F}}{Max(I_{DS-F})} \quad (3.19)$$

Donc, les règles d'une manière générale sont:

1. Pour  $\alpha$ :

- Si  $Er_\alpha > 0 \rightarrow$  Il faut augmenter  $\alpha$  de notre modèle ( $\alpha_F$ ).
- Si  $Er_\alpha < 0 \rightarrow$  Il faut diminuer  $\alpha$  de notre modèle ( $\alpha_F$ ).
- Si  $Er_\alpha = 0 \rightarrow$  Ne pas modifier la valeur de  $\alpha$  (c'est notre valeur désirée  $\alpha_F = \alpha_N$ ).

2. Pour  $\lambda$ :

- Si  $Er_\lambda < 0 \rightarrow$  Il faut augmenter  $\lambda$  de notre modèle ( $\lambda_F$ ).
- Si  $Er_\lambda > 0 \rightarrow$  Il faut diminuer  $\lambda$  de notre modèle ( $\lambda_F$ ).
- Si  $Er_\lambda = 0 \rightarrow$  Ne pas modifier la valeur de  $\lambda$  (c'est notre valeur désirée  $\lambda_F = \lambda_N$ ).

### E) Le contrôleur flou de $\alpha$ et $\lambda$

On remarque que les deux paramètres  $\alpha$  et  $\lambda$  ont les mêmes règles si on inverse le signe de l'un des deux erreurs  $Er_\alpha$  et  $Er_\lambda$ . De ce fait, on va utiliser le même contrôleur flou pour les deux paramètres  $\alpha$  et  $\lambda$  et bien sûr inverser l'entrée de l'un des deux contrôleurs.

#### E.1) L'univers de discours des E/S

Tous les univers de discours ont été normalisés [-1 , +1]. On les contrôle par un gain au niveau de SIMULINK (C'est-à-dire modifier l'univers de discours par un amplificateur avant pour les entrées ou après pour les sorties du contrôleur flou). Par exemple: si on désire que l'univers de discours soit [-0.5 , +0.5], on utilise un amplificateur de gain de valeur 0.5.

#### E.2) Les entrées du contrôleur flou pour $\alpha$ et $\lambda$

On dispose de deux entrées:

- L'erreur principale  $Er_P$  qui représente l'erreur du paramètre principal (l'erreur  $\alpha$  pour le contrôleur «FUZZY\_α» et l'erreur  $\lambda$  pour le contrôleur «FUZZY\_λ»).
- L'erreur secondaire  $Er_S$  qui représente l'erreur de l'autre paramètre (l'erreur  $\lambda$  pour le contrôleur «FUZZY\_α» et l'erreur  $\alpha$  pour le contrôleur «FUZZY\_λ»).

##### E.2.1) L'erreur principale

L'erreur principale  $Er_P$  est partitionnée sur l'intervalle de discours normalisé en 5 fonctions d'appartenance (voir la figure III.28):

- *NNeg* pour les valeurs grandes négatives.
- *Neg* pour les valeurs petites négatives.
- *Zero* pour les valeurs absolues trop petites (très proche de zéro).
- *Pos* pour les valeurs petites positives.
- *PPos* pour les valeurs grandes positives.

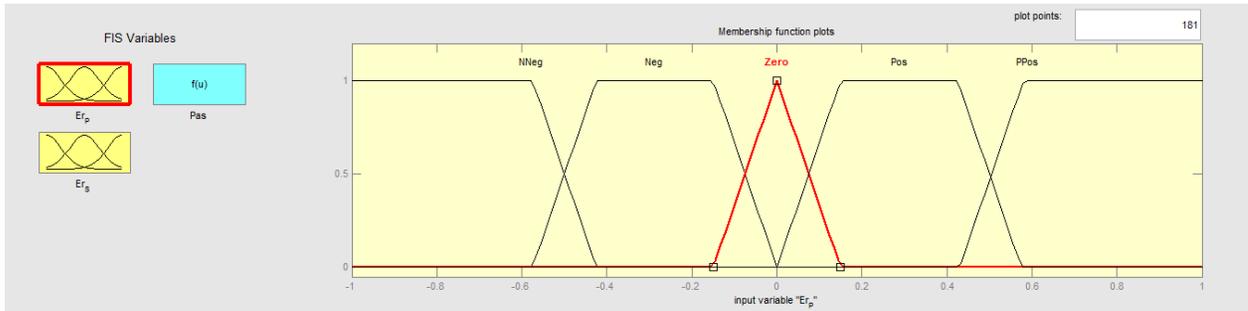


Figure III.28: Le partitionnement de l'erreur principale  $Er_P$ .

### E.2.2) L'erreur Secondaire

L'erreur secondaire  $Er_S$  est divisée sur l'intervalle de discours normalisé en 3 fonctions d'appartenance (voir la figure III.29):

- $N$  pour les valeurs négatives.
- $Z$  pour les valeurs absolues trop petites.
- $P$  pour les valeurs positives.

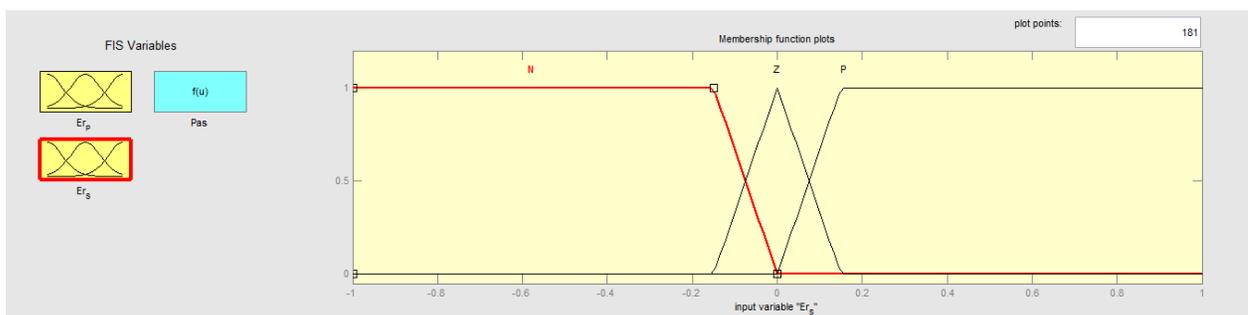


Figure III.29: Le partitionnement de l'erreur secondaire  $Er_S$ .

Pour l'erreur principale  $Er_P$  on a exploité 5 fonctions d'appartenance pour avoir une meilleure précision. Par contre pour l'erreur secondaire  $Er_S$ , il suffit largement d'utiliser trois fonctions d'appartenance pour ne pas ralentir le contrôleur flou en diminuant le nombre des règles.

### E.2.3) La sortie du contrôleur flou (le pas)

Dans notre contrôleur flou, la sortie représente la valeur du pas à ajouter (soit un pas positif, soit un pas négatif) à l'ancienne valeur du paramètre. Puisque on a choisi la méthode d'inférence Sugeno (même la méthode Mamdani a donné les mêmes résultats), la sortie prend les valeurs suivantes:

- $NN$  pour un pas de « - 1 ».
- $N$  pour un pas de « - 0.2 ».

- **Z** pour un pas de « 0 ».
- **P** pour un pas de « + 0.2 ».
- **PP** pour un pas de « + 1 ».

#### E.2.4) Les 15 règles d'inférence

Puisque on a 5 cas pour l'entrée principale et 3 cas pour l'entrée secondaire, donc on va créer 15 règles pour accélérer la simulation et en même temps stabiliser (éviter l'oscillation) les paramètres  $\alpha$  et  $\lambda$  vers leurs valeurs finales (Voir le tableau III.2).

		<i>Er_P (Erreur Principale)</i>				
		<i>NNeg</i>	<i>Neg</i>	<i>Zero</i>	<i>Pos</i>	<i>PPos</i>
<i>Er_S</i> <i>Erreur</i> <i>Secondaire</i>	<i>N</i>	<i>N</i>	<i>N</i>	<i>Z</i>	<i>PP</i>	<i>PP</i>
	<i>Z</i>	<i>NN</i>	<i>N</i>	<i>Z</i>	<i>P</i>	<i>PP</i>
	<i>P</i>	<i>NN</i>	<i>NN</i>	<i>Z</i>	<i>P</i>	<i>P</i>

Tableau III.2: La matrice d'inférence (la base des règles) du contrôleur flou pour  $\alpha$  et  $\lambda$ .

Notre expertise dans la conception de la base des règles suit les grandes lignes suivantes:

1. Le signe de la sortie (les colonnes) suit toujours le signe de l'entrée principale (exp: *NNeg* ou *Neg* donne *N* ou *NN*) et l'entrée secondaire contrôle seulement l'amplitude de la sortie (*NN* et *PP* ou *N* et *P*).
2. Pour  $Er_S = Z$ , alors la sortie suit l'entrée principale  $Er_P$ .
3. Lorsque les deux entrées ont le même signe (le même signe veut dire que les deux entrées sont trop couplées) ainsi la sortie est choisie avec une faible amplitude (*P* ou *N*). Par exemple: pour  $Er_P = PPOS$  et  $Er_S = P$  alors la sortie est choisie *P*.
4. Lorsque les deux entrées sont de signes différents (signe différent veut dire que les deux entrées sont moins couplées) ainsi la sortie est choisie avec une forte amplitude (*PP* ou *NN*). Par exemple: pour  $Er_P = POS$  et  $Er_S = N$  alors la sortie est choisie *PP*.

Les 15 règles précédentes donnent la surface floue (le pas en fonction des deux entrées) suivante:

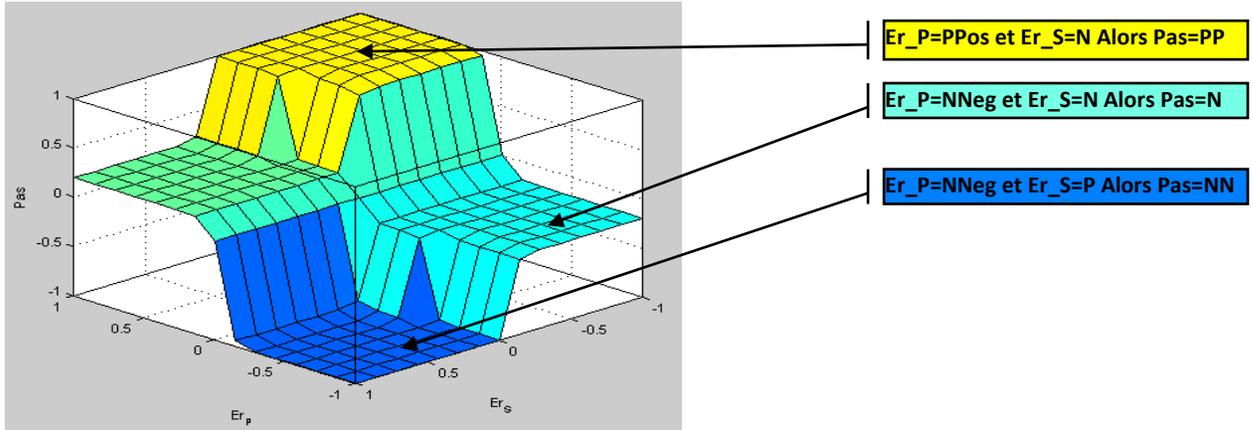


Figure III.30: La surface floue en 3D.

E.2.5) Implémentation SIMULINK

1. L'intervalle d'intégration

La première partie du bloc (figure III.31-a) calcule les signaux Enable *Sat* et *Ohm* pour fixer les intervalles des quatre intégrateurs. Toujours, ce calcul se réalise pour les dernières courbes de  $I_{DS}(V_{DS})$ , c'est-à-dire pour  $V_{GS}$  supérieur à  $V_T$ .

La deuxième partie du bloc (figure III.31-b) permet de calculer les deux intégrales utilisés pour le calcul de l'erreur pour le paramètre  $\alpha$  et l'erreur pour le paramètre  $\lambda$  (formules 3.18 et 3.19).

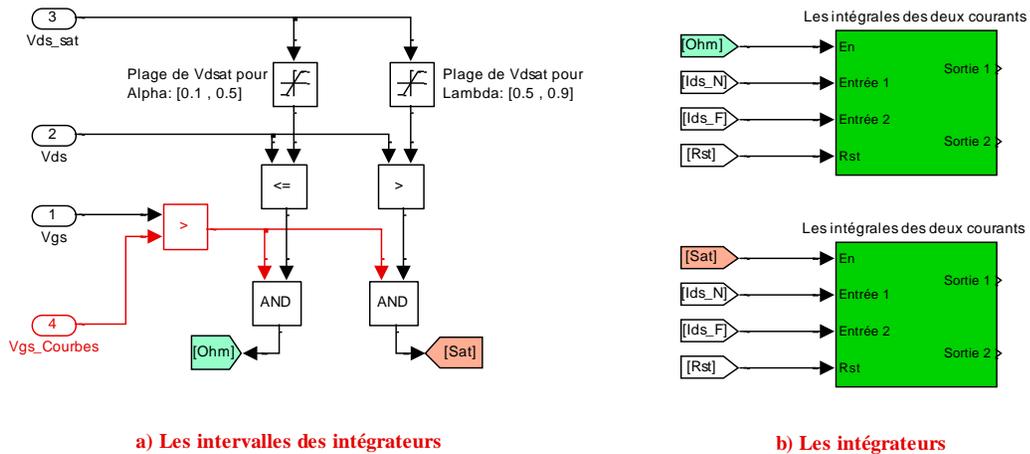


Figure III.31: Le calcul de Enable pour établir l'intervalle d'intégration pour  $\alpha$  et  $\lambda$ .

2. Pré-calcul de l'erreur  $Er_\alpha$  et l'erreur  $Er_\lambda$

Les quatre intégrales précédents pour  $\alpha$  et  $\lambda$  et les valeurs maximums des courants  $I_{DS_N}$  et  $I_{DS_F}$  sont les entrées pour le calcul des erreurs  $Er_\alpha$  et  $Er_\lambda$  (voir la figure III.32).

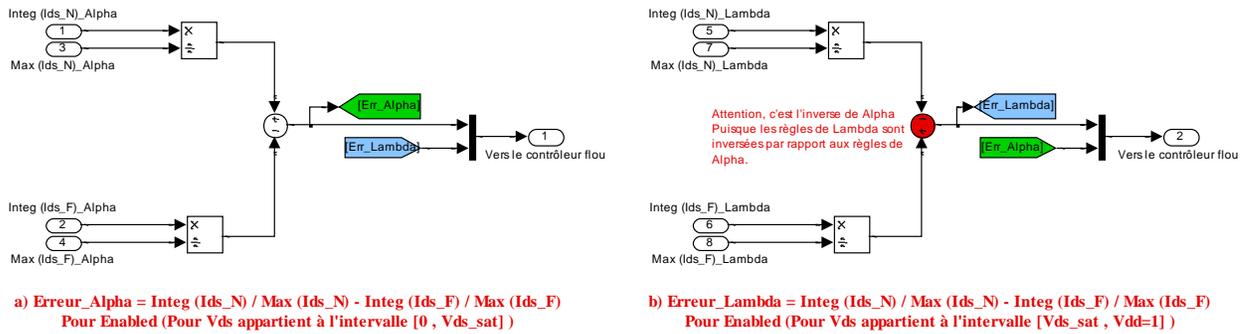


Figure III.32: Les blocs de pré-calcul de l'erreur  $Er_\alpha$  et l'erreur  $Er_\lambda$ .

### 3. Le contrôleur flou pour $\alpha$ et $\lambda$

Les deux paramètres ont un intervalle trop large [0 , grand nombre], donc on ne peut pas modifier le paramètre en lui ajoutant un petit pas (sinon la simulation prend trop de temps) et aussi on ne peut pas lui ajouter un pas important (sinon on tombe dans le phénomène de l'oscillation de la sortie). En conséquence, la meilleure solution est que le pas devienne un pourcentage de l'ancienne valeur du paramètre. Une solution équivalente est de multiplier l'ancien paramètre par un nombre qui appartient à l'intervalle [1- $\epsilon$  , 1+ $\epsilon$ ] (exp: [0.80 , 1.20]). Pour avoir cet intervalle on utilise la fonction exponentielle dans la sortie du contrôleur.

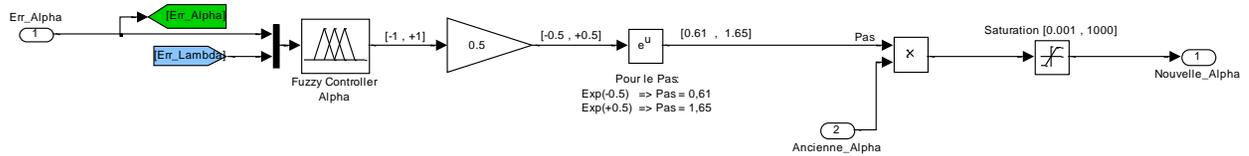


Figure III.33: Le contrôleur «FUZZY\_α».

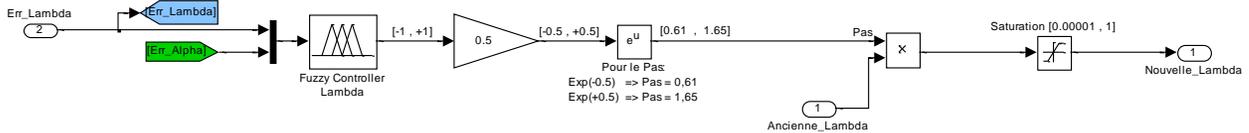


Figure III.34: Le contrôleur «FUZZY\_λ».

### III.6.4/ Le contrôleur flou des paramètres $V_T$ et $\theta$

#### A) Définition de $V_T$ (pour même $\theta$ )

La figure III.35 représente deux courbes de  $I_{DS}$  ( $V_{GS}$ ) pour deux valeurs différentes de  $V_T$  en fixant la valeur du paramètre  $\theta$ .

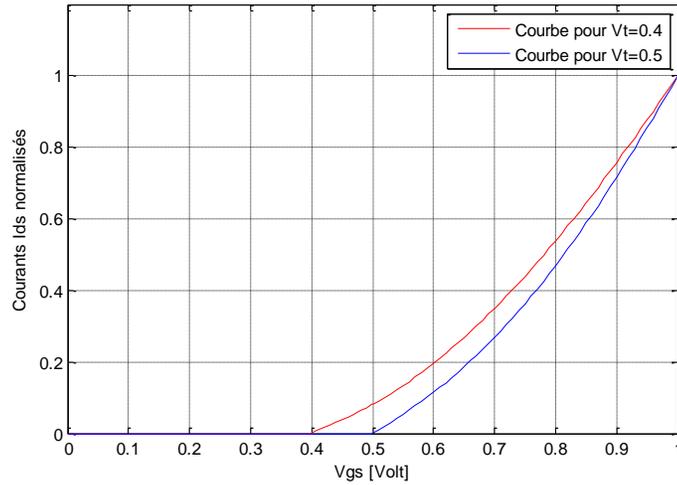


Figure III.35: Signification physique du paramètre  $V_T$ .

On remarque que:

- $V_T$  contrôle le point (lieu) de démarrage de la courbe  $I_{DS}(V_{GS})$ .
- Quand deux courbes de  $I_{DS}(V_{GS})$  sont normalisées ( $I_{DS} / \text{Max}(I_{DS})$ ), alors  $V_T$  pour courbe haute est inférieure à  $V_T$  pour courbe basse.

### B) Définition de $\theta$ (pour même $V_T$ )

Les deux courbes  $I_{DS}(V_{GS})$  de la figure III.36 montrent la variation du paramètre  $\theta$  pour la même valeur de  $V_T$ .

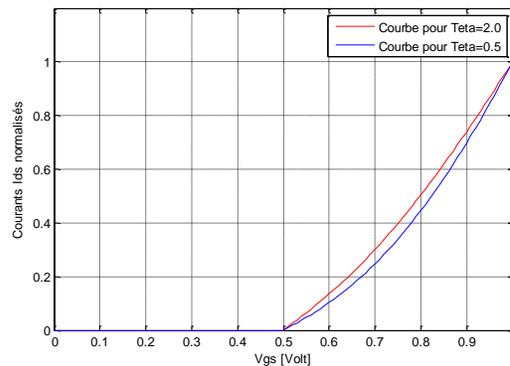


Figure III.36: Signification physique du paramètre  $\theta$ .

On remarque que:

- Quand  $\theta = 0$ , la courbe devient parabole.
- Quand  $\theta = \infty$ , la courbe devient droite.
- Quand deux courbes de  $I_{DS}(V_{GS})$  sont normalisées ( $I_{DS} / \text{Max}(I_{DS})$ ), alors  $\theta$  pour la courbe haute est supérieure à  $\theta$  pour la courbe basse.

### C) Variation de $V_T$ et $\theta$ en même temps

En variant en même temps les deux paramètres  $V_T$  et  $\theta$ , on obtient les courbes  $I_{DS}(V_{GS})$  de la figure III.37.

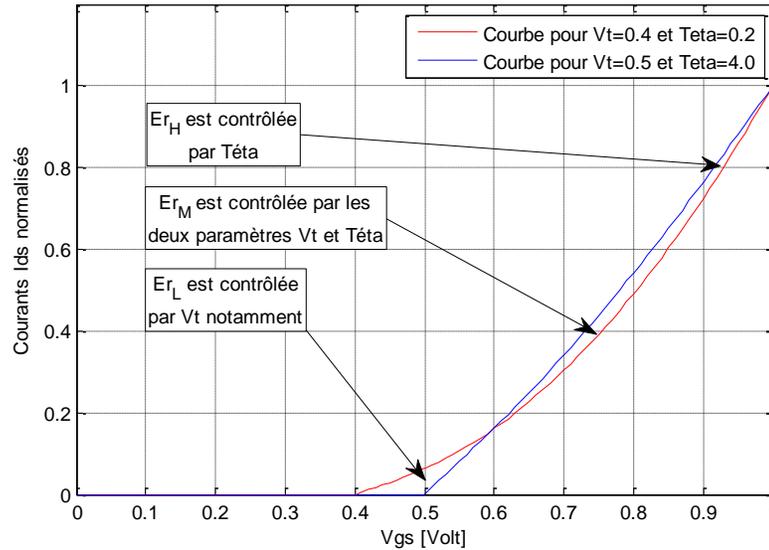


Figure III.37: Signification de l'erreur  $Er$  pour une variation de  $V_T$  et  $\theta$  en même temps.

En plus des remarques précédentes, on peut ajouter les commentaires suivants :

- Le paramètre  $V_T$  contrôle l'erreur entre les deux courbes au voisinage de  $V_T$ . Cette erreur nommée  $Er_L$  est calculée pour  $V_{GS} = V_{T\_plus}$  ( $V_{T\_plus} = V_T + 0.05$ ).
- Le paramètre  $\theta$  contrôle l'erreur (nommée  $Er_H$ ) entre les deux courbes pour les valeurs max de  $V_{GS}$ . ( $V_{GS} = 0.8$  Volt et  $V_{GS} = 0.9$  Volt).
- Au milieu ( $V_{GS} = (V_T + 0.9) / 2$ ), on peut dire que les deux paramètres  $V_T$  et  $\theta$  participent ensemble dans l'erreur (nommée  $Er_M$ ) entre les deux courbes  $I_{DS}(V_{GS})$ .

#### Remarque:

Dans le calcul de l'erreur  $Er_L$ , on ne peut pas utiliser la valeur de  $V_T$  parce que notre modèle flou donne un courant  $I_{DS\_F} = 0$  (pour  $V_{GS} \leq V_T$ ). En conséquence, il faut comparer les courbes pour une valeur un peu plus au dessus de  $V_T$  (la variable  $V_{T\_plus}$ ).

Donc, les trois erreurs sont calculées comme suit:

1. La valeur  $V_{T\_plus}$  est le seul point de l'intervalle d'intégration dans le calcul de l'erreur  $Er_L$ . Elle est utilisée comme entrée principale pré-calculée dans le contrôleur flou de  $V_T$  (formule 3.20):

$$Er = Er\_L = \frac{I_{DS-N} (\text{Pour } V_{GS} = V_{T\_plus})}{\text{Max}(I_{DS-N})} - \frac{I_{DS-F} (\text{Pour } V_{GS} = V_{T\_plus})}{\text{Max}(I_{DS-F})} \quad (3.20)$$

2. L'intervalle [0.8 , 0.9] est l'intervalle d'intégration dans le calcul de  $Er\_H$  (entrée principale pré-calculée pour le contrôleur flou de  $\theta$  (formule 3.21):

$$Er = Er\_H = \frac{\int_{0.8}^{0.9} I_{DS-N}}{\text{Max}(I_{DS-N})} - \frac{\int_{0.8}^{0.9} I_{DS-F}}{\text{Max}(I_{DS-F})} \quad (3.21)$$

3. La valeur du milieu  $V_M = (V_T+0.9)/2$  est le seul point de l'intervalle d'intégration dans le calcul de l'erreur  $Er\_M$ . Elle est utilisée comme entrée secondaire pré-calculée dans les deux contrôleurs flous de  $V_T$  et  $\theta$  (formule 3.22):

$$Er = Er\_M = \frac{I_{DS-N} (\text{Pour } V_{GS} = V_M)}{\text{Max}(I_{DS-N})} - \frac{I_{DS-F} (\text{Pour } V_{GS} = V_M)}{\text{Max}(I_{DS-F})} \quad (3.22)$$

Donc, les règles d'une manière générale sont:

1. Pour  $V_T$ :

- Si  $Er\_L < 0 \rightarrow$  Il faut augmenter  $V_T$  de notre modèle ( $V_{T\_F} ++$ )
- Si  $Er\_L > 0 \rightarrow$  Il faut diminuer  $V_T$  de notre modèle ( $V_{T\_F} --$ )
- Si  $Er\_L = 0 \rightarrow$  Ne pas modifier la valeur de  $V_T$  (c'est notre valeur désirée  $V_{T\_F} = V_{T\_N}$ )

2. Pour  $\theta$ :

- Si  $Er\_H < 0 \rightarrow$  Il faut diminuer  $\theta$  de notre modèle ( $\theta\_F --$ )
- Si  $Er\_H > 0 \rightarrow$  Il faut augmenter  $\theta$  de notre modèle ( $\theta\_F ++$ )
- Si  $Er\_H = 0 \rightarrow$  Ne pas modifier la valeur de  $\theta$  (c'est notre valeur désirée  $\theta\_F = \theta\_N$ )

#### D) Le contrôleur flou de $V_T$ et $\theta$

On remarque que les deux paramètres  $V_T$  et  $\theta$  ont les mêmes règles si on inverse le signe de l'un des deux erreurs  $Er\_L$  et  $Er\_H$ , donc on utilisera le même contrôleur flou pour les deux paramètres  $V_T$  et  $\theta$  et bien sûr inverser l'entrée de l'un des deux contrôleurs.

##### D.1) L'univers de discours des E/S

D'après le contrôleur flou précédent, il est à rappeler que tous les univers de discours ont été normalisés [-1, +1].

### D.2) Les entrées du contrôleur flou pour $V_T$ et $\theta$

On dispose de deux entrées:

- L'erreur principale  $Er\_P$  qui représente l'erreur du paramètre principal (l'erreur  $Er\_L$  pour le contrôleur «FUZZY\_  $V_T$ » et l'erreur  $Er\_H$  pour le contrôleur «FUZZY\_  $\theta$ »).
- L'erreur secondaire  $Er\_S$  qui représente l'erreur du milieu  $Er\_M$  pour les deux contrôleurs «FUZZY\_  $V_T$ » et «FUZZY\_  $\theta$ ».

#### D.2.1) L'erreur principale

L'erreur principale  $Er\_P$  est partitionnée sur l'intervalle de discours normalisé en 5 fonctions d'appartenance similaire à l'erreur principale du contrôleur des paramètres  $\alpha$  et  $\lambda$  (voir la figure III.28).

#### D.2.2) L'erreur secondaire

L'erreur secondaire  $Er\_S$  est divisée sur l'intervalle de discours normalisé en trois fonctions d'appartenance similaire à l'erreur secondaire du contrôleur des paramètres  $\alpha$  et  $\lambda$  (voir la figure III.29).

#### D.2.3) La sortie du contrôleur flou (le pas)

Pour le cas du contrôleur flou pour les paramètres  $V_T$  et  $\theta$ , la sortie représente la valeur du pas à ajouter à l'ancienne valeur du paramètre. Puisque, on a choisi la méthode d'inférence Sugeno, la sortie prend les 7 valeurs suivantes:

- $N_N$  pour un pas de « - 1 ».
- $N$  pour un pas de « - 0.2 ».
- $n$  pour un pas de « - 0.01 ».
- $Z$  pour un pas de « 0 ».
- $p$  pour un pas de « + 0.01 ».
- $P$  pour un pas de « + 0.2 ».
- $PP$  pour un pas de « + 1 ».

Au début, on a proposé la sortie avec 5 valeurs similaire à la sortie des contrôleurs des paramètres  $\alpha$  et  $\lambda$ . Mais on a remarqué que le temps pour atteindre la valeur finale du paramètre est lent, en conséquence, on a ajouté la valeur du gain de la sortie. Mais l'erreur commence à osciller. Pour éviter ce problème, on a inséré deux fonctions d'appartenance de plus de valeur  $n$  et  $p$ .

#### D.2.4) Les 15 règles d'inférence

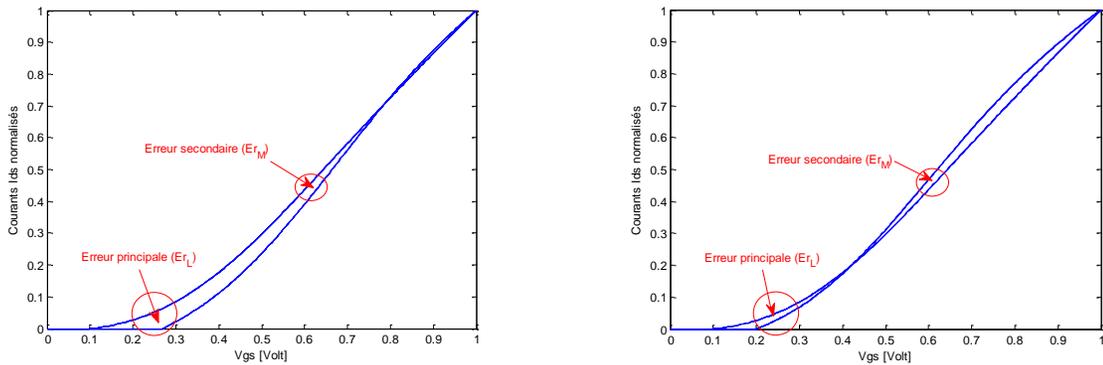
Les 15 règles résultantes de notre expertise ont créé la matrice d'inférence du contrôleur flou pour  $V_T$  et  $\theta$  (voir le tableau III.3).

		<i>Er_P (Erreur Principale)</i>				
		<i>NNeg</i>	<i>Neg</i>	<i>Zero</i>	<i>Pos</i>	<i>PPos</i>
<i>Er_S</i> <i>Erreur</i> <i>Secondaire</i>	<i>N</i>	<i>NN</i>	<i>N</i>	<i>n</i>	<i>p</i>	<i>P</i>
	<i>Z</i>	<i>N</i>	<i>N</i>	<i>Z</i>	<i>P</i>	<i>P</i>
	<i>P</i>	<i>N</i>	<i>n</i>	<i>p</i>	<i>P</i>	<i>PP</i>

Tableau III.3: La matrice d'inférence (la base des règles) du contrôleur flou pour  $V_T$  et  $\theta$ .

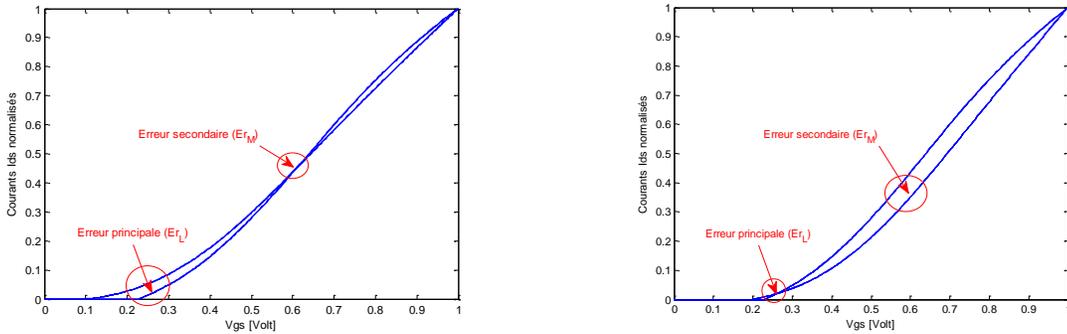
Notre expertise dans la conception de la base des règles suit les grandes lignes suivantes:

1. Le signe de la sortie (les colonnes) suit toujours le signe de l'entrée principale (exp: *NNeg* ou *Neg* donne *n*, *N* ou *NN*) et l'entrée secondaire contrôle seulement l'amplitude de la sortie (*NN* et *PP* ou *N* et *P* ou *n* et *p*).
2. Pour  $Er_S = Z$ , alors la sortie suit l'entrée principale  $Er_P$  mais avec une amplitude moyenne (*P* ou *N*).
3. Si les deux entrées ont le même signe, ce qui signifie que l'erreur entre les deux courbes a été causée majoritairement par le paramètre contrôlé, par contre l'autre paramètre joue un rôle minoritaire dans cette erreur, alors on doit augmenter l'amplitude de la sortie (*P* et *PP* ou *N* et *NN*).
4. Si les deux entrées ont un signe différent, ce qui signifie que l'erreur entre les deux courbes a été causée majoritairement par l'autre paramètre, par contre le paramètre contrôlé joue un rôle minoritaire dans cette erreur, alors on doit diminuer l'amplitude de la sortie (*p* et *P* ou *n* et *N*).
5. Pour  $Er_P = Z$ , alors la sortie suit l'entrée secondaire mais avec une faible amplitude (*n* ou *p*). Cette règle nous a permis de garantir que notre contrôleur minimise les deux erreurs en même temps, en tenant compte du privilège de l'erreur principale.



- a) Les deux erreurs ont le même signe, donc la sortie aura une forte amplitude.
- b) Les deux erreurs ont un signe différent, ainsi la sortie aura une faible amplitude.

Figure III.38: L'idée sur l'extraction des règles de faible et forte amplitude de la sortie pour  $V_T$  (Pour  $\theta$  les figures (a) et (b) seront inversées).



- a) L'erreur secondaire est zéro, donc la sortie suit l'erreur principale avec une moyenne amplitude.
- b) L'erreur principale est zéro, donc la sortie suit l'erreur secondaire avec une faible amplitude.

Figure III.39: L'idée sur l'extraction des règles pour une entrée zéro pour le paramètre  $V_T$ .

La figure suivante schématise la surface floue 3D (le pas en fonction des deux entrées) du moteur d'inférence du tableau III.3.

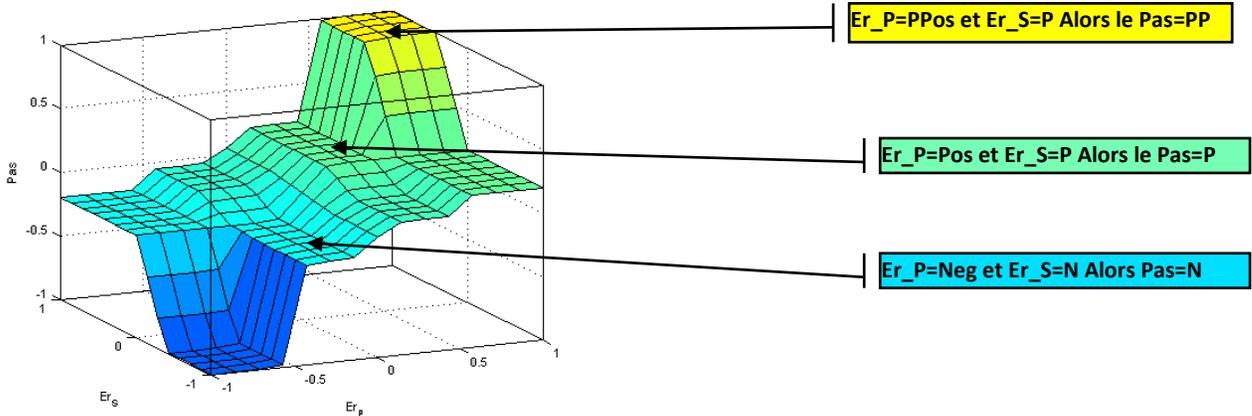
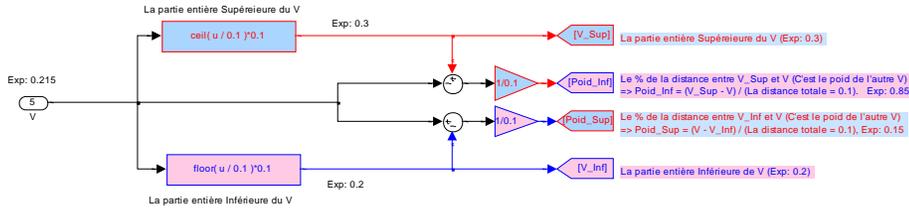


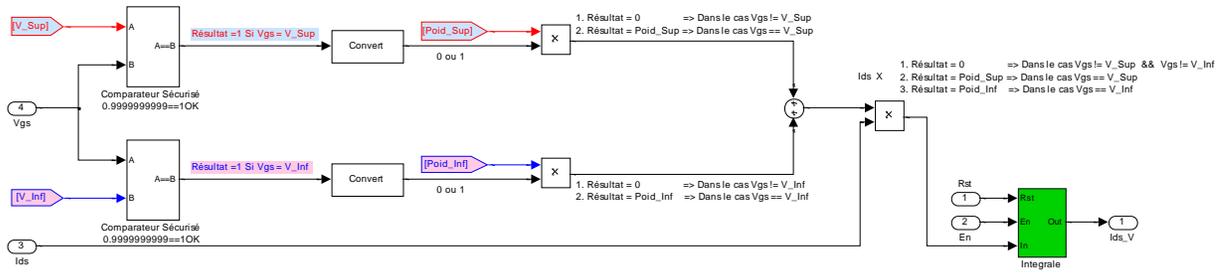
Figure III.40: La surface floue en 3D pour le contrôleur flou des paramètres  $V_T$  et  $\theta$ .

D.2.5) Implémentation SIMULINK

1. Estimateur du courant pour un  $V_{GS}$  non discret



a) Bloc 1 : Pré-Calcul de l'intervalle  $[V_{Inf}, V_{Sup}]$  et leurs Poids



b) Bloc 2 :  $I_{DS} = I_{DS}(V_{GS}=V_{Inf}) * Poid_{Inf} + I_{DS}(V_{GS}=V_{Sup}) * Poid_{Sup} + 0 (V_{GS}=Autres)$

Figure III.41: Estimateur du courant pour un  $V_{GS}$  non discret.

Ce bloc calcule le courant  $I_{DS}$  lorsque la valeur de  $V_{GS}$  est absente dans la base de données du modèle numérique. Exp: la valeur de  $V_{GS}$  de 0.36Volt est manquante. Ce bloc utilise les deux valeurs de  $V_{GS}$  les plus proches de cette valeur qui sont  $V_{Inf} = 0.30$  et  $V_{Sup} = 0.40$  selon la formule d'interpolation linéaire suivante:

$$I_{DS}(V) = I_{DS}(V_{Inf}) * \left( \frac{V_{Sup} - V}{V_{Sup} - V_{Inf}} \right) + I_{DS}(V_{Sup}) * \left( \frac{V - V_{Inf}}{V_{Sup} - V_{Inf}} \right) \quad (3.23)$$

$V$  est la valeur non discrète de  $V_{GS}$ .

A la fin, l'estimateur calcule la somme des courants  $I_{DS}$  (pour  $V_{GS} = V$ ) pour une plage de  $V_{DS}$  sélectionnée par l'entrée Enable.

2. Pré-calcul des erreurs  $Er_L$ ,  $Er_M$  et  $Er_H$

Le bloc est divisé en trois colonnes. La première colonne sélectionne les intervalles d'intégration pour chaque erreur (plage de  $V_{DS}$ ). La deuxième somme les courants pour une valeur de  $V_{GS}$  spécifique (exp: pour  $V_{GS} = V_{T\_plus}$ ) et la dernière colonne calcule les erreurs  $Er_L$ ,  $Er_M$  et  $Er_H$  par la formule normalisée (voir l'équation 3.17).

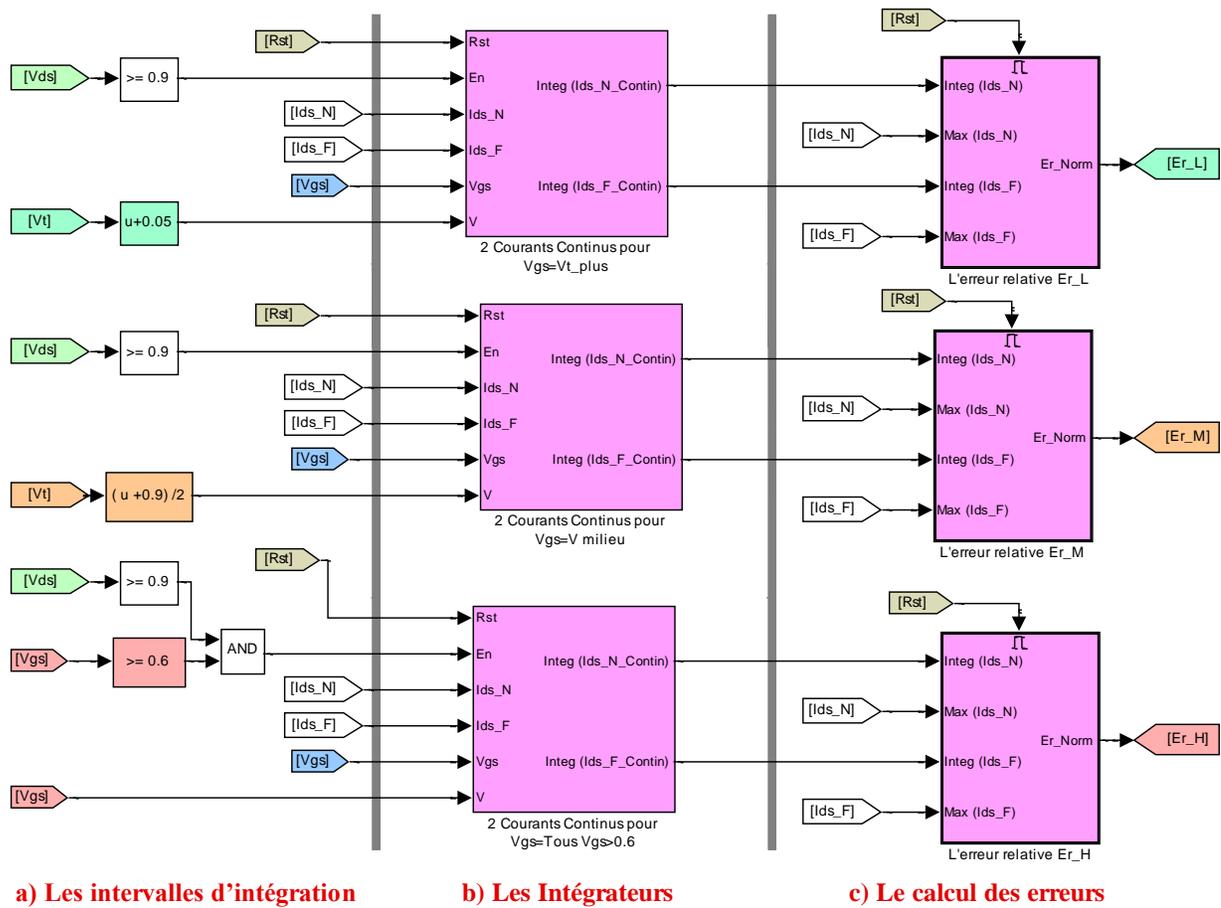


Figure III.42: Les trois étapes de pré-calcul des erreurs  $Er_L$ ,  $Er_M$  et  $Er_H$ .

### 3. Le contrôleur flou pour les paramètres $V_T$ et $\theta$

Pour le contrôleur «FUZZY\_θ», l'idée est la même que pour les contrôleurs «FUZZY\_α» et «FUZZY\_λ» (figure III.43).

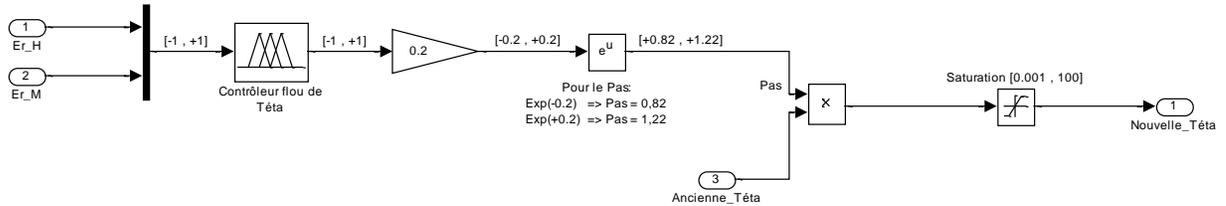


Figure III.43: Le contrôleur «FUZZY\_θ».

Pour le contrôleur «FUZZY\_VT», le gain qui se trouve dans la sortie permet de changer l'univers de discours de [-1, +1] vers [-0.01, +0.01] (c'est-à-dire le maximum de pas à ajouter ou bien à soustraire est de 0.01). L'inverseur existe puisque les règles sont désignées initialement pour le contrôleur «FUZZY\_θ».

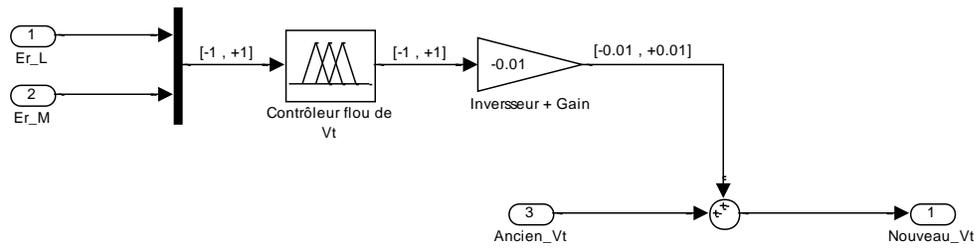


Figure III.44: Le contrôleur «FUZZY\_VT».

### III.7/ Signification 3D des paramètres du modèle flou

Pour résumer les notions précédentes, nous allons présenter dans cette section une vue 3D des caractéristiques  $I_{DS}$  ( $V_{DS}$ ,  $V_{GS}$ ) pour un transistor DG MOSFET nanométrique, afin de mieux illustrer les régions de fonctionnement des caractéristiques électriques de chaque paramètre, qui sont influencées par l'effet physique auquel le paramètre est associé.

La figure III.45 présente l'influence des paramètres  $\beta$ ,  $V_T$ ,  $\theta$  sur la surface du courant  $I_{DS}$  en fonction de  $V_{DS}$  et  $V_{GS}$ .

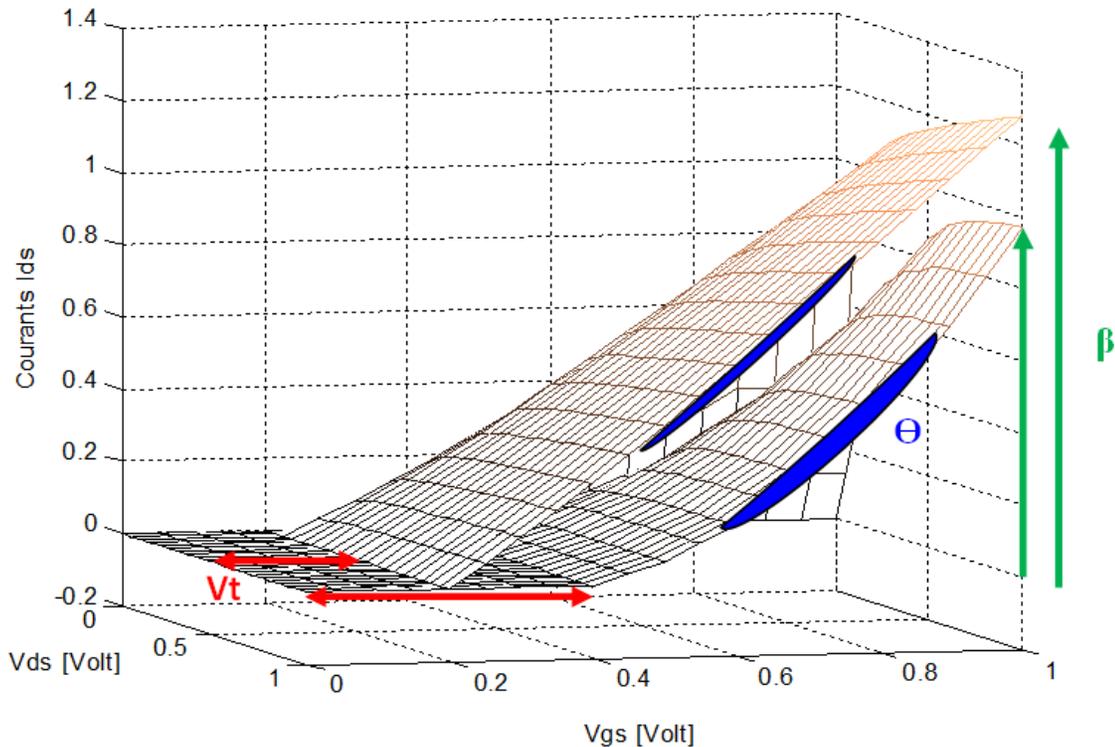


Figure III.45: Signification en 3D des paramètres  $\beta$ ,  $V_T$  et  $\theta$  du modèle compact flou.

L'influence des paramètres  $\beta$ ,  $\alpha$  et  $\lambda$ . sur la même surface est illustrée dans la figure III.46.

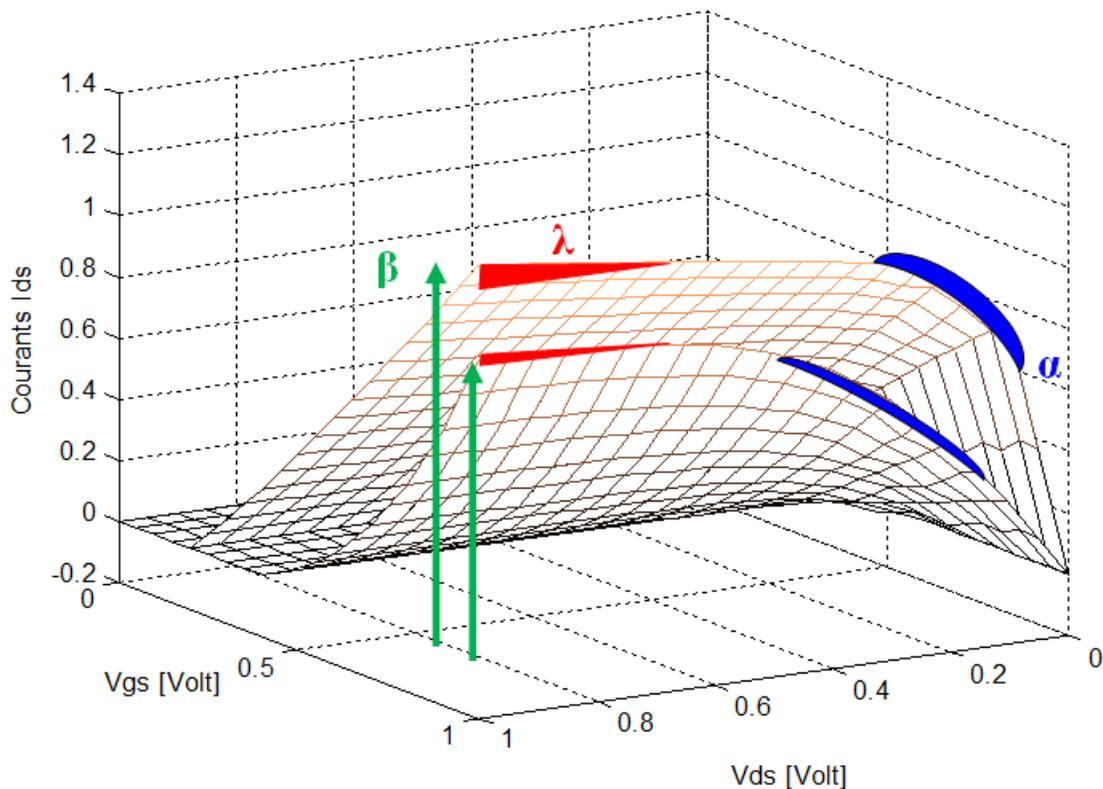


Figure III.46: Signification en 3D des paramètres  $\beta$ ,  $\alpha$  et  $\lambda$  du modèle compact flou.

### III.8/ Conclusion

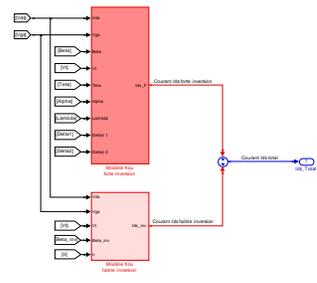
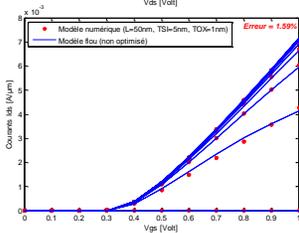
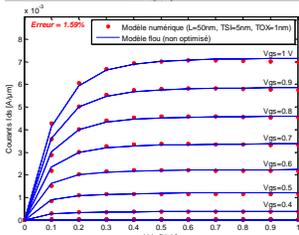
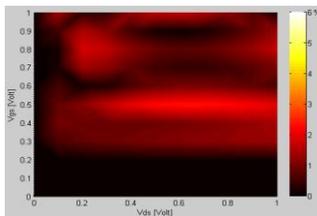
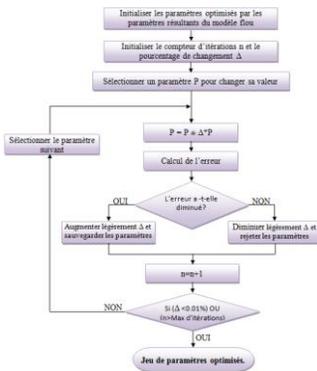
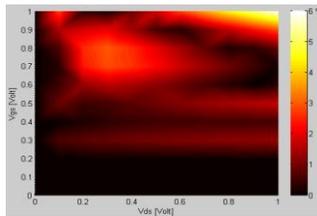
Les modèles existants pour l'instant ne sont pas idéaux pour la simulation de circuit à l'échelle nanométrique en raison de leur gamme de validations et du grand nombre de paramètres à extraire. Cela nous encourage à développer un modèle compact et explicite plus performant, dans le but de simuler précisément et plus rapidement les circuits avec une grande densité d'intégration (Ultra Large Scale Integration).

Afin de valider notre modèle, nous avons tout d'abord mis en place l'outil de simulation numérique SIMULINK. Partant du modèle de BSIM3 (qui a une approche analytique dédiée à l'étude des transistors MOSFETs BULK micro-électronique), nous avons développé dans ce chapitre un modèle compact explicite du transistor DG MOSFET nanométrique.

La technique de l'intelligence artificielle floue nous a beaucoup aidés dans l'extraction des paramètres de notre modèle. Le chapitre suivant sera consacré à la discussion des résultats obtenus et preuve de validité de notre modèle pour des petites dimensions géométriques.

# CHAPITRE 4

## Résultats et discussions



### IV.1/ Introduction

Notre modèle développé est explicite et il est validé par le simulateur SIMULINK. La validation du modèle doit être effectuée pour différentes dimensions. Nous avons donc développé une méthode de simulation automatique qui nous permet de sauvegarder les résultats et lancer les simulations d'une manière automatique. De plus, les simulations de test sont faites dans ces deux cas respectifs: notre modèle avec sa copie pour garantir la fiabilité de nos contrôleurs flous et avec le modèle numérique DG MOSFET. Pour mieux exploiter notre modèle pour différentes géométries, notamment les transistors à canal trop courts (<20nm), on a développé un algorithme d'optimisation qui permet de minimiser l'erreur au maximum par le changement des paramètres à partir de leurs valeurs initiales résultantes des contrôleurs flous. Une intégration future de notre modèle flou dans un flot de conception « Design flow » nécessite trois aspects:

- Le modèle compact du DG MOSFET doit être écrit dans un langage dédié à la conception à savoir SPICE, VHDL-AMS, Verilog-A,...
- Pour que le modèle flou soit complet, il doit être couplé à une méthodologie d'extraction de paramètres rigoureuse. A terme, la procédure d'extraction des paramètres du modèle devra être automatisée pour permettre entre autres des analyses statistiques sur les variations des paramètres.
- Le modèle flou doit être testé à travers des simulations de circuits spécifiques permettant d'évaluer son niveau de performance (précision – convergence – rapidité, entre autres).

Ce chapitre apporte maintenant les premiers éléments de réponse sur certains de ces aspects.

### IV.2/ Choix de la formule de l'erreur

Pour le calcul de l'erreur moindre carrée, il existe plusieurs formules à considérer. A titre d'exemple, on dispose de la formule suivante:

$$\text{Erreur relative} = \frac{\text{RMS}(\text{signal de l'erreur})}{\text{RMS}(\text{signal de référence})} = \frac{\text{RMS}(I_{DS\_N} - I_{DS\_F})}{\text{RMS}(I_{DS\_N})} \quad (4.1)$$

La fonction  $I_{DS\_N}$  indique les données de la première courbe (courant  $I_{DS}$  pour le modèle numérique) et la fonction  $I_{DS\_F}$  indique les données de la deuxième courbe (courant  $I_{DS}$  pour le modèle flou). RMS (Root Mean Squar) est une fonction sous forme de bloc au niveau de SIMULINK qui calcule la racine de la moyenne du carré d'un signal.

## IV.3/ Résultats sans optimisation

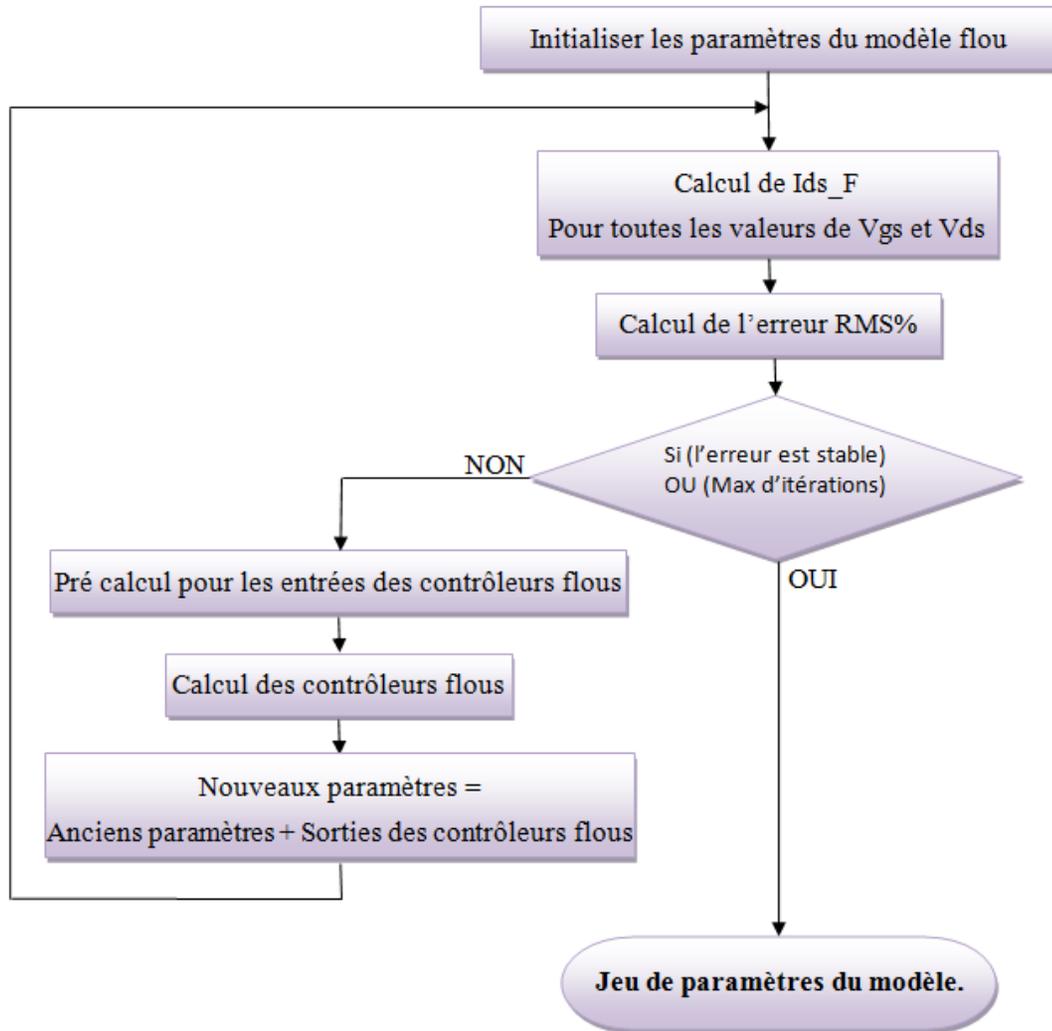


Figure IV.1: Organigramme d'extraction des paramètres de notre modèle compact fluo.

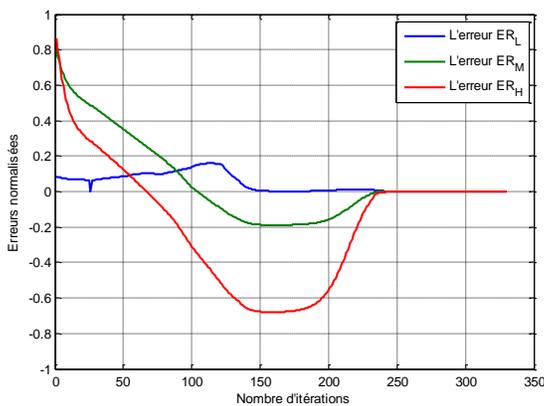
La figure IV.1 illustre l'algorithme d'extraction des paramètres du modèle compact par le biais des contrôleurs flous. Les étapes de l'organigramme sont expliquées comme suit:

- La 1<sup>ère</sup> étape consiste tout d'abord à initialiser les paramètres  $\beta$ ,  $V_T$ ,  $\theta$ ,  $\alpha$  et  $\lambda$  approximativement au milieu de leurs intervalles de définition (par exemple: l'intervalle de  $V_T$  est [0,1], donc on initialise  $V_T$  par 0.5). La valeur initiale n'est pas importante mais le bon choix du milieu permet d'arriver rapidement à sa valeur finale.
- Ensuite, on doit calculer le courant  $I_{DS\_F}$  pour toutes les valeurs discrètes de  $V_{GS}$  et  $V_{DS}$  allant de 0 jusqu'à 1 avec un pas de 0.1 Volt (le courant  $I_{DS\_N}$  est extrait de la base de données numérique).

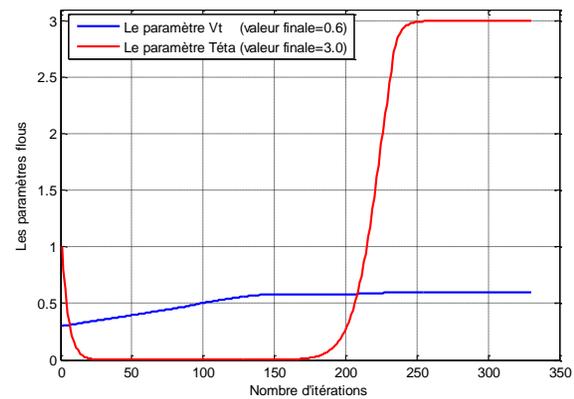
- Calcul de l'erreur relative RMS% entre les deux courants  $I_{DS\_N}$  et  $I_{DS\_F}$ .
- L'étape suivante est le pré-calcul des entrées des contrôleurs flous ( $Er_\alpha$ ,  $Er_\lambda, \dots$ ).
- Après, les sorties des contrôleurs flous sont ajoutées aux anciens paramètres pour avoir les nouveaux prêts pour l'itération suivante.
- Finalement, on termine si le nombre d'itérations atteint son maximum où bien si la valeur de l'erreur est stable (variation négligeable). Sinon, on recommence à nouveau.

#### IV.3.1/ Test des contrôleurs flous entre le modèle compact et sa copie

Pour prouver la performance des contrôleurs flous, on a testé (à titre d'exemple) ceux des paramètres  $V_T$  et  $\theta$  entre le modèle compact et un autre caractérisé par les paramètres  $\beta=20$ ,  $V_T=0.6$ ,  $\theta=3$ ,  $\alpha=20$  et  $\lambda=0.05$  (copie identique du modèle compact). On a remarqué que les paramètres  $V_T$  et  $\theta$  ont abouti à leurs valeurs finales du modèle virtuel ( $V_T=0.6$ ,  $\theta=3$ ) d'une manière très satisfaisante après 250 itérations avec une erreur relative inférieure à 0.1% pendant une durée de temps inférieure à une seconde (voir la figure IV.2).



(a) La variation des entrées des contrôleurs flous.

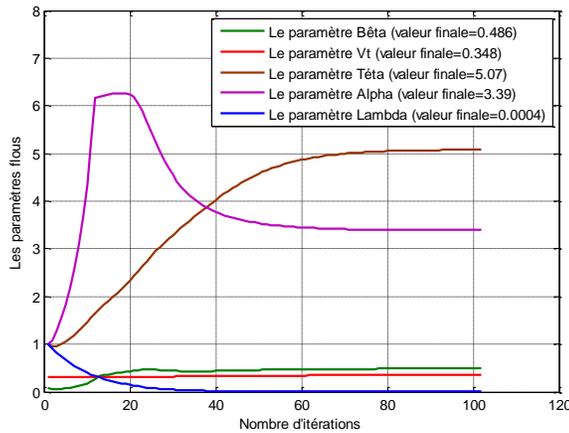


(b) La variation des paramètres  $V_T$  et  $\theta$ .

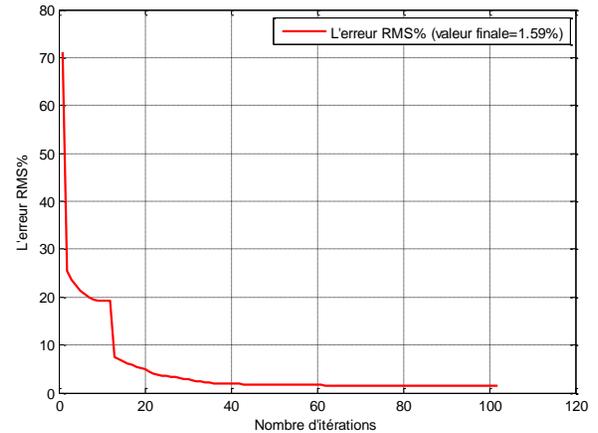
Figure IV.2: Performance des contrôleurs flous.

#### IV.3.2/ Test des contrôleurs flous entre le modèle compact et le modèle numérique

Pour confirmer encore plus, la crédibilité des contrôleurs flous, on les a testé entre le modèle numérique caractérisé par sa géométrie  $L=50nm$ ,  $T_{SI}=5nm$ ,  $T_{OX}=1nm$  et le modèle compact. La figure IV.3 illustre les variations des paramètres du modèle flou et leurs valeurs finales atteintes après 100 itérations, ainsi que la variation de l'erreur relative RMS%.



(a) Les variations des paramètres.



(b) La variation de l'erreur.

Figure IV.3: Les variations des paramètres du modèle flou et l'erreur moindre carrée pour un transistor DG MOSFET nanométrique caractérisé par  $L=50\text{nm}$ ,  $T_{SI}=5\text{nm}$ ,  $T_{OX}=1\text{nm}$ .

Le modèle numérique (les 121 mesures) de ce transistor a été comparé au modèle compact du DG MOSFET à canal court modelé par les contrôleurs flous (les valeurs finales des paramètres résultants de la figure IV.3) montre qu'un très bon accord entre les résultats numériques et ceux prévus par notre approche est obtenu (figure IV.4).

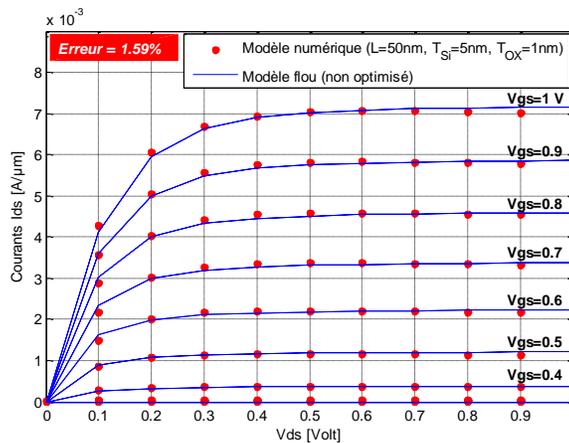
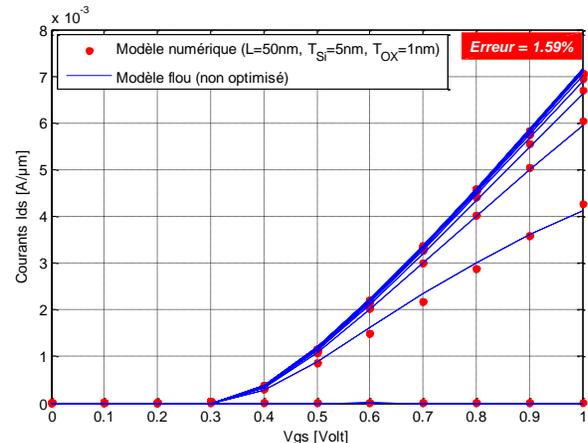
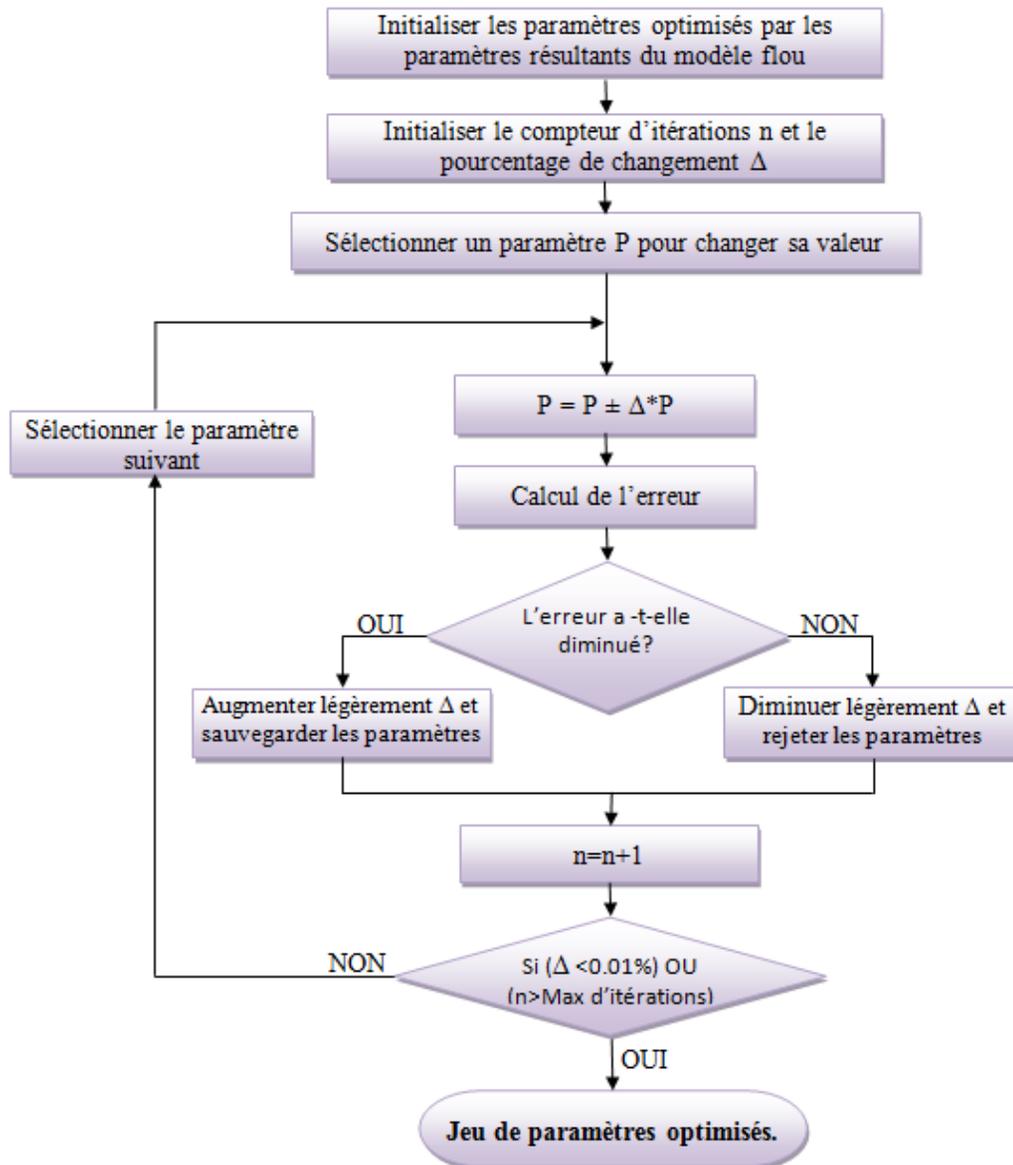
(a) Les caractéristiques  $I_{DS}(V_{DS})$ .(b) Les caractéristiques  $I_{DS}(V_{GS})$ .

Figure IV.4: Les caractéristiques  $I_{DS}(V_{DS})$  et  $I_{DS}(V_{GS})$  pour un transistor DG MOSFET nanométrique caractérisé par  $L=50\text{nm}$ ,  $T_{SI}=5\text{nm}$ ,  $T_{OX}=1\text{nm}$ .

#### IV.4/ L'optimisateur de l'erreur

Pour minimiser l'erreur moindre carrée (RMS%) au maximum tout en préservant l'aspect physique de nos paramètres (à titre d'exemple: le paramètre lambda ne doit pas avoir une valeur négative), on a créé un algorithme d'optimisation de l'erreur selon l'organigramme suivant:



*Figure IV.5: Organigramme de l'approche proposée pour l'optimisateur de l'erreur moindre carrée dans l'étude d'extraction des paramètres de notre modèle compact.*

Les étapes de l'organigramme sont commentées comme suit:

- La 1<sup>ère</sup> étape consiste tout d'abord à initialiser les paramètres géométriques  $L$ ,  $T_{SI}$ ,  $T_{OX}$  et récupérer les paramètres du modèle compact à partir des résultats finaux des contrôleurs flous comme valeurs initiales des paramètres optimisés.
- Ensuite, initialiser les 2 variables de contrôle d'itérations qui sont le compteur d'itérations  $n$  ( $n=0$ ) et le pourcentage de variation des paramètres  $\Delta$  ( $\Delta=100\%$ ).

- Puisque on a 7 paramètres, donc on change un seul à la fois pour chaque itération, ce qui signifie la sélection d'un paramètre P.
- Calculer la nouvelle valeur du paramètre sélectionné P selon la formule  $P = P \pm \Delta * P$ .
- L'étape suivante permet de calculer l'erreur entre le modèle numérique et notre modèle compact avec les nouvelles valeurs des paramètres de test (paramètres modifiés).
- Si l'erreur diminue, alors augmenter le pourcentage de variation  $\Delta$  (exp:  $\Delta = 1.01 * \Delta$ ) et en même temps sauvegarder les paramètres de test comme nouveaux paramètres optimisés.
- Sinon, diminuer  $\Delta$  (exp:  $\Delta = 0.99 * \Delta$ ) et en même temps rejeter les paramètres de test.
- Incrémenter le compteur d'itérations ( $n = n + 1$ ).
- Finalement, on teste les 2 variables de contrôle d'itérations, ont-elles abouti à leurs limites finales ( $n > \text{Max d'itérations}$  ou  $\Delta < 0.01\%$ ) ou non?
- Si le test n'est pas vérifié, alors sélectionner le paramètre suivant et répéter l'itération.
- Sinon, on termine l'opération de l'optimisation.

Cet algorithme est implémenté dans l'environnement SIMULINK selon la figure suivante:

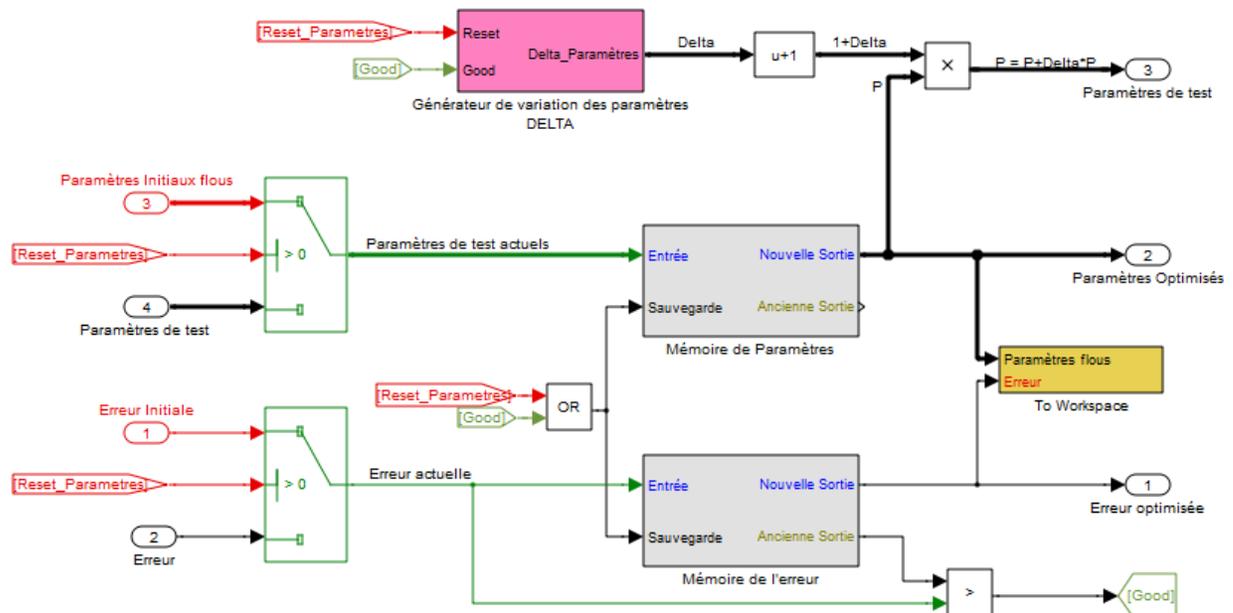


Figure IV.6: Implémentation SIMULINK de l'optimisateur.

Nous avons développé une méthode de génération des paramètres géométriques du modèle numérique et lancer les simulations d'une manière automatique. Cette technique nous a permis d'avoir les paramètres de notre modèle et l'erreur pour les 216 transistors. La figure suivante donne une vue globale sur la variation des deux erreurs: optimisée et non optimisée par rapport au numéro de transistor souhaité, où le numéro 0 du premier transistor est caractérisé par  $L=10\text{nm}$ ,  $T_{SI}=2.5\text{nm}$ ,  $T_{OX}=1\text{nm}$  (voir la formule 3.1 du chapitre III).

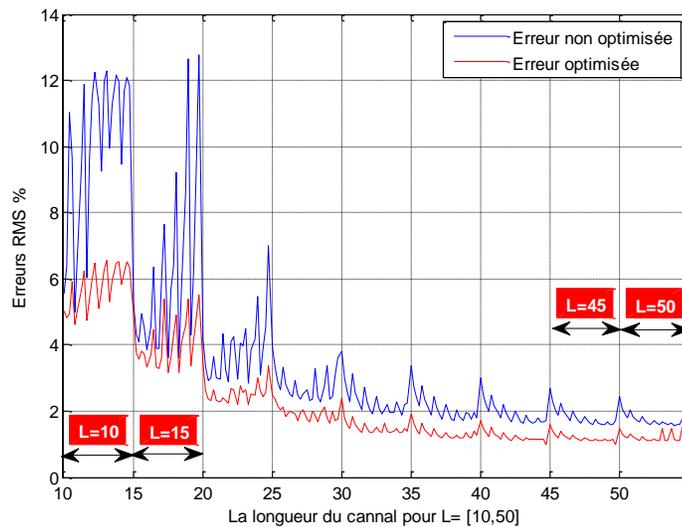
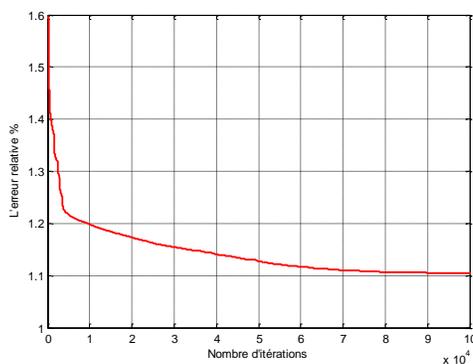
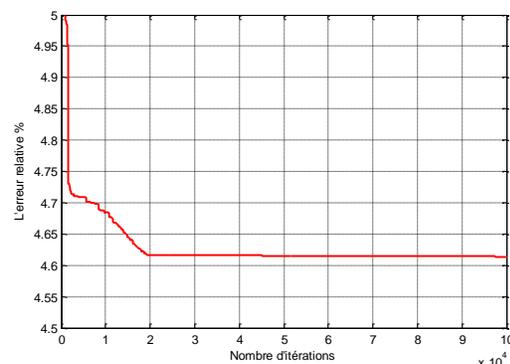


Figure IV.7: Comparaison entre l'erreur optimisée et non optimisée pour les 216 transistors.

La figure IV.8 montre la diminution de l'erreur pour deux transistors de géométrie totalement différente, le premier transistor est à canal relativement long caractérisé par  $L=50\text{nm}$ ,  $T_{SI}=5\text{nm}$ ,  $T_{OX}=1\text{nm}$ , par contre, l'autre transistor est à canal court défini par  $L=10\text{nm}$ ,  $T_{SI}=3\text{nm}$ ,  $T_{OX}=1\text{nm}$ .



(a) Pour le transistor caractérisé par  $L=50\text{nm}$ ,  $T_{SI}=5\text{nm}$ ,  $T_{OX}=1\text{nm}$ .

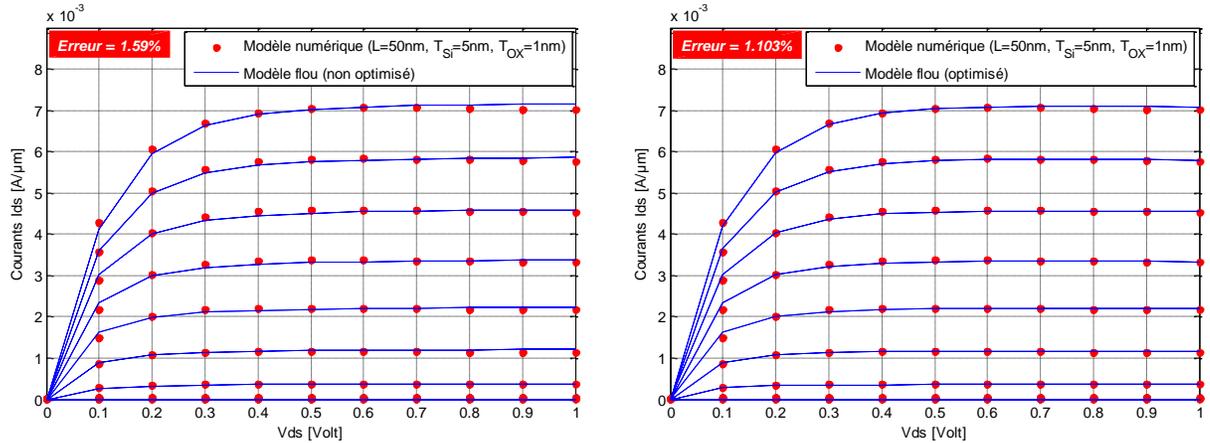


(b) Pour le transistor caractérisé par  $L=10\text{nm}$ ,  $T_{SI}=3\text{nm}$ ,  $T_{OX}=1\text{nm}$ .

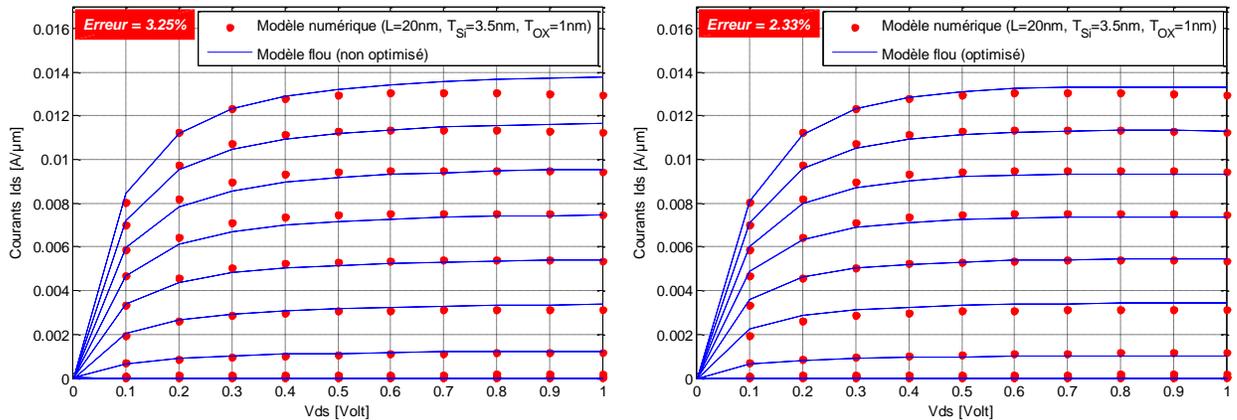
Figure IV.8: La variation de l'erreur durant l'exécution de l'optimisateur.

### Comparaison entre le modèle optimisé et non optimisé:

La figure IV.9 montre les courbes caractéristiques  $I_{DS}(V_{DS})$  entre le modèle numérique et le modèle optimisé et non optimisé du modèle flou pour deux géométries de transistor DG MOSFET nanométrique.



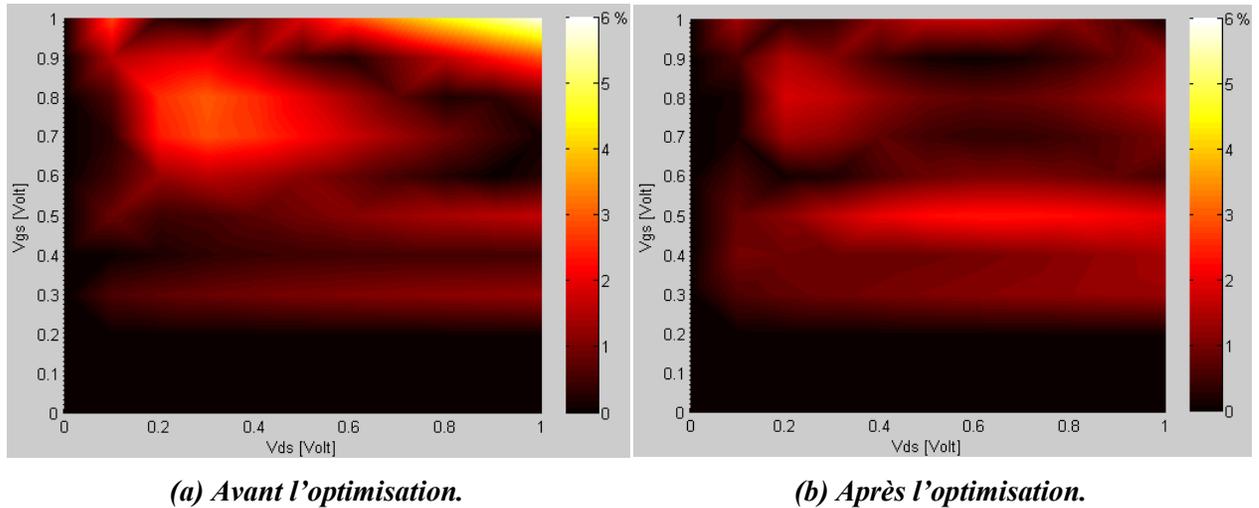
(a) Pour le transistor caractérisé par  $L=50\text{nm}$ ,  $T_{Si}=5\text{nm}$ ,  $T_{Ox}=1\text{nm}$ .



(b) Pour le transistor caractérisé par  $L=20\text{nm}$ ,  $T_{Si}=3.5\text{nm}$ ,  $T_{Ox}=1\text{nm}$ .

Figure IV.9: Comparaison entre le modèle optimisé et non optimisé.

On constate à titre d'exemple, que l'erreur entre les courbes du modèle numérique et du modèle flou pour la figure IV.9-b est  $3.25\%$  pour le cas non optimisé et  $2.33\%$  pour le cas optimisé. Ces erreurs présentent des moyennes distribuées entre les 121 points de  $V_{DS}$  et  $V_{GS}$ . Ces distributions sont illustrées selon la figure IV.10.

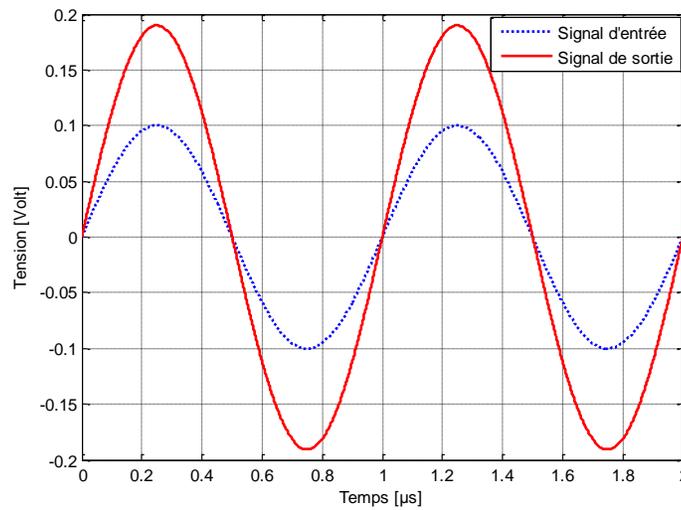
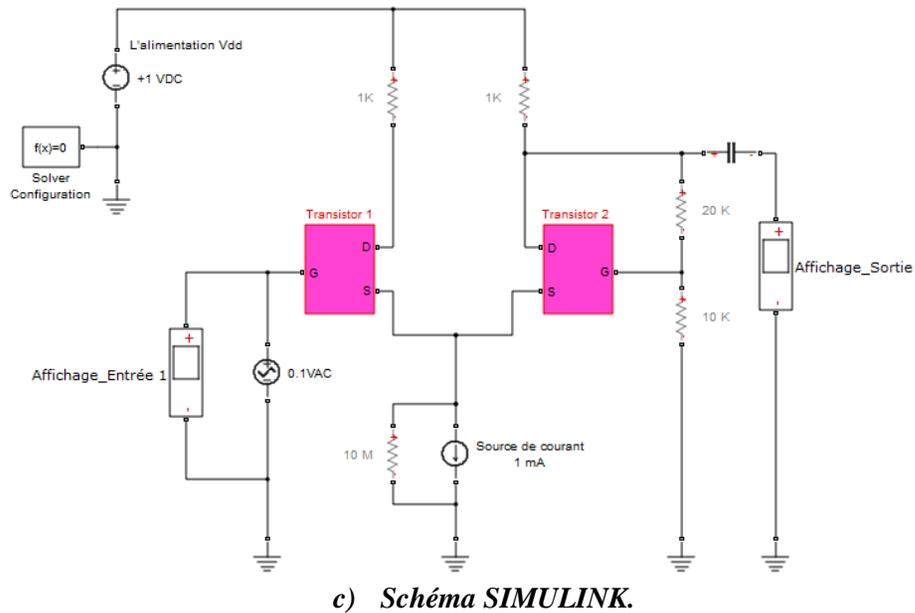
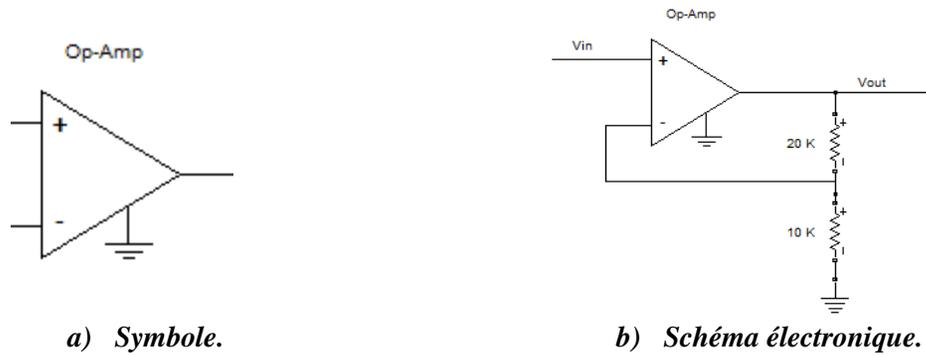


**Figure IV.10:** La distribution de l'erreur entre les points  $V_{DS}$  et  $V_{GS}$  pour le transistor caractérisé par  $L=20\text{nm}$ ,  $T_{SI}=3.5\text{nm}$ ,  $T_{OX}=1\text{nm}$ .

#### IV.5/ Implémentation du modèle flou

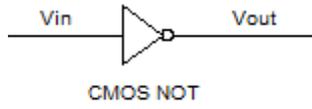
Nous avons implémenté le modèle en SIMULINK et réalisé une simulation de quelques circuits analogiques et numériques en utilisant la bibliothèque SIMSCAPE (contient des éléments SPICE dans SIMULINK). Par exemple pour la classe analogique, on a réalisé un amplificateur opérationnel simplifié (figure IV.11) et pour la classe numérique, on a réalisé des portes logiques tels que: un inverseur CMOS (figure IV.12) et une porte NAND CMOS (figure IV.13).

Tous les NMOS sont réalisés par notre modèle flou et tous les PMOS sont réalisés par la création d'une image des NMOS (inversion des entrées  $V_{DS}$  et  $V_{GS}$  et inversion de la sortie  $I_{DS}$ ). Cette image nous a permis de couvrir l'absence d'un modèle DG PMOS nanométrique pour créer des circuits CMOS. Il est à noter que la sortie  $I_{DS}$  des PMOS est multipliée par  $\frac{1}{2}$  parce que la mobilité des trous est la moitié de la mobilité des électrons (en silicium). Afin de compenser cette mobilité, nous mettons ici deux PMOS en parallèle.

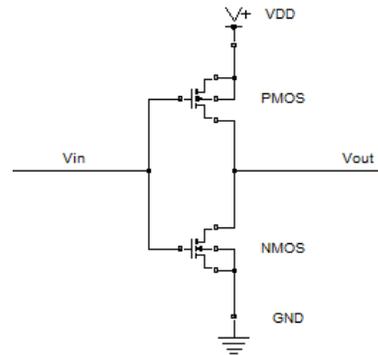


d) *Simulation temporelle.*

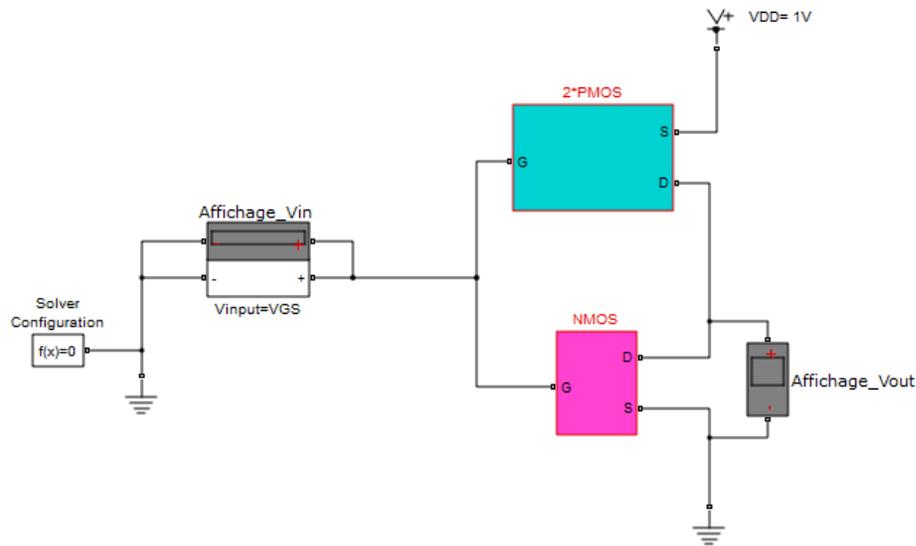
**Figure IV.11: Amplificateur opérationnel simplifié basé sur DG MOSFET pour  $L=50\text{nm}$ ,  $T_{Si}=5\text{nm}$ ,  $T_{Ox}=1\text{nm}$ .**



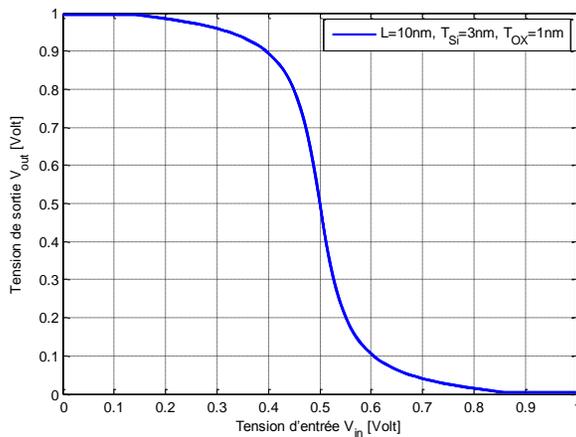
a) Symbole.



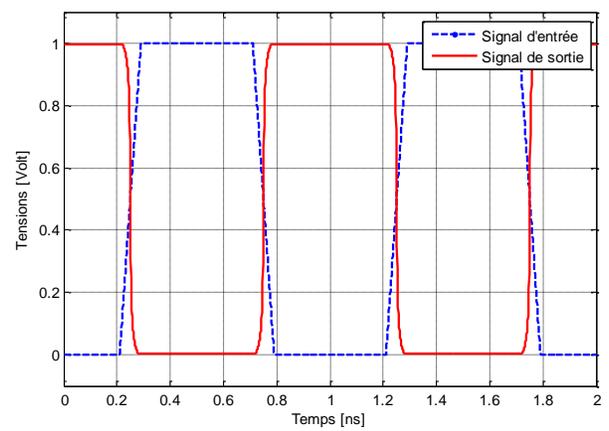
b) Schéma électronique.



c) Schéma SIMULINK.

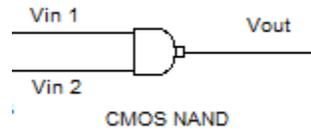


d) Caractéristique de transfert.

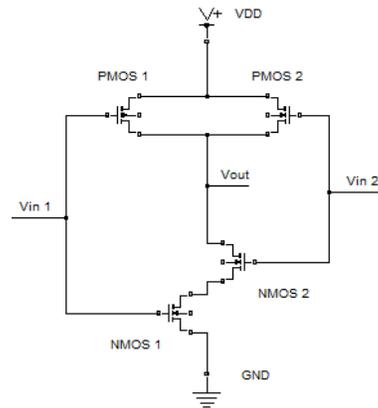


e) Simulation temporelle.

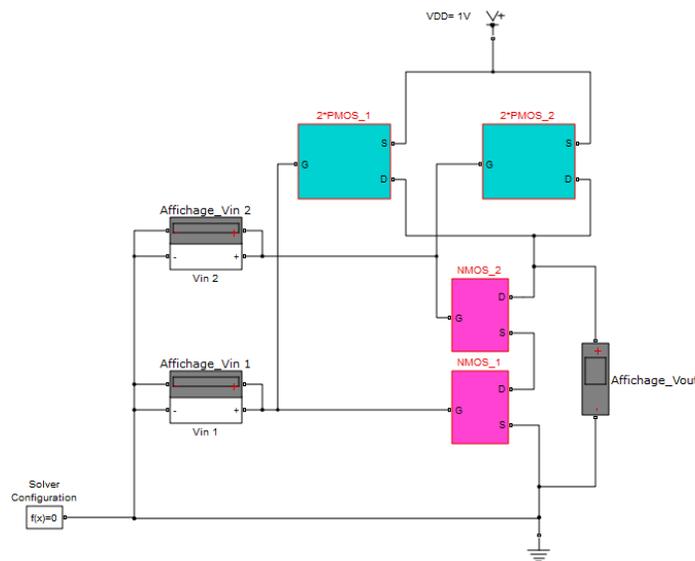
Figure IV.12: Inverseur CMOS basé sur DG MOSFET pour  $L=10\text{nm}$ ,  $T_{Si}=3\text{nm}$ ,  $T_{Ox}=1\text{nm}$ .



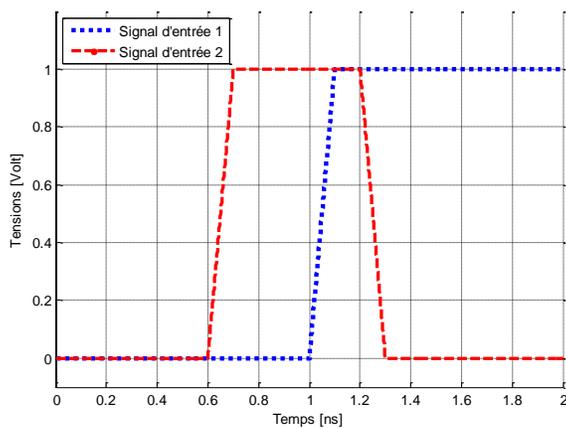
a) Symbole.



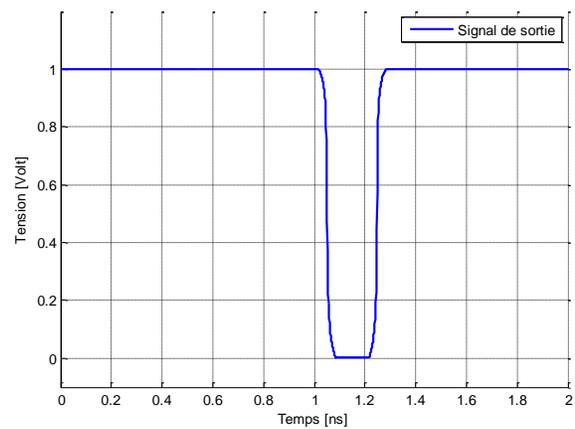
b) Schéma électronique.



c) Schéma SIMULINK.



d) Les signaux d'entrées.

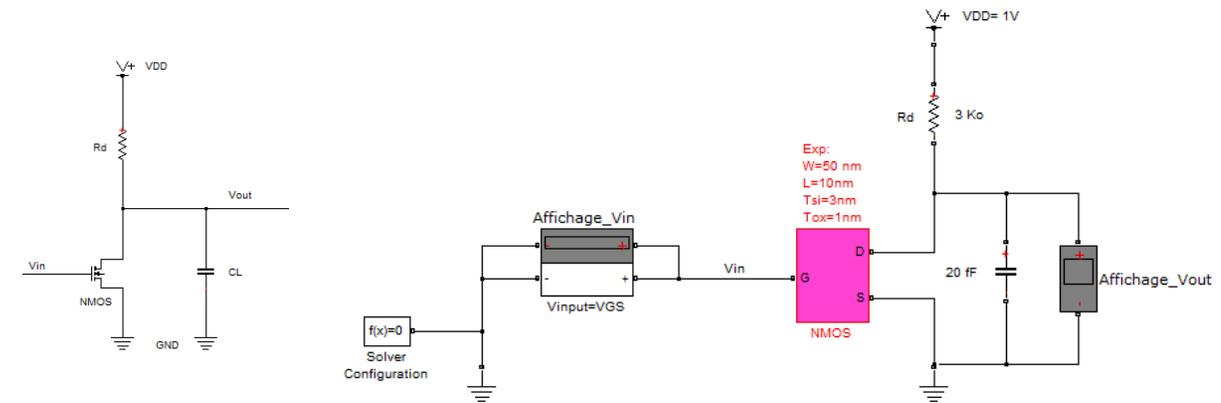


e) La sortie.

Figure IV.13: NAND CMOS basé sur DG MOSFET pour  $L=10\text{nm}$ ,  $T_{SI}=3\text{nm}$ ,  $T_{OX}=1\text{nm}$ .

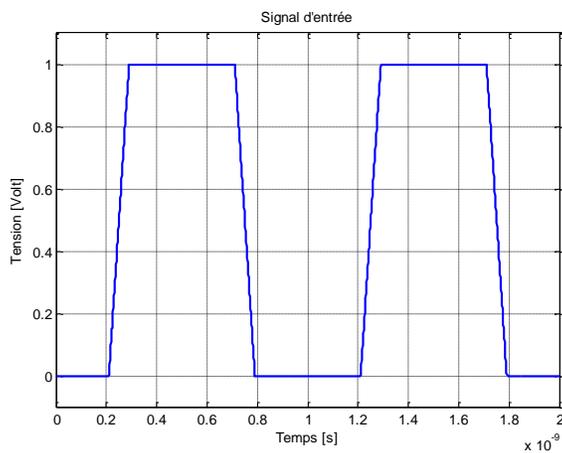
### IV.6/ Simulation dynamique

Le modèle flou du DG MOSFET nanométrique a été évalué en utilisant plusieurs tests pour examiner son comportement dans les conditions statiques. Ainsi, nous ferons un test pour valider son comportement dynamique dans lequel le modèle est prévu pour fonctionner. Le circuit qu'on a choisi est un inverseur de type NMOS avec une capacité de charge (Load capacitor) représentée la charge capacitive des grilles des autres transistors connectés à cet inverseur dans un circuit intégré (voir figure IV.14).

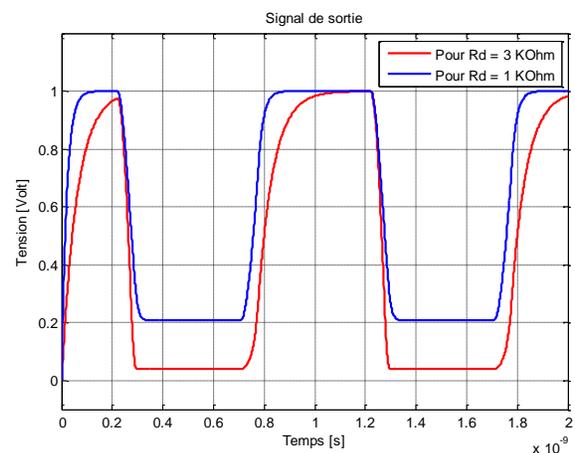


a) Schéma électronique.

b) Schéma SIMULINK.



c) Le signal d'entrée.



d) Le signal de sortie.

Figure IV.14: Comportement dynamique d'un inverseur NMOS basé sur le modèle flou d'un DG MOSFET pour  $W=50\text{nm}$ ,  $L=10\text{nm}$ ,  $T_{SI}=3\text{nm}$ ,  $T_{OX}=1\text{nm}$ .

### IV.7/ Domaine de validité du modèle

Afin de valider notre modèle compact, nous avons simulé différentes géométries de DG MOSFET. Dans cette section, nous allons comparer notre modèle fluo avec les simulations 3D. Les symboles correspondent aux simulations 3D et les lignes au modèle fluo.

La figure IV.15 montre les caractéristiques du courant de drain  $I_{DS}(V_{DS})$ , tracées pour différentes longueurs de canal ( $L=10\text{nm}$ ,  $L=20\text{nm}$ ,  $L=30\text{nm}$  et  $L=40\text{nm}$ ). Nous remarquons que dans les quatre cas, le modèle offre des résultats satisfaisants et visiblement proches de ceux des simulations 3D numériques (NEGF).

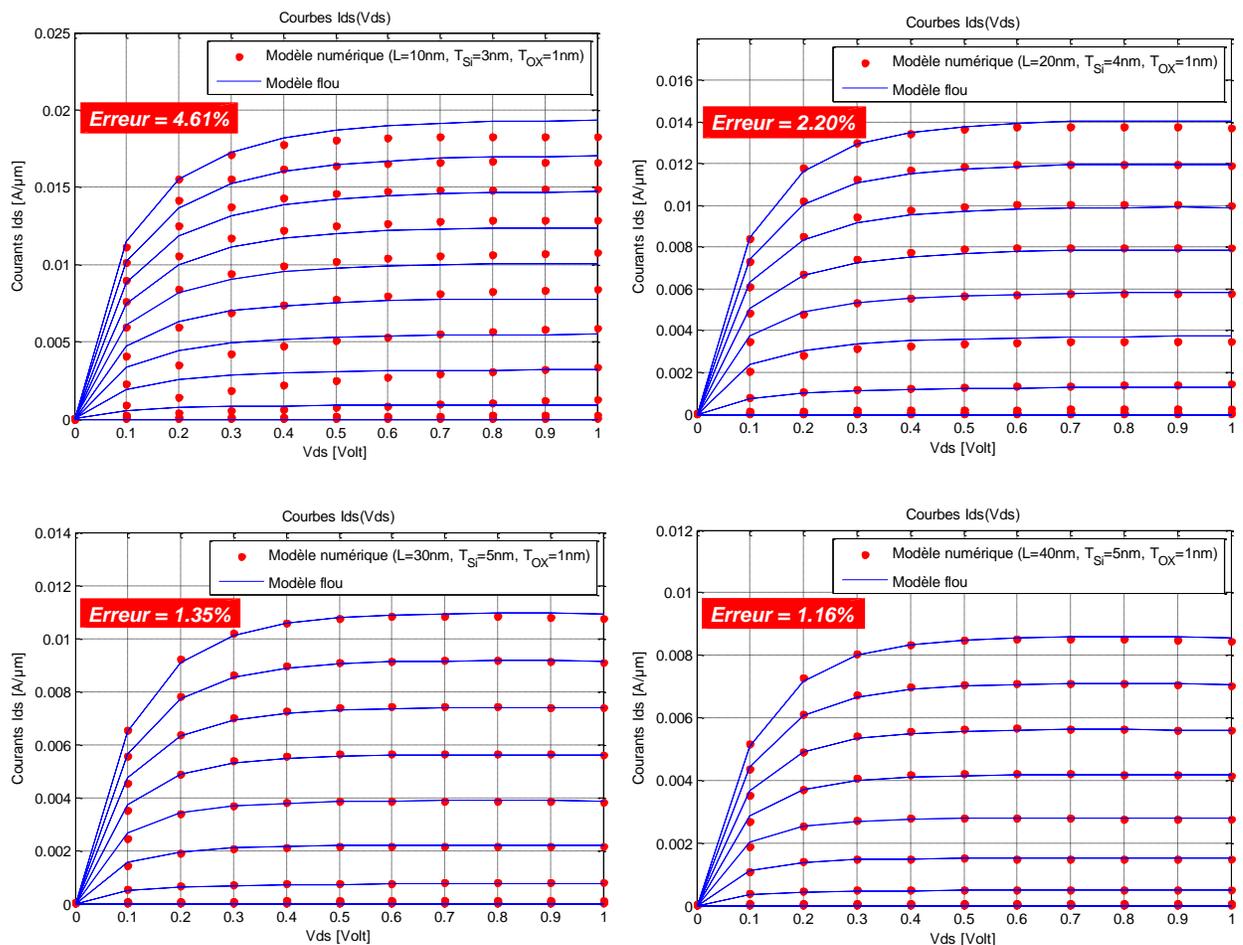


Figure IV.15: Domaine de validité du modèle fluo pour différentes géométries.

Afin de valider la propriété prédictive des configurations optimisées du modèle fluo, la figure IV.16 montre que notre modèle peut être utilisé pour prédire d'autres combinaisons des variables d'entrée absentes dans la base numérique NEGF (exp: Courbe pour  $V_{GS}=0.85\text{ Volt}$ ).

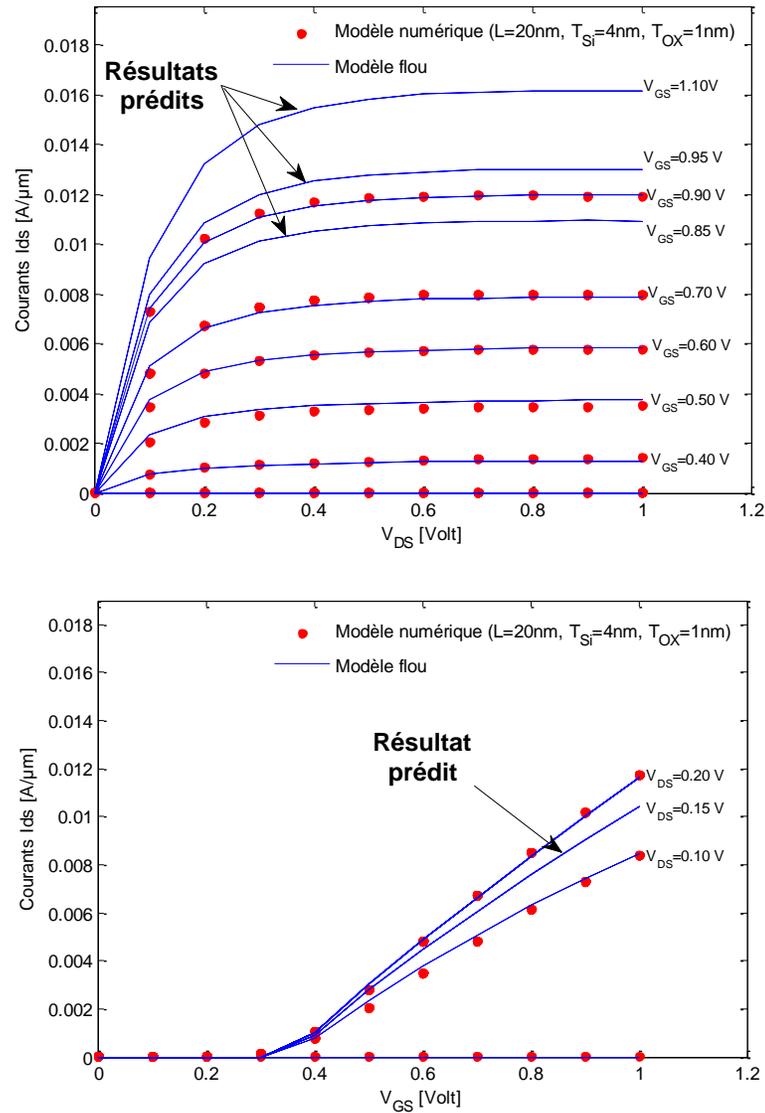


Figure IV.16: La propriété prédictive de notre modèle flou.

Le tableau IV.1 récapitule la gamme de paramètres géométriques et technologiques pour laquelle notre modèle est validé. Nous avons effectué des validations pour des largeurs du film de silicium ( $T_{Si}$ ) minimum de 2.5nm et une largeur de l'oxyde de silicium ( $T_{Ox}$ ) minimum de 1nm.

Paramètres géométriques et technologiques	Symboles	Domaine de validité
Longueur du canal	$L$	$\geq 10\text{nm}$
Epaisseur de film de silicium	$T_{Si}$	$\geq 2.5\text{nm}$
Epaisseur d'oxyde	$T_{Ox}$	$\geq 1\text{nm}$
Dopage du canal	$N_a$	$\sim 10^{16}\text{cm}^{-3}$

Tableau IV.1: Tableau récapitulatif du domaine de validité du modèle flou.

Et le tableau IV.2 représente une synthèse des principaux modèles existants (le tableau III.1 du chapitre III) ainsi que notre modèle flou.

<i>Modèle</i>	<i>Y. Taur</i>	<i>PSP</i>	<i>B. Iñiguez</i>	<i>F.A. Fjelbly</i>	<i>LETI</i>	<i>J. Fossum</i>	<i>F. DJEFFAL</i>	<i>Notre modèle flou</i>
<i>Caractéristiques des modèles</i>								
<i>Simplicité du modèle</i>	+	-	+	+/-	+	-	+	+
<i>Formulation explicite</i>	+/-	+	+	+	+	-	-	+
<i>Prise en compte des effets canaux courts</i>	+	+	+	+	+	+	+	+
<i>Prise en compte du comportement dynamique</i>	+	+	+	+	+	+	-	+
<i>Prise en compte des effets quantiques</i>	-	+	+	-	-	+	+	+
<i>Gamme de validation <math>L</math> (nm)</i>	$\geq 70$	$\geq 30$	$\geq 70$	-	$\geq 30$	$\geq 50$	$\geq 10$	$\geq 10$
<i>Temps de calcul</i>	+/-	-	+/-	+/-	+	-	+	+
<i>Implémentation dans le simulateur de circuits</i>	+	-	+	+/-	+	-	-	+

**Tableau IV.2: Bilan des caractéristiques des différents modèles compacts de DG MOSFET.**

Enfin, le tableau IV.3 compare entre les différentes approches de modélisation de DG MOSFET nanométrique pour 121 mesures de valeurs de  $V_{GS}$  et  $V_{DS}$ .

Approche	Temps CPU (s)	L'efficacité de l'approche
Simulation 3D NEGF	Heures	Juste / Lente
Ajustement manuel des paramètres	Heures / Jours	Moins juste / Très lente
Notre modèle flou	Moins d'une minute	Juste / Très rapide

Tableau IV.3: Comparaison entre les différentes approches de modélisation de DG MOSFET nanométrique.

#### IV.8/ Mise à jour de notre modèle flou

Nous pensons que si une méthode d'intégration du régime sous le seuil pouvait être implémentée directement sur le modèle flou du courant de drain par l'addition d'un courant sous le seuil, notre modèle ne devrait plus entraîner les erreurs existant actuellement parce qu'une partie de ces erreurs est à cause des fuites sous le seuil.

D'après la formule (1.7) du chapitre I, le courant sous le seuil est exprimé par [7]:

$$I_{DS} = \mu C_{OX} \frac{W}{L} \phi_t^2 \exp\left(\frac{V_{GS} - V_T}{n \phi_t}\right) \left\{1 - \exp\left(-\frac{V_{DS}}{\phi_t}\right)\right\} \quad (4.2)$$

Considérons le coefficient  $\mu C_{OX} \frac{W}{L} \phi_t^2$  comme paramètre  $\beta_{fi}$  du modèle flou. Ce paramètre représente l'amplitude du courant faible inversion. Le deuxième paramètre à considérer est le variable  $n$  dans cette formule qui contrôle la pente sous le seuil  $SS$  ( $SS = n \phi_t \ln(10)$ ). La formule (4.2) devient comme suit:

$$I_{DS} = \beta_{fi} \exp\left(\frac{V_{GS} - V_T}{n \phi_t}\right) \left\{1 - \exp\left(-\frac{V_{DS}}{\phi_t}\right)\right\} \quad (4.3)$$

L'implémentation SIMULINK de cette expression est illustrée comme suit:

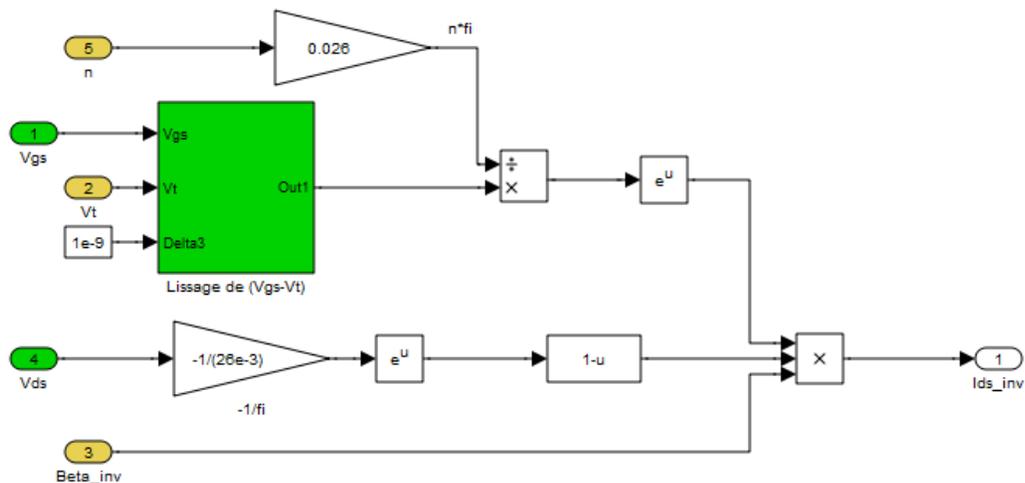


Figure IV.17: Implémentation du courant faible inversion.

Enfin, notre modèle mise à jour aura l'implémentation suivante:

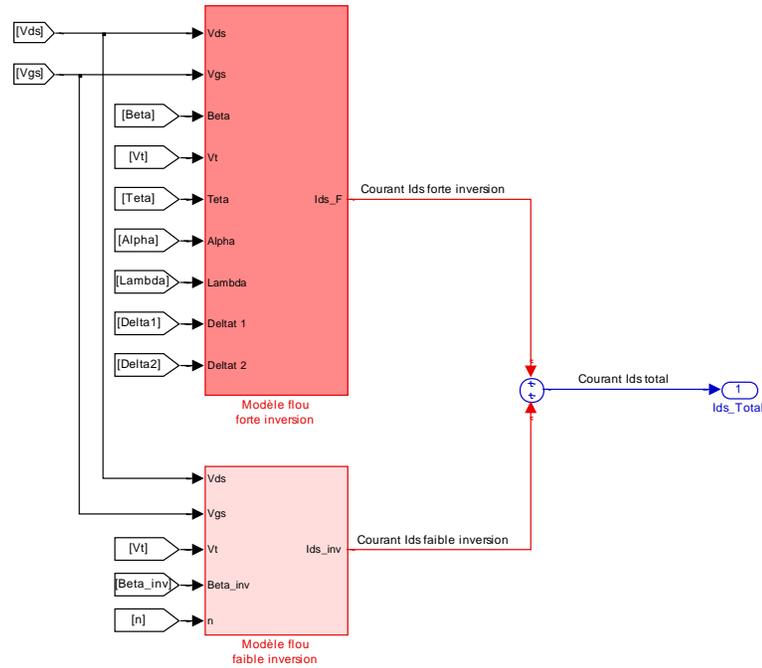


Figure IV.18: Intégration du modèle faible inversion dans le modèle fluo.

Toutes les caractéristiques sous le seuil ( $SS$ ,  $I_{OFF}$ ,  $I_T$ ) peuvent être obtenues à partir d'une courbe  $I_{DS}$  ( $V_{GS}$ ) tracée sur une échelle semi-logarithmique. Dans le cas idéal et à la température ambiante,  $SS=60mV/dec$ . La figure.IV.19 montre que lorsqu'on diminue la longueur du canal  $L$  de 50nm à 20nm, la pente sous le seuil varie de 64.5 mV/dec à 81.7 mV/dec. Cette dégradation est prévue à cause des effets canaux courts. La même figure montre une adhésion entre les résultats numériques et ceux prévus par notre approche.

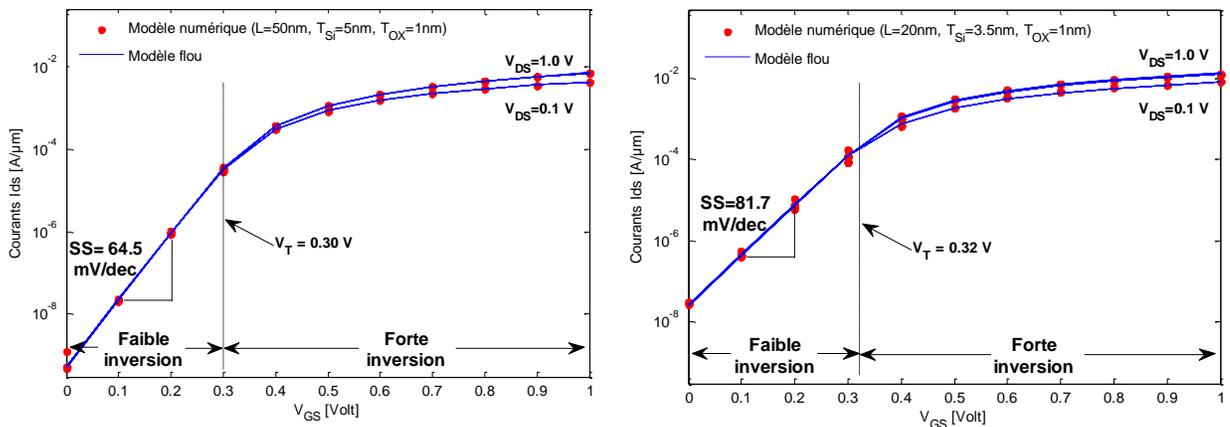


Figure IV.19: Les caractéristiques sous le seuil ( $SS$ ,  $I_{OFF}$ ,  $I_T$ ) à partir d'une courbe  $I_{DS}(V_{GS})$ .

#### IV.9/ Conclusion

Nous avons développé un modèle explicite statique pour un DG MOSFET nanométrique avec une longueur du canal ( $L$ ) minimum de 10nm, une largeur du film de silicium ( $T_{SI}$ ) minimum de 2.5nm et une largeur de l'oxyde de silicium ( $T_{OX}$ ) minimum de 1nm. Cette gamme de validation couvre la plupart des cas de DG MOSFET réalisés jusqu'à aujourd'hui (d'après le site de la firme Intel, la commercialisation à grande échelle des circuits à base des transistors 22nm aura lieu à la fin du 1<sup>er</sup> semestre 2012).

Afin de finaliser le développement du modèle compact du transistor DG MOSFET, la procédure d'implémentation et l'extraction des paramètres du modèle sont indispensables. Les paramètres sont extraits et optimisés par nos contrôleurs flous et notre optimisateur au niveau du simulateur SIMULINK pour que le modèle puisse servir à la simulation de circuit. On peut aussi dire que l'étape de l'implémentation et de l'extraction des paramètres est le dernier pas avant les tests en simulation de circuits. Nous avons aussi prouvé que notre modèle de DG MOSFET est capable de simuler les circuits analogiques et les portes logiques.

Le modèle dynamique sera développé en incluant les neuf transcapacités. Par conséquent, il convient de continuer à l'améliorer.

# Conclusion générale

### **Conclusion et perspectives**

Lors de l'évolution de la microélectronique, la technologie MOS Bulk a joué un rôle essentiel. Depuis une trentaine d'années, les effets néfastes liés à la réduction de la taille de transistor sont devenus de plus en plus importants et vont aboutir à la fin de la technologie MOS Bulk dans moins d'une dizaine d'années (cf. ITRS 08). La technologie Multiple-Grille devrait permettre de poursuivre cette évolution en attendant que la microélectronique passe à une autre matière que le silicium. Grâce à son excellent contrôle du canal, la technologie SOI Multiple-Grille permet de réduire les effets néfastes liés à la réduction de la taille de transistor.

Pendant l'élaboration de ce mémoire, nous avons détaillé la modélisation floue du transistor DG MOSFET et on a vu que les modèles compacts existant pour ce transistor sont trop complexes pour la simulation dans le cas des petites géométries, c'est pour cela que notre point de départ pour le choix d'un modèle compact est la version 3 de BSIM à cause du nombre réduit de ces paramètres, ce qui facilite la simulation de circuits intégrés. Notre choix d'implémentation s'est orienté vers SIMULINK, puisque ce dernier est adaptable pour le HARDWARE et l'exécution en parallèle (implémentation possible dans Verilog et VHDL), au contraire des programmes MATLAB qui sont adaptables pour le SOFTWARE. En plus, l'utilisation des contrôleurs flous, nous a permis de trouver les résultats finaux très rapidement et sans oscillation.

Les résultats obtenus ont prouvé que notre modèle est valide pour des longueurs du canal allant jusqu'à 10nm (l'erreur varie entre 1.10% et 4.61%). L'ajout de notre optimisateur a diminué l'erreur par la correction des paramètres.

Finalement, pour renforcer la validation de notre modèle, nous avons aussi simulé quelques portes logiques basées sur la technologie DG MOSFET dans le but de montrer son aptitude à la simulation des circuits CMOS nanométriques. Il est à noter que les résultats obtenus sont en très bon accord avec ceux de la modélisation numérique.

Dans la suite du développement du modèle compact du DG MOSFET, des points d'étude devront être effectués pour améliorer le modèle en cours, pour avoir ensuite un modèle complet du DG MOSFET. En parallèle, une méthodologie automatisée d'extraction et d'optimisation des paramètres du modèle sera à effectuer par rapport à des mesures réelles (grâce au projet Européen COMON). Ces points résolus et complétés, le modèle devrait alors naturellement trouver sa place dans un flot de conception industriel.

# Bibliographie

## Références

[01]	<i>Mingchun TANG, "Études et Modélisation Compacte du Transistor FinFET", thèse de Doctorat de l'université de strasbourg, discipline: sciences pour l'ingénieur, spécialité: microélectronique, décembre 2009.</i>
[02]	<i>F.Pregaldiny . 'Etude et modélisation du comportement électrique des transistors MOS fortement submicroniques', thèse de doctorat, Université Lois Pasteur, Décembre, 2003.</i>
[03]	<i>(Springer) CMOS Logic Circuit Design_protected_VLSI_eBook.</i>
[04]	<i>M.Bescond. " Modélisation et simulation du transport quantique dans les transistors MOS nanométrique", thèse doctorat , Université de provence ( AIX-Marseille I), novembre 2004.</i>
[05]	<i>D.Chanemougame. ' Conception et fabrication de nouvelles architectures MOS étude Du transport dans les canaux de conduction ultra minces obtenus avec la technologie SON' thèse de doctorat, L'Institut national des sciences appliquées de Lyon, Décembre, 2005.</i>
[06]	<i>S.Bernardini. 'Modélisation des structures métal – oxyde- Semiconducteur ( MOS) : Applications aux dispositifs mémoires', thèse de doctorat, Université D'AIXMARSEILLE I, Octobre, 2004.</i>
[07]	<i>www.elec.ucl.ac.be/enseignement/ELEC2550/submicron-MOS.pdf.</i>
[08]	<i>Into The Nano Era - Moore's Law Beyond Planar Silicon CMOS_3540745580.</i>
[09]	<i>J. Colinge, Silicon-on-insulator technology: Materials to VLSI, Kluwer Academic Publishers, Boston, USA, 3rd edition, 1997.</i>
[10]	<i>J-H. Rhew, Z. Ren, and M-S. Lundstrom, A numerical study of ballistic transport in a nanoscale MOSFET, Solid-State Electronics, vol. 46, no. 11, pp. 1899–1906, 2002.</i>
[11]	<i>M. Mouis, and A. Poncet, Coupling between 2D and quantum confinement effects in ultra-short channel double-gate MOSFETs, ESSDERC'2001, Germany, pp. 211–214, 2001.</i>
[12]	<i>P. Francis, A. Terao, D. Flandre, et al., Characteristics of nMOS/GAA (Gate-All-Around) transistors near threshold, Microelectronics Engineering, , vol. 19, pp. 815-818, 1992.</i>
[13]	<i>"ITRS (International Technology Roadmap for Semiconductors) web site",<a href="http://public.itrs.net/">http://public.itrs.net/</a>.</i>
[14]	<i>J. S. Martin, Étude par simulation Monte-Carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI, Thèse de Doctorat, Université Paris XI Orsay, France, 2005.</i>

[15]	<i>A. Valentain. ' Etude de la technologie SOI partiellement désertée à très basse tension pour minimiser l'énergie dissipée et application à des opérateurs de calcul ', thèse de doctorat, Mai, 2005.</i>
[16]	<i>L. A. Zadeh, " Fuzzy sets, Information and Control", vol. 8, pp. 338-353, 1965.</i>
[17]	<i>F. Chevrier et F. Guély, "La Logique Floue", Cahier Technique N° 191, Groupe Schneider, CT Edition, Mars, 1998.</i>
[18]	<i>"Application de la Logique Floue", Document d'Internet, Disponible à : <a href="http://www.tn.refer.org">www.tn.refer.org</a>.</i>
[19]	<i>F. Zidani, R. Nait-Said, "Introduction à la Logique Floue / Conception d'un Contrôleur Flou", Cours de Magister, Université de Batna, Algérie, 2005/2006.</i>
[20]	<i>K. Passino and Y. Yurkovich, "Fuzzy control", Addison Wesley Longman, Inc, 1998.</i>
[21]	<i>L. A. Zadeh, "Fuzzy local, Neural Networks and soft computing", Communications of the ACM, vol. 37, no. 3, pp. 77-84, 1994.</i>
[22]	<i>MENDEL, J. (2000). Uncertainty, fuzzy logic, and signal processing. Signal processing, 80(6):913–933.</i>
[23]	<i>MEUNIER, B. (1995). La logique floue et ses applications. Addison.</i>
[24]	<i>J. S. Roger, "Fuzzy modelling using generalized neural networks and Kalman filter algorithm", In Proc. of the Ninth National Conference on Artificial Intelligence, July 1991.</i>
[25]	<i>H. J. Zimmermann, "Fuzzy set theory and its applications", Kluwer, Boston, 2nd ed., 1993.</i>
[26]	<i>M. T. Cao, "Commande Numérique de Machines Asynchrones par Logique Floue", Thèse de Philosophiae Doctor (Ph.D.), Université de Laval, Québec, Canada, 1997.</i>
[27]	<i>V. Lacrose, "Réduction de la Complexité des Contrôleurs Flous : Application à la Commande Multivariable", Thèse de Doctorat en Automatique et Informatique Industrielle, Institut National des Sciences Appliquées de Toulouse, France, 1997.</i>
[28]	<i>L. Reznik, "Fuzzy Controllers", Elsevier Science, Printed in Great Britain, 1997.</i>
[29]	<i>ZENG, X. et SINGH, M. (1995). Approximation theory of fuzzy systems mimo case. IEEE Transactions on Fuzzy Systems, 3(2):219–235.</i>
[30]	<i>K. M. Passino, S. Yurkovich, "Fuzzy Control", Addison Wesley Longman Inc, Printed in USA and Canada, 1998.</i>

[31]	<i>H. Buhler, "Réglage par Logique Floue", Presses Polytechniques et Universitaires Romandes, Lausanne, Suisse, 1994.</i>
[32]	<i>A. Ben Slilih, "Commande Floue Optimisée d'un Moteur Asynchrone Pentaphasé à Flux Orienté", Mémoire de Magister, Ecole Normale Supérieure d'Enseignement Technique d'Oran, Algérie, 2010.</i>
[33]	<i>H. Bühler, Réglage par logique floue, Presse Polytechniques et Universitaires Romandes, 1994.</i>
[34]	<i>K. V. Passino, S. Yurkovich, Fuzzy Control, Addison Wesley Longman, 1998.</i>
[35]	<i>H. Ying, Fuzzy control and modeling , analytical fundations and applications, IEEE Press, NJ, 2000.</i>
[36]	<i>CASTRO, J. (1995). Fuzzy logic controllers are universal approximator. IEEE Transactions on Systems Man and Cybernetics-part C, 25:629–635.</i>
[37]	<i>L.A. Zadeh, "The Concept of a Linguistic Variable and its Application to Approximate Reasoning", Information Science, Part. I (8) pp. 199-249, Part II (8) pp. 301-357, Part III (9) pp. 43-80, 1975.</i>
[38]	<i>BUCKLEY, J. (1992). Universal fuzzy controllers. Automatica, 28.</i>
[39]	<i>TAKAGI, T. et SUGENO, M. (1985). Fuzzy identifcation of systems and its applications to modeling and control. IEEE Transactions on System Man and Cybernetics, 15(1):116–132.</i>
[40]	<i>ANGELOV, P. et FILEV, D. (2004). An approach to online identification of takagi-sugeno fuzzy models. IEEE Trans. Syst., Man, Cybern. Part B :, 34(1):484–498.</i>
[41]	<i>R.I. John et S. Coupland, Type-2 Fuzzy Logic a Historical View, IEEE Computational Intelligence Magazine, vol. 2, no. 1, pp. 57-62, 2007.</i>
[42]	<i>H. Hagra, Type-2 FLCs: A New Generation of Fuzzy Controllers, IEEE Computational Intelligence Magazine, vol. 2, no. 1, pp. 30-43, 2007.</i>
[43]	<i>N. N. Karnik and J. Mendel, "An introduction to type-2 fuzzy logic systems", Univ. sothen California, Rep. Oct. 1998.</i>
[44]	<i>N. N. Karnik and J. Mendel, "Type-2 fuzzy systems: Type Reduction"" In SMC'98 Conference Proceedings 1998 IEEE International Conference on Systems, Man and Cybernetics, Part 2, pp. 2046-2051, 1998.</i>
[45]	<i>N. N. Karnik, J. M. Mendel and Q. Liang, "Type-2 fuzzy logic systems", IEEE Trans. Fuzzy Syst., vol. 7, no. 6, pp. 643-658, Dec 1999.</i>

[46]	<i>N. N. Karnik and J. M. Mendel, "Operations on type-2 fuzzy sets", Fuzzy Sets and Systems, vol. 122, pp. 327-348, 2001.</i>
[47]	<i>J.M. Mendel et R.I.B. John, Type-2 fuzzy sets made simple, IEEE Trans. Fuzzy Systems, vol. 10, no. 2, pp. 117-127, 2002.</i>
[48]	<i>K. Chafaa, L. Saidi, M. Ghanai et K. Benmahammed, Direct Adaptive Type-2 Fuzzy Control For Nonlinear Systems, International Journal of Computational Intelligence and Applications, vol.6, no. 3, pp. 389–411, 2006.</i>
[49]	<i>[Men, 07] Mendel, J.M. Mendel, Type-2 Fuzzy Sets and Systems and Overview, IEEE Computational Intelligence Magazine, vol. 2, no. 1, pp. 20-29, 2007.</i>
[50]	<i>N. Essounbouli, Commande adaptative floue robuste des systèmes non linéaires incertains, thèse de doctorat d'Université de Reims Champagne Ardenne en Génie Informatique, Automatique et Traitement du Signal, 2004.</i>
[51]	<i>Y. Taur, "An Analytical Solution to a Double-Gate MOSFET with Undoped Body," Proc. IEEE Electron Device Letters, vol. 21, no.5, pp 245-247, May 2000.</i>
[52]	<i>O. Moldovan, D. Jimenez, J. Roig Guitart, F. A. Chaves and B. Iniguez, "Explicit Analytical Charge and Capacitance Models of Undoped Double-Gate MOSFETs," IEEE Transactions on Electron Devices, vol.54, no. 7, pp 1718-1724, July 2007.</i>
[53]	<i>S. Kolberg, H. Borli and T. A. Fjeldly, "Modeling, verification and comparison of short-channel double gate and gate-all-around MOSFETs," Mathematics and Computers in Simulation, vol. 79, no. 4, pp 1107-1115, Dec. 2008.</i>
[54]	<i>J.G.Fossum, L.Ge, M.H.Chiang, B.Y.Nguyen, "A process/physics-based Compact Model for Nonclassical CMOS Device and Circuit Design", Solid-State Electronics, vol. 48, no. 6, pp 919-926, June 2004.</i>
[55]	<i>M. Reyboz, P. Martin, T. Poiroux, O. Rozeau, "Continuous model for independent double gate MOSFET," Solid-State Electronics, vol. 53, no. 5, pp. 504-513, May 2009.</i>

## Publications Scientifiques

01	<i>A.Ferdi et al, Fuzzy-logic-based approach to study the nanoscale Double Gate MOSFETs, First Euro-Mediterranean Conference on Materials and Renewable Energies (EMCMRE-1), Marrakech, Morocco, 21-25 November 2011.</i>
02	<i>A.Ferdi et al, Fuzzy-Logic-based approach to accurate modeling of Double Gate MOSFET for nanoelectronic circuit design, accepted, Journal of Semiconductors, 2012.</i>
03	<i>A. Ferdi et al, Fuzzy-Logic-based approach to accurate modeling of Double Gate MOSFET for nanoelectronic circuit design, World Congress on Engineering, London, 4-6 July, 2012, UK.</i>