

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche
Scientifique



Université Hadj Lakhdar Batna
Faculté de Technologie
Département d'Électronique



THÈSE

Présentée pour l'obtention du diplôme de
DOCTORAT en SCIENCES en Électronique

OPTION

Microélectronique

Par
HANFOUG Salah

Thème

Contribution à la Conception des circuits
Mode de courant en Technologie CMOS

Soutenue le, 14/01/2016.

Devant le jury constitué de :

Pr. Farida HOBAR	Professeur	Président	Université de Constantine.
Pr. Nour-Eddine BOUGUECHAL	Professeur	Rapporteur	Université de Batna.
Pr. Saida LATRECHE	Professeur	Examineur	Université de Constantine.
Pr. Abdelhamid BENHAYA	Professeur	Examineur	Université de Batna.
Pr. Abdelhamid OUNISSI	Professeur	Examineur	Université de Batna.
Pr. Saida REBAI	Professeur	Examineur	Université de Constantine.

Dédicace

Je dédie ce modeste travail fruit de plusieurs années de patience :

À ma chère mère symbole de tendresse, et à mon cher père symbole de sacrifice.

À mes frères Omar, et Ahmed.

À ma famille.

À mes amis.



Remerciements

Bien que cette thèse porte mon nom, elle est véritablement le fruit de la coopération de plusieurs personnes, qui m'ont encadré, supporté, guidé tout au long de ces années. Ce sont ces personnes que je tiens ici à remercier.

*Je souhaite remercier avant tout mon directeur de thèse **Mr. Nour-Eddine BOUGUECHAL** professeur à l'université de Batna et responsable du laboratoire de l'électronique avancée (LEA). Je retiens du professeur **BOUGUECHAL** ses grandes qualités d'encadrement, n'a eu de cesse de m'encourager et de me soutenir durant ces dernières années. J'en profite pour lui exprimer ici ma plus profonde gratitude.*

*Mes vifs remerciements à **Mme. Farida HOBAR**, professeur à l'université de Constantine, pour avoir accepté de présider le jury et à bien voulu prendre le temps de s'intéresser au sujet de la présente thèse.*

*Je tiens à remercier vivement **Mme. Saida LATRECHE**, professeur à l'université de Constantine, **Mr. Abdelhamid BENHAYA** professeur à l'université de Batna, **Mr. Abdelhamid OUNISSI**, professeur à l'université de Batna et **Mme. Saida REBAI**, professeur à l'université de Constantine d'avoir fait partie du jury en qualité d'examineurs et pour m'avoir honoré par leurs présences au jury.*

*Je remercie également mes collègues devenus amis, **Barra Samir**, **Abdelghani DENDOUGA**, **fateh moulahcene** et **imade ben nasser** ; pour tout ce qu'ils m'ont permis d'apprendre et bien plus encore. Je remercie également mes amis proches pour avoir toujours été là. Je remercie aussi les gens que j'ai pu côtoyer durant mes années de thèse qui ont contribué de près ou de loin le long de mes études et recherches scientifiques.*

Enfin, je dois une dette certaine à ma famille et à mes parents, qui ont été mes plus fidèles supporteurs et qui m'ont aidé à traverser cette période.



Hanfoug salah

Abstract

In this thesis, a new version of non-ideal model 8 bit Successive Approximation Registers and pipeline Analog to Digital Converters (ADC) current mode (CM) have been developed. It is based on Matlab and Simulink environment with special focus given to the analog building blocks. Like current Sample-and-Hold(S/H), digital to analogue converter (DAC), comparator and the current amplifier. For the current S/H and DAC, they are implemented by using a switch current and current source. The main advantage of current mode approach is low power dissipation, low cost and high speed. However, there are some technical limitations; using the model and running the simulation with the introduction of the main non idealities components such as a current offset, clock feed through, charge injection, clock jitter, switching noise, mismatch errors and non idealities in current amplifier, and demonstrated a clear degradation of the performance of the ADC.

Keywords: Analog to digital converter, digital to analogue converter, current mode, current sample and hold, comparator, amplifier, Modeling, pipeline, SAR.

Résumé

Dans cette thèse une nouvelle version des modèles comportementaux des convertisseurs analogique numérique (CAN) 8 bits de type registre à approximation successive (SAR) et pipeline mode de courant (MC) ont été développées, sachant qu'on a utilisé la technique mode de courant pour réaliser ce type de convertisseurs avec l'implémentation des transistors CMOS seulement. Ceci a été conçu en employant l'environnement de MATLAB, avec une focalisation détaillée sur les blocs constitutifs analogiques du convertisseur, Comme échantillonneur-bloqueur MC (E/B), le convertisseur numérique analogique (CNA), le comparateur et l'amplificateur. Pour le E/B MC et sous-CNA, ils sont mis en application en employant des commutateurs et des sources de courant. En analysant les résultats de simulation pour les deux modèles où les composants non idéal les plus importants sont pris en compte (le phénomène de «clock feedthrough », le phénomène de charges injectées, le bruit de commutation, le bruit de scintillation « flicker noise », l'offset de l'entrée de l'OPAMP et de comparateur), il a éclairé comment les paramètres du convertisseur sont affectés considérablement par les sources non idéales.

Les mots clés : convertisseur analogique numérique, convertisseur numérique analogique, commutateur, comparateur, amplificateur, échantillonneur bloqueur, modélisation, mode de courant, pipeline, SAR.

Table des matières

Introduction générale	01
Chapitre I: Théorie de la conversion analogique numérique	
I.1.Introduction	05
I.2.Théorie de traitement du signal	06
I.3 le principe de conversion	07
I.3.1 Le filtrage	08
I.3.2 L'échantillonnage	09
I.3.2 La quantification	10
I.4 Les spécifications des CANs	11
I.4.1 Les caractéristique statique des CANs	11
a) L'erreur d'offset et de gain	11
b) La Non-Linéarité Différentielle (DNL)	12
c) La Non-Linéarité Intégrale (INL)	13
I.4.2 Caractéristiques dynamiques des CANs	13
a) LE SNR (le rapport signal sur bruit)	13
b) SNDR (Le rapport signal sur bruit et le rapport de distorsion)	14
c) SFDR (La gamme dynamique utilisable)	14
d) THD (Le taux de distorsion harmonique)	14
e) ENOB (Le nombre de bits effectifs)	15
I.5. La topologie des convertisseurs	15
I.5.1. Architecture Flash	15
I.5.2. Architecture à approximation successive (SAR)	16
I.5.3. Architecture Pipeline	17
I.5.4. Architecture Sigma-Delta	19
I.5.5. Convertisseur pipeline cyclique	19
I.5.6. Architecture Wilkinson	20
I.6. Comparaison des architectures des CANs	21
I.7. Le domaine d'application des CANs	23
I.8. Conclusion	24

Chapitre II: l'approche mode de courant (MC)

II.1.Introduction.....	25
II.2.Evolution et Motivation de Technique mode de courant	26
II.3.Les circuits analogique mode de courant.....	27
II.3.1.convoyeur de courant (C.C).....	27
a)Convoyeurs de courant de la première génération (CCI).....	27
b)Schéma de principe du CCI+.....	28
c)Convoyeur de courant de la seconde génération CCII	29
d) Schéma de principe du CCII+	30
II.3.2.Convertisseur tension-courant et courant-tension	31
II.3.3 Comparateur mode courant	32
a) comparateur de courant Original	33
b) simple comparateur à faible courant à grande vitesse	33
c) comparateur courant à grande vitesse à base de convoyeur	35
d) Comparateur courant différentiel à base de convoyeur	35
II.3.4 Amplificateur mode de courant.....	36
a) Amplificateur miroir de courant	37
b) Amplificateurs de courant en boucle ouverte.....	39
c) Amplificateur de courant à deux étages	41
d) Amplificateur opérationnel de courant de basse charge	41
d) Amplificateur opérationnel courant de rétroaction de tension	42
II.3.5 Le circuit échantillonneur bloqueur	44
II.4 Conclusion	45

Chapitre III: Modélisation du convertisseur analogique numérique SAR.

III.1.Introduction.....	46
III.2.L'architecture du convertisseur A/N SAR	47
III.3.Le modele comportemental du CAN SAR.....	48
III.4.Le modele comportemental non-idéal du CAN SAR	49
III.4.1.La non-idéalité du circuit E/B.....	49
a). La phénomène d'injection des charge	50
b) phénomène de clock feedthrough	51
c) les erreur sur l'instant d'échantillonnage	52
d) le bruit de scintillation ou bruit en 1/f	53

e) le bruit thermique	54
f) l'erreur de temps d'établissement	55
III.4.2.le modele du comparateur	55
III.4.3.le registre à approximation successive	56
III.4.4.l'encodeur thermométrique 4 à 15	57
III.4.5.le modèle du DAC MC	57
a) La non-idéalités du DAC MC	59
b).Les analyse de disparité	60
III.5.Les résultats des simulations	61
III.5.1.Les performance dynamique.....	62
III.5.2.Les performance statique	64
III.4.Conclusion	67

Chapitre IV: Modélisation du convertisseur analogique numérique pipeline

IV.1.Introduction	68
IV.2.L'architecture du convertisseur pipeline A/N MC	69
IV.3 Principe de fonctionnement de CAN pipeline	70
IV.4 Le Modèle comportemental du CAN Pipeline	71
IV.4.1 Modèle 1.5 SUB-ADC	71
IV.4.2 Modèle du 1.5 SUB-DAC	72
IV.4.3 Correction d'erreur numérique (DEC).....	73
IV.5 Les facteurs non idéal du CAN pipeline MC	75
IV.5.1 Non idéalités dans le circuit échantillonneur bloqueur	75
a) Temps de stabilisation.....	76
b) L'injection des charges et la traversée d'horloge.....	77
IV.5.2 Non idéalités dans le comparateur MC	77
IV.5.3 Les non-idéalités de l'amplificateur opérationnel	78
a) Techniques de compensation de disparité	78
b) Le bruit à l'op-amps MC.....	80
IV.5.4 Bruit au transistor CMOS	81
a) bruit de grenaille (shot noise)	81
b) bruit thermique ou bruit KT/C.....	82
c) Le bruit de scintillation ou le Bruit en 1/f (flicker noise).....	84
IV.5.5 Non idéalités des commutateurs	85

IV.6 Les résultats des simulations	86
IV.7 Conclusion	90
conclusion générale	91
Bibliographie	94

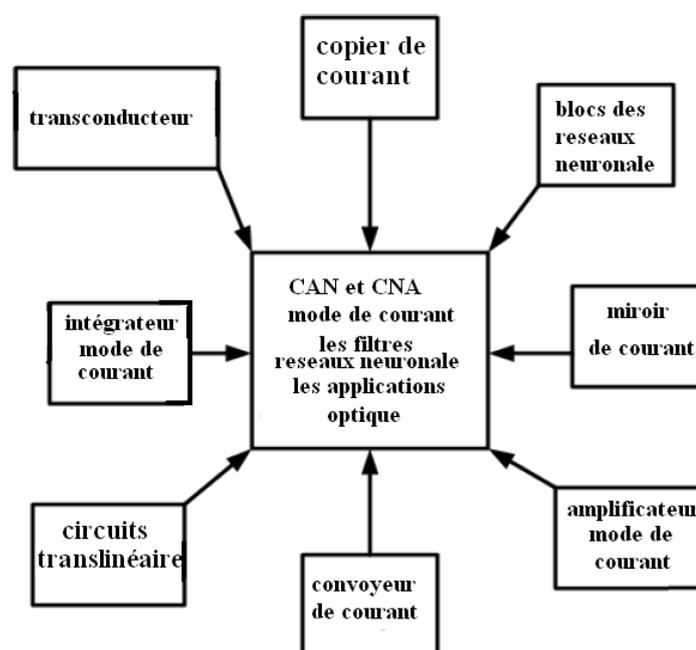
Introduction générale

Aujourd'hui avec l'avancement technologique dans le domaine d'intégration à très grande échelle (Very Large Scale Integration), L'augmentation énorme de l'architecture et de la complexité des circuits intégrés analogique, numérique et mixte avec une variabilité fonctionnelle importante, nous nous attendons donc à voir plus de 12 milliards des transistors par puce lorsqu'on utilise une technologie 20nm standard [1], des milliards des transistor dans les unités de traitement graphique (GPU) et dans les microprocesseurs à usage général [2-3], Se situe dans le contexte des systèmes sur une puce ou SoCs (system on chip) ces systèmes complexes peuvent intégrer des convertisseurs analogique numériques et /ou numérique analogique, du traitement numérique , des blocs radiofréquences, les circuits intégrés à application spécifiques ou ASIC (application specific integrated circuit), et les applications spécifiques à des pièces standard (ASSP), les ASICs et ASSP sont des circuits intégrés qui ont été conçu exclusivement pour une application particulière bien déterminée sont développés vers l'intégration d'un nombre de plus en plus important de fonctions diverses et complexes avec des performances très exigeantes [4].

La recherche dans ce domaine est orientée vers la conception des circuits intégrées basse tension LV (Low Voltage) et de basse puissance LP (Low Power). Particulièrement pour les systèmes portatifs où une basse tension d'alimentation produite par une batterie unicellulaire est employée. En effet, beaucoup d'attentions ont été portées sur la réduction de la tension d'alimentation ainsi qu'à la dissipation de puissance dans les circuits intégrés en technologie CMOS analogiques et mixtes. Cette réduction, principalement dictée par le besoin croissant de dispositifs et d'accessoires microélectroniques portatifs, est en train d'amener les dispositifs CMOS au point de blocage. Il n'est pas question d'arrêter le développement des technologies CMOS, en plus, Beaucoup d'efforts ont été mis dans la réduction de la tension d'alimentation et la consommation d'énergie des circuits mixtes. Cependant, la diminution de la tension d'alimentation n'est pas forcément un avantage dans la conception analogique puisqu' elle entraîne certaines limites à savoir; le bon fonctionnement des commutateurs analogiques, la réduction de la plage d'entrée du circuit et la complexité à faire opérer les transistors dans leur région optimale. Ce qui nécessite de mettre en application des nouvelles stratégies de conception des circuits avec faible coût en technologie CMOS. En effet,

L'approche mode-courant (MC) a beaucoup d'avantages en comparaison avec la technique mode tension.

La figure ci-dessous montrée les blocs des circuits et des applications MC qui sont illustrées et adaptées par [5], Certains blocs constitutifs incluent les copieurs de courant qui agissent en tant que mémoires de stockage, les intégrateurs de courants commutés utilisent dans des filtres, les circuits translinéaire emploient les propriétés non linéaires des transistors à jonction bipolaires (BJTs) autant que les transistors effet de champ d'oxyde métallique (MOSFETs) dans l'inversion faible pour produire des signaux requièrent [6].



Les différents blocs constitutifs pour les systèmes MC sont décrits ci-dessus. Ces blocs sont employés dans les applications telles que : les filtres, les systèmes optiques et les réseaux neurologiques, et les convertisseurs analogique numérique CAN.

Les CAN sont des composants essentiels qui assurent la communication entre les signaux analogiques externes et la puce électronique numérique [7], la conception des CAN ou CNA avec des performances élevées présente des défis difficiles comme la vitesse de fonctionnement très élevée, consommation d'énergie, occupation moins d'espace sur la puce et des résolutions plus élevée. Face à tous ces défis, plusieurs architectures des CAN ont été développées afin d'optimisées les caractéristiques des convertisseurs, ils sont modélisés dans un environnement générique tel que le Simulink ou en utilisant un langage dédié à modéliser les composants de signal mixte comme VHDL-AMS [4], À cet effet la technique MC a

apporté beaucoup des solutions pour optimiser les performances des CAN (la compatibilité entre la tension d'alimentation, consommation de puissance, la rapidité de fonctionnement et occupation moins d'espace sur la puce de silicium....).

Les CANs (pipeline et SAR) mode de tension emploient généralement des condensateurs dans la partie de circuit CNA. Ceci élève deux thèmes principaux; le premier est le besoin de grand espace sur la puce et la deuxième issue est longue temps de stabilisation. De plus la dissipation d'énergie dans les convertisseurs mode de tension est principalement du CNA [5], Pour cette raison, les CANs MC (SAR et pipeline) sont conçus avec l'utilisation seulement des transistors CMOS, pour diminuer l'effet du long temps de stabilisation et de la dissipation d'énergie. D'ailleurs, aucun condensateur utilisé dans le CNA est peut être rendu ainsi très petit comparé au convertisseur mode de tension.

L'objectif principal de ce mémoire est la conception des convertisseurs 8 bits mode de courant de type registre à approximation successive (SAR) et pipeline en technologie CMOS, tel qu'on a proposé des nouveaux modèles avec l'introduction des facteurs non-idéaux pour les deux types, les modèles sont mis en application dans l'environnement de Matlab et Simulink, les blocs principaux de CAN MC-SAR sont les échantillonneurs bloqueurs, les comparateurs MC, registre de logique de SAR, décodeur et convertisseur numérique analogique MC. Pour le CAN pipeline MC une nouvelle version du model a été développée, sachant que des études focalisent principalement aux blocs constitutifs analogiques, Ces blocs sont échantillonneur-bloqueur MC (E/B), le sous-CAN, le sous-CNA, le sous-CAN est conçu par deux comparateurs et circuit encodeur. Pour les circuits E/B et sous-CNA MC, ils sont mis en application en employant des commutateurs et des sources de courant. Les différents blocs analogiques de base des deux types de convertisseur (SAR et pipeline) sont soumis à plusieurs non-idéalités qui dégradent considérablement les performances des convertisseurs. Les facteurs non idéaux principales qu'ils sont introduit : le phénomène de clock feedthrough, le phénomène de la charges injectées, le bruit de commutation, le bruit de scintillation (flicker noise), l'offset de l'entrée de l'OPAMP et le comparateur, et le bruit thermique.

Ce manuscrit comporte quatre chapitres dont nous introduisons une brève description comme suite :

Après une introduction générale, Le premier chapitre dresse un état de l'art des convertisseurs dans la technologie CMOS en exposant les théories de conversions des données et différente type de convertisseurs. Le second chapitre expose principalement sur

l'approche mode de courant, le principe et l'évolution de l'approche et on a conclu ce chapitre par quelques types des circuits MC. L'objet du troisième chapitre est présenté le modèle comportemental du convertisseur SAR MC qu'inclus la plupart des facteurs de bruit et les imperfections des différents blocs. Enfin, le quatrième chapitre présente le modèle comportemental du convertisseur pipeline MC avec une étude détaillée sur les différentes sources des erreurs.

Chapitre I

Théorie de la conversion analogique numérique

I 1 Introduction

Les convertisseurs analogiques numériques (CANs) sont des composants essentiels qui assurent la communication entre les signaux analogiques externes et l'électronique numérique. Un CAN est un système qui permet de prélever périodiquement des échantillons d'un signal analogique provenant du monde macroscopique qui nous entoure, et les quantifier [8]. Beaucoup de systèmes ont été complètement converti en numérique, le monde réel est toujours principalement analogique. Le monde réel n'observe pas les signaux binaires mais les signaux plutôt continus tels que la voix, la température, couleur, mouvement,.... etc. En effet, il est important de pouvoir collecter des informations analogiques, les traiter, et les commander. Par conséquent, afin de se connecter par interface des systèmes numériques aux mondes réels analogiques diverses formes des convertisseurs de données sont exigées. CAN et les convertisseurs numériques-analogique (CNA) sont exigés dans chaque système de ces interfaces au monde normal. Les CAN ont des applications dans les communications, systèmes industriels à régulation de processus, d'instrumentation, et presque chaque domaine où les signaux analogiques sont présents.

Le développement des CANs suit étroitement le développement de la micro informatique. Jusqu'aux années quatre-vingt-dix les CANs sont devenus de plus en plus rapides, de moins en moins encombrants, des nouvelles architectures sont apparues [9], Et en raison du grand nombre des différentes applications CAN ont évolué à une grande variété. Les paramètres de conception peuvent inclure la vitesse de conversion, la résolution, la dissipation de puissance, les dimensions physiques, fiabilité, il est alors devenu possible de classer les architectures en fonction de leur domaine d'application.

Dans ce chapitre on a présenté une introduction sur les systèmes des convertisseurs analogique-numérique. Avant on a fournit des théories sur le système de conversion et traitement de signal dans les section 2 et 3, Les caractéristiques statiques et dynamique des CANs décrit dans la section 4, et avant la conclusion l'état de l'art des CANs est discuté dans la section 5.

I.2 Théorie de traitement du signal

Un signal numérique est discret en termes d'amplitude et temps, ces deux fonctions principales sont nécessaires pour obtenir un signal numérique, L'échantillonnage pour réaliser le temps discret avec une fréquence d'échantillonnage f_s et la Quantification pour réaliser l'amplitude discrète avec un pas de quantification q .

La figure (I.1) montre l'opération d'échantillonnage tel qu'il consiste de maintenir la valeur de signal d'entrée analogique pendant une durée fixe reconnais la période d'échantillonnage, cette opération est fait par le circuit échantillonneur bloqueur (E/B), la période d'échantillonnage T_{ech} est fixée selon le critère de Nyquist ou le théorème de Shannon la valeur de la fréquence d'échantillonnage doit être au moins égale au double de la composante fréquentielle maximale du signal analogique afin d'obtenir à la sortie de CAN un code numérique le signal analogique d'entrée.

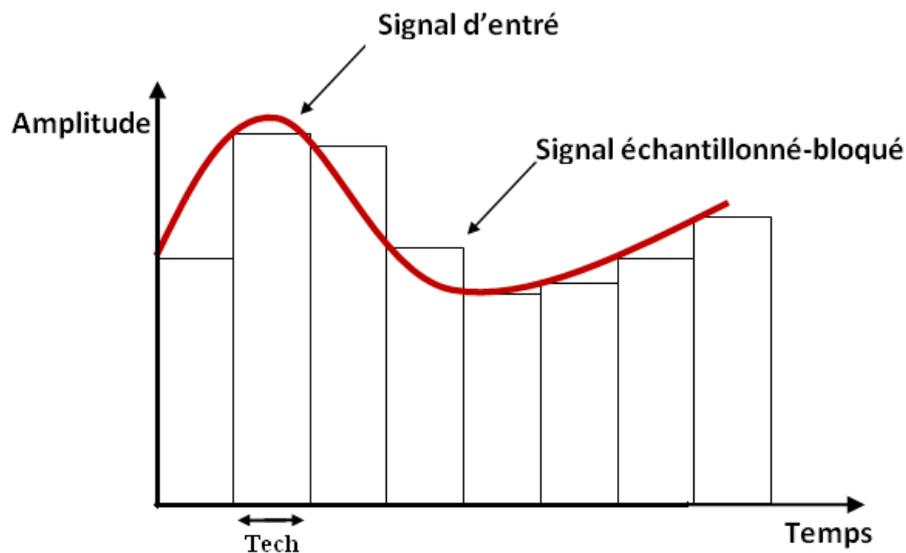


Figure (I.1) échantillonnage blocage d'un signal continu.

La quantification d'amplitude change un signal échantillonné du niveau continu en niveau discret avec des codes binaires. Un CAN est caractérisé par deux paramètres fondamentaux, le nombre de bits ou la résolution et la dynamique d'entrée ΔV_{in} , La dynamique du quantificateur est divisée en un certain nombre des intervalles égaux de quantification. Souvent la valeur représentant un intervalle de quantification est le point médian de l'intervalle, et dans certains cas la valeur supérieure ou inférieure de l'intervalle. Le quantum q ou LSB (less significant bit) étant la dimension de ces plages est donnée par la relation [10].

$$q = \Delta v_{in} / 2^N - 1 \quad (1.1)$$

De plus, nous désignons par VLSB le changement de potentiel entre 2 niveaux de décision du CAN, sachant que

$$V_{LSB} = \frac{2V_{IN}}{2^N} \quad (1.2)$$

OU V_{IN} est l'amplitude absolue de la tension d'entrée. La relation entre le signal d'entrée analogique et le mot binaire en sortie est reprise par l'équation

$$V_{INDYN}(b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}) = V_{IN} + V_{err} \quad (1.3)$$

Ici, V_{INDYN} c'est la plage dynamique de la tension d'entrée, b_1 est le bit le plus significatif (most significant bit – MSB) et b_N le moins significatif (least significant bit – LSB) du mot binaire généré par le CAN. L'équation précédente décrit le comportement du convertisseur dans le cas où la quantification n'est pas idéale et qu'il y a une certaine erreur (V_{err}) sur chaque conversion du signal V_{IN} . Cette erreur génère ce qu'on appelle le bruit de quantification [11].

I.3 Le principe de conversion

Un CAN accomplit la quantification des signaux analogiques dans un certain nombre de niveaux avec temps discret et amplitude quantifiée [12]. Le schéma fonctionnel de base d'interface du CAN est montré dans la figure (I.2) [13]

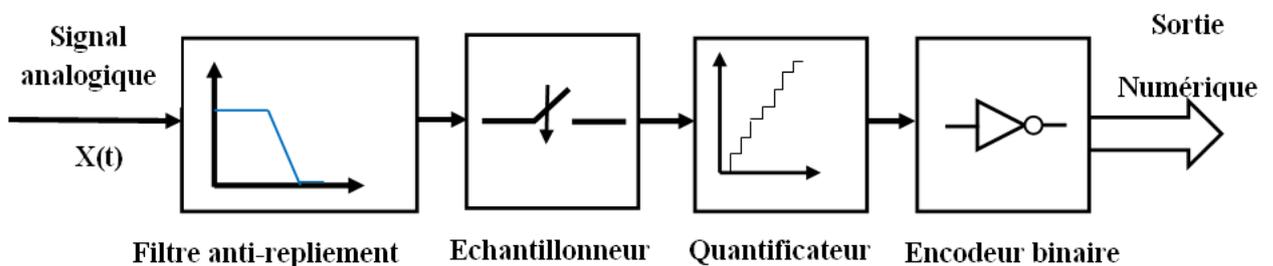


Figure (I.2) les blocs fondamentaux comprenant la CAN.

Comme montré sur la figure (I.2) il y a quatre blocs fondamentales dans le processus de conversion analogique numérique, le signal analogique original est filtré par un filtre passe-bas afin d'enlever tous les composants à haute fréquence (les composantes qui se trouvent au-dessus de la moitié de la fréquence d'échantillonnage), L'échantillonneur après le filtre anti-repliement transforme le signal d'entrée continu en son équivalent en temps discret, Le signal échantillonné est quantifié dans l'amplitude et codé en code binaire de N bits. Un quantificateur idéal de N-bit divise La dynamique maximale ou Pleine Échelle (PE) en 2^N niveaux uniformes, la figure (I.3) présenté la fonction de transfert d'un CAN 3 bits.

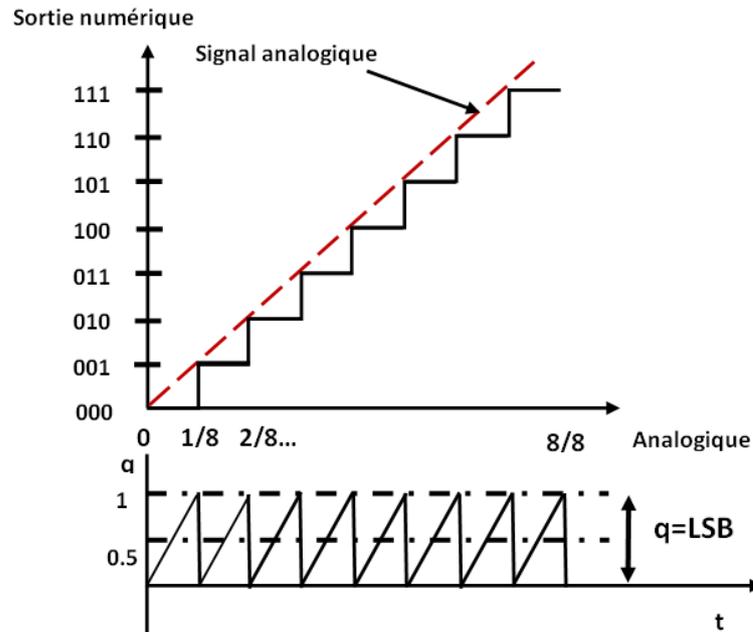


Figure (I.3) Représentation de la fonction de transfert idéale d'un CAN et de son erreur de quantification.

L'erreur de quantification est présentée dans la figure (I.3) par une fonction en dent de scie. Cette erreur est définie comme la différence entre l'entrée analogique réelle et la valeur quantifiée (escalier). Pour un signal analogique d'entrée le CAN fait correspondre le signal analogique D_{num} telle que [13]

$$D_{num} = q \cdot [b_{n-1} 2^{n-1} + \dots + b_1 2^1 + b_0 2^0] \quad (1.4)$$

Dans le cas idéal, le maximum de q ne sera pas plus grand que 1 LSB et ne doit être jamais nul, il est utilisé pour calculer le rapport signal sur bruit.

I.3 1 Le filtrage

Avant de réaliser l'échantillonnage d'un signal, nous avons vu la nécessité de filtrer ce dernier afin d'éviter ce que l'on appelle le repliement de spectre, plus connu sous la forme du théorème de Shannon. Idéalisé, il doit avoir un gain avec une valeur du « 1 » sur une bande de fréquence F_c (figure (I.4)), centrée en zéro. Son rôle va être de limiter le contenu spectral du signal à la partie utile. Il va participer aussi à limiter l'influence du bruit éventuellement présent sur le signal à numériser.

De manière idéal, un filtre passe bas aura un gain constant dans la bande passante, et présentera une coupure infinie au-delà de sa fréquence F_c de coupure (figure (I.4)). De manière réelle, on est amené à réaliser la synthèse d'un filtre en définissant sa fréquence de coupure à -3db ainsi qu'une atténuation minimum au-delà d'une certaine fréquence.

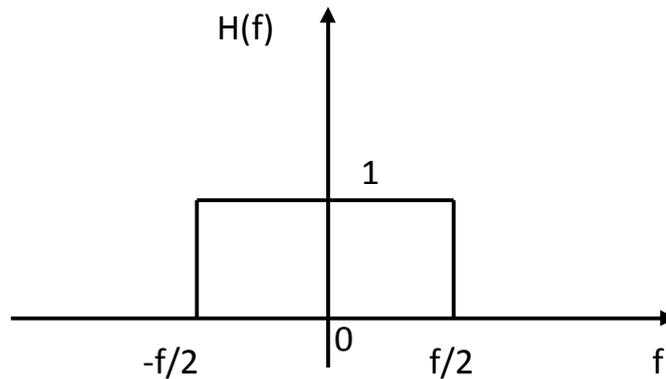


Figure (I.4) Filtre passe bas

En général on fait un appel, dans le cadre d'un filtre anti-repliement, à un filtre du type Butterworth

$$H(f) = \frac{1}{\sqrt{(1 + \frac{f^{2n}}{f_c^{2n}})}} \quad (1.5)$$

Ce type de filtre présente l'avantage de répondre au critère de maximum de platitude dans la bande passante et de présenter un retard de groupe constant jusqu'à $f_c/2$.

I.3.2L'échantillonnage

Le processus de transfert d'un signal continu dans le temps à un signal de temps discret s'appelle l'échantillonnage. Quand le signal est échantillonné, des informations sont perdues, puisque le signal n'est plus représenté par une valeur à chaque instant. La quantité de l'information qui est perdue dépend du choix de la fréquence d'échantillonnage, en relation avec la fréquence du signal échantillonné. Le procédé d'échantillonnage peut seulement traiter l'information de processus qui est jusqu'à la moitié de la fréquence d'échantillonnage, appelé la fréquence de Nyquist. S'il y a contenu de fréquence dans le signal qui est plus haut que la fréquence de Nyquist elle devrait être filtrée avec un filtre passe-bas, afin d'éviter le phénomène de repliement. Comme illustré sur la figure (I.5), on peut considérer que le processus d'échantillonnage revient mathématiquement à multiplier le signal analogique $x(t)$ par une suite d'impulsions de Dirac $\delta_{T_e}(t)$ de période T_e , appelé "peigne de Dirac". C'est-à-dire un train d'impulsions placées aux instants d'échantillonnage. Le signal échantillonné $x_e(t)$ peut alors être représenté par l'expression

$$X_e(t) = X(t)\delta_{T_e}(t) = \sum X(t)\delta_{T_e}(t - T_e n) \quad (1.6)$$

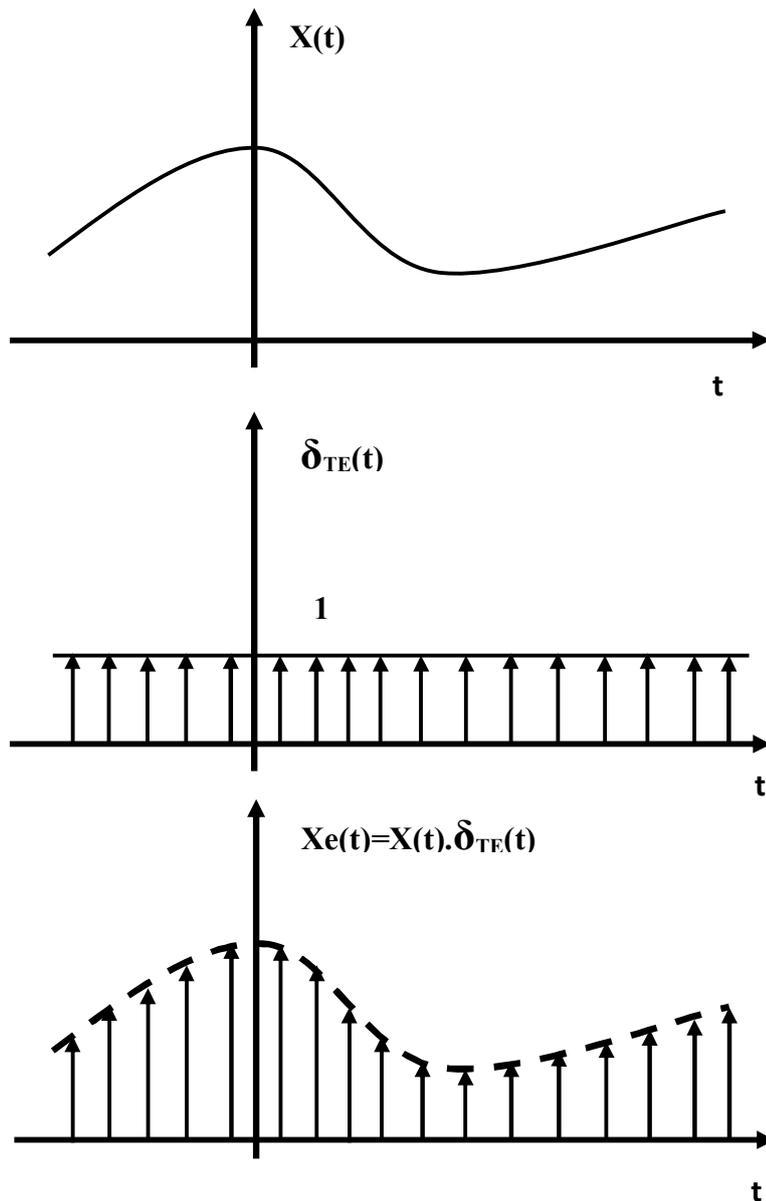


Figure (I.5) Échantillonnage d'un signal

I.3.3 La quantification

Le convertisseur A/N effectue la numérisation d'un signal analogique après échantillonnage et délivre des séquences numériques codées avec un pas de quantification q dépendant du nombre de bits du convertisseur comme on a vu dans le paragraphe précédent.

Nous venons de voir que l'opération de quantification remplace chaque valeur du signal prélevé à l'instant T_e par une approximation. C'est une opération non linéaire qui s'accompagne nécessairement d'une perte d'information et l'effet de cette approximation revient mathématiquement à superposer au signal d'origine $V_{in}(t)$ un signal d'erreur $e(t)$ que

l'on appelle le bruit de quantification. L'amplitude maximale de ce signal d'erreur est $E_Q = Q/2$, sa puissance moyenne P_Q donné par

$$P_Q = \frac{1}{\Delta t} \int_{-\Delta t/2}^{+\Delta t/2} e^2(t) dt = \frac{1}{\Delta t} \left(\frac{Q}{2}\right)^2 \frac{1}{3} 2 \left(\frac{\Delta t}{2}\right)^3 \quad (1.7)$$

Ce qui donne finalement le résultat bien connu

$$p_Q = \frac{E_Q^2}{3} = \frac{Q^2}{12} \quad (1.8)$$

I.4 Les spécification des CANs

Dans cette partie on a présenté les différents paramètres utiles qui est caractérisés par les performances d'un CAN, dans la littérature il y a plusieurs critères afin d'estimer les performances d'un CAN soit ses caractéristique dynamique comme le SNR (Signal-to-Noise Ratio), le SFDR (Spurious-Free Dynamic Range), le nombre effectif de bits (ENOB – Effective Number Of Bits) et la puissance consommée. Ou les caractéristiques statiques avec l'INL (Integral Non-Linearity) et la DNL (Differential Non-Linearity).

I.4.1. Les caractéristiques statiques des CANs

Les applications de grande précision des CANs exigent une très bonne caractéristique statique. Les mesures des performances statiques ou DC-linéarités les plus importantes des CANs sont l'erreur d'offset, erreur de gain, l'erreur intégrale de non-linéarité (INL) et l'erreur différentielle de non-linéarité (DNL).

a) L'erreur de l'offset et de gain

Une erreur d'offset change la caractéristique de transfert de sorte que tous les pas de quantification soient décalés par l'offset de CAN comme montré dans la figure (04) (b) qui défini la fonction de transfert d'un CAN, Il peut être mesuré en LSB ou en pourcentage de l'amplitude de signal, la figure (1.6) (b) montré l'erreur de gain, cette erreur représente une différence entre la fonction de transfert idéal et la fonction de transfert réelle, elle est exprimée en LSB. Ces erreurs (offset et gain) sont facilement corrigées par des techniques communes de conception.

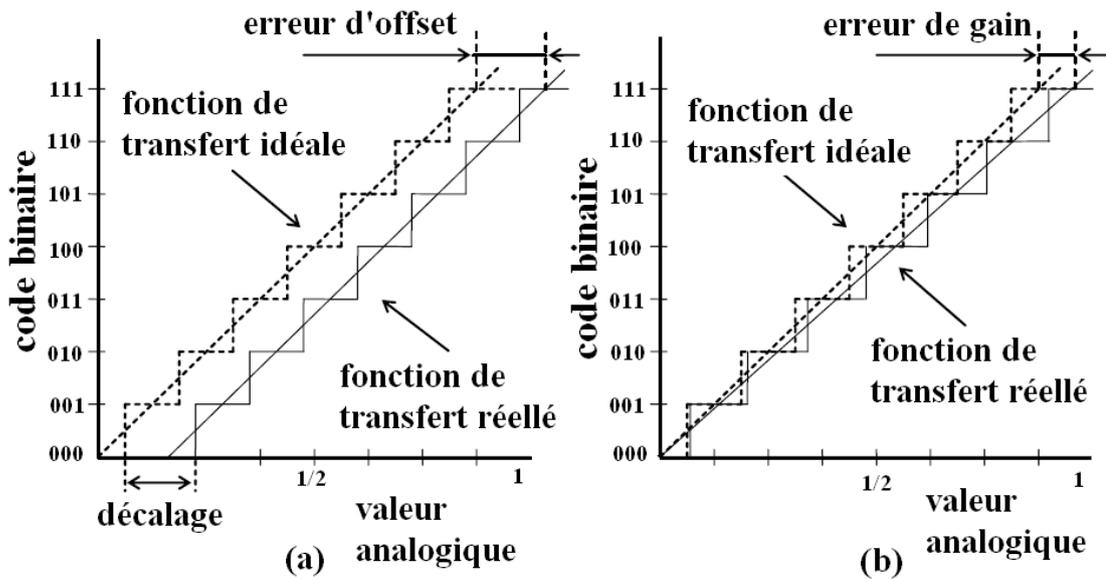


Figure (I.6) (a) l'erreur d'offset (b) l'erreur de gain.

b) La Non-Linéarité Différentielle (DNL)

DNL (Differential Non Linearity) est défini comme la différence entre une largeur réelle de l'intervalle des pas de la fonction de transfert de CAN et la valeur idéale de 1LSB comme montré sur la figure (I.7), est donnée par

$$DNL(i) = \frac{S(i+1) - S(i) - V_{LSB}}{V_{LSB}} \tag{1.9}$$

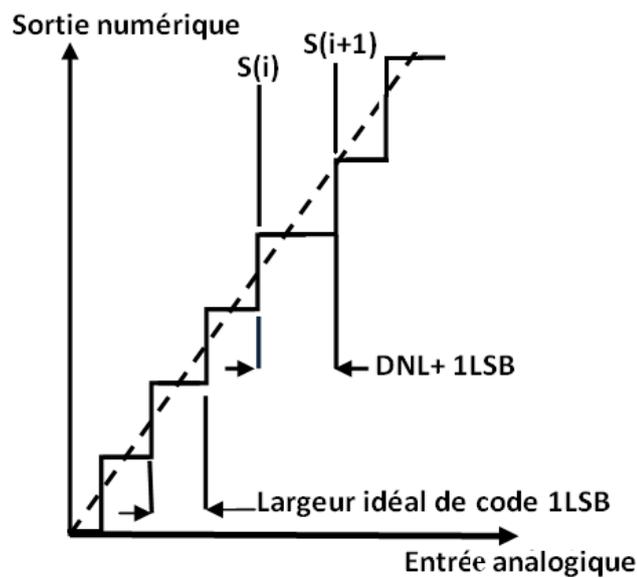


Figure (I.7) DNL dans un CAN.

c) La Non-Linéarité Intégrale (INL)

On peut définir INL (Integral Non Linearity) comme l'écart de la transition d'un code par rapport à la droite idéale comme montré sur la figure (I.8), est calculée à partir de la somme de tout les non linéarités différentielles d'un convertisseur. Après avoir corrigé l'offset et le gain, on mesure pour chaque pas, la différence des seuils de conversion avec leur valeur idéale. INL est la somme de toutes ces erreurs comme décrit par l'expression suivant.

$$INL_j = \sum_{i=1}^{j-1} DNL_i \quad (1.10)$$

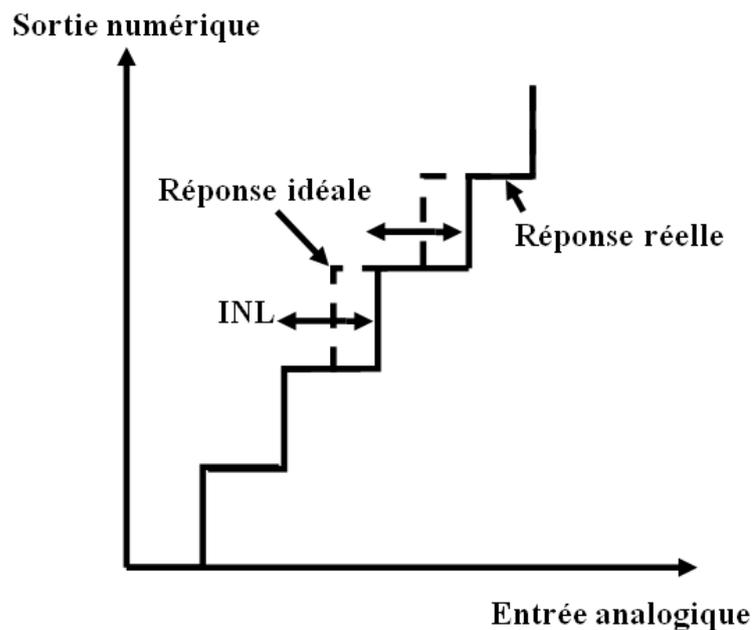


Figure (I.8) INL dans un CAN

I.4.2. Les caractéristiques dynamiques des CANs

Dans la deuxième section, nous allons décrire les principaux facteurs de mérite de type dynamique pour les spécifications des convertisseurs analogiques numériques. Ces facteurs de mérite sont des paramètres importants pour l'analyse des performances des CANs. De plus, ils serviront de critère de comparaison des différentes architectures que nous verrons par la suite.

Les facteurs de mérite de type dynamique sont discutés dans cette partie, on a les paramètres dynamiques que sont le SNR, la SFDR (Spurious- Free Dynamic Range), le nombre de bits effectif ou ENOB (Effective Number Of Bits) et également la puissance consommée.

a) LE SNR (Le rapport signal sur bruit)

La mesure du SNR peut se faire en effectuant une transformation de Fourier discrète (FFT) sur la réponse du CAN à un signal sinusoïdal ayant pour amplitude la dynamique

maximum du CAN [9-2], est définie par le rapport ; signal sur bruit correspond à la différence entre l'amplitude de l'harmonique du signal et la moyen de bruit, défini par la relation suivante

$$\text{SNR}_{\text{dB}} = 10 * \log\left(\frac{P_{\text{signal}}}{P_{\text{noise}}}\right) \quad (1.11)$$

Ainsi, dans le cas d'un signal sinusoïdal parcourant la pleine échelle du convertisseur, nous obtenons avec une quantification linéaire centrée un rapport signal sur bruit

$$\text{SNR}_{\text{dB}} = 6 n + 1.76\text{db} \quad (1.12)$$

Ce qui signifie qu'un bit de code rajoute 6dB à la SNR.

b) SNDR (Le rapport signal sur bruit et le rapport de distorsion)

La définition est semblable à celle du SNR, sauf que des limites non linéaires de déformation sont également prendre en considération, comme illustre par la relation (1.13), SNDR est expliqué par le rapport entre la puissance fondamental et les composants harmoniques de distorsion plus le bruit.

$$\text{SNDR}_{\text{dB}} = 10 * \log\left(\frac{P_{\text{signal}}}{P_{\text{noise}} + P_{\text{distortion}}}\right) \quad (1.13)$$

c) SFDR (La gamme dynamique utilisable)

La SFDR est très importante dans certaines applications de communication qui exigent la maximalisation de la dynamique du CAN. En effet, lorsque le signal utile est accompagné d'un signal perturbateur (qui peut lui-même être le signal utile) de forte amplitude, des raies parasites peuvent apparaître dans la bande utile. Ces parasites empêchent le CAN de convertir les petits signaux d'entrée car la distorsion peut avoir une amplitude nettement supérieure à celle de ces signaux, ce qui limite la dynamique du CAN, La mesure du SFDR est identique de la mesure de SNR, il est défini par le rapport entre la puissance de fréquence fondamental sur la bande de fréquence de Nyquist (-Fech/2, Fech/2)

$$\text{SFDR} = 10 * \log\left(\frac{A_1^2}{A_{\text{supr}}^2}\right) \quad (1.14)$$

d) THD (Le taux de distorsion harmonique)

La distorsion d'harmonique totale ou THD (total harmonique distorsion) est une estimation de la linéarité du convertisseur vis-à-vis du contenu harmonique du signal, Ou bien que, le taux de distorsion harmonique, définie comme le rapport de puissance des harmoniques et la puissance de l'harmonique fondamental, Il permet de caractériser la distorsion introduite par un CAN Il faut remarquer par ailleurs que la THD dépend de la

fréquence du signal de test utilisé. Si cette fréquence de test est à la limite de Shannon, la THD est nulle car toutes les harmoniques sont rejetées au delà de la bande passante du CAN.

e) ENOB (Le nombre de bits effectifs)

C'est le paramètre qui permet de caractériser les performances globales dynamiques d'un CAN, Sa définition est liée à celle du SINAD. Comme démontré par la relation suivante.

$$\text{ENOB} = \frac{\text{SNDR}_{\text{dB}} - 1.76}{6.02} \quad (1.15)$$

Ce nombre de bits théorique ENOB est en général plus faible que le nombre de bits matériel N de la conversion analogique numérique.

I.5 La topologies des convertisseurs.

Les CANs peuvent être classifiés dans deux groupes généraux : des CANs sur-échantillonnage (over sampling converters), et Nyquist (Nyquist rate converters). Le tableau I.1 décrit une comparaison entre les deux classifications des CANs.

Tableau I.1 Classes des architectures

Catégorie de convertisseurs	Vitesse faible, Grande précision (14-20 bits)	Vitesse moyenne, Moyenne précision (10-14 bits)	Vitesse haute, Basse précision (4-10 bits)
Nyquist	Intégrateur	Approximation Successive(SAR) Algorithmique	Flash Pipeline
Sur-échantillonnage	Sigma-Delta Sigma-Delta à bande-passante		

Les CAN de type sur-échantillonnage ou la fréquence d'échantillonnage est bien supérieure à la fréquence de Nyquist, le plus populaire de ce type des convertisseurs c'est le convertisseur sigma-delta, les CANs de type Nyquist peuvent être encore divisés en plusieurs sous-classes par leurs structures, comme sera présenter dans cette section.

I.5.1 Convertisseur flash

Ce type de convertisseur est caractérisé par un taux de conversion élevé dû a son architecture simple, Dans un CAN flash avec N bit il y a $2^N - 1$ comparateur, 2^N résistances et d'un encodeur comme présenté sur la figure (I.9), le signal d'entrée est comparé aux références des comparateur, puis le code thermometer obtenu en sortie des comparateurs est transformé en code binaire

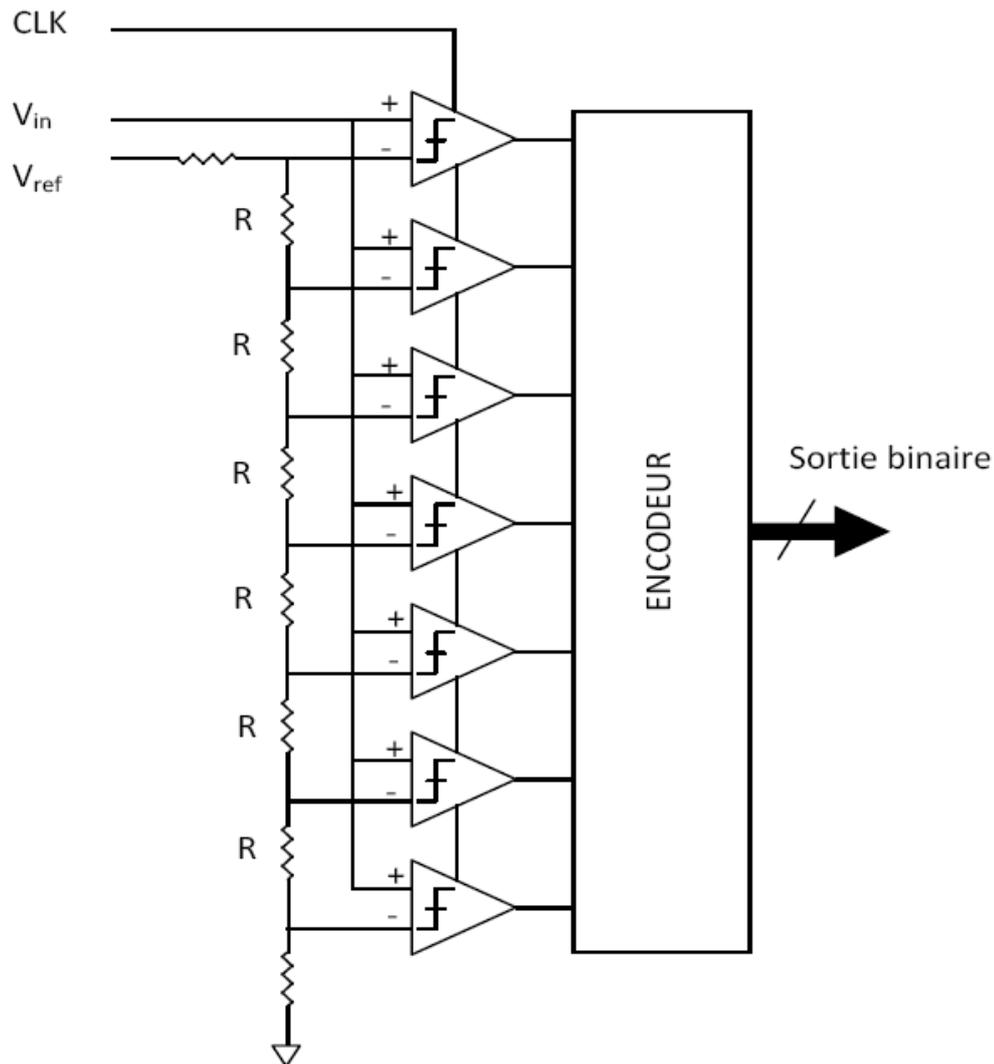


Figure (I.9) convertisseur flash

L'inconvénient du convertisseur flash est le fait que le nombre de comparateurs se développe exponentiellement avec le nombre de bit, qui augmente la dissipation de puissance et l'espace sur la puce. C'est pourquoi cette architecture est typiquement utilisée dans les systèmes à basse résolution.

I.5.2 Convertisseur à approximation successive (SAR)

SAR CAN c'est le plus populaire pour sa simplicité et son efficacité, ce genre de CAN est très utilisé pour les applications à résolution moyenne et vitesse moyenne. Plusieurs travaux ont été publiés concernant ce CAN [14], comme montré sur la figure (I.10), Ce type de CAN est composé d'un CNA, d'un seul comparateur et d'un bloc numérique correspondant au registre à approximations successives. En fonction de la commande numérique, le CNA génère une tension de seuil servant de référence de comparaison [15].

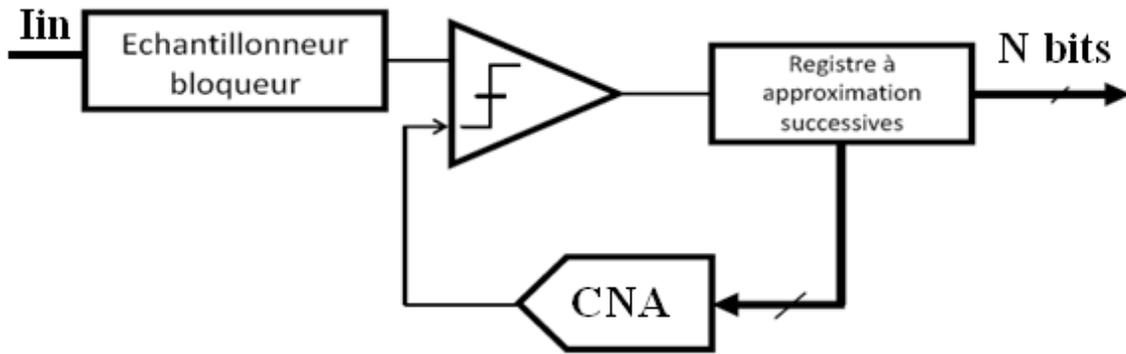


Figure (I.10) l'architecture du SAR.

La fonctionnalité de base d'un SAR est très simple, le principe de conversion est basé sur une recherche du code de sortie par dichotomie, nous pouvons le voir sur la figure (I.11), Ce type de convertisseur utilise en général un seul comparateur, ce qui correspond à la détermination d'un bit pour chaque coup d'horloge. L'avantage de ce type d'architecture d'être donc très simple puisqu'il n'a besoin que d'un comparateur et d'un CNA de N bits.

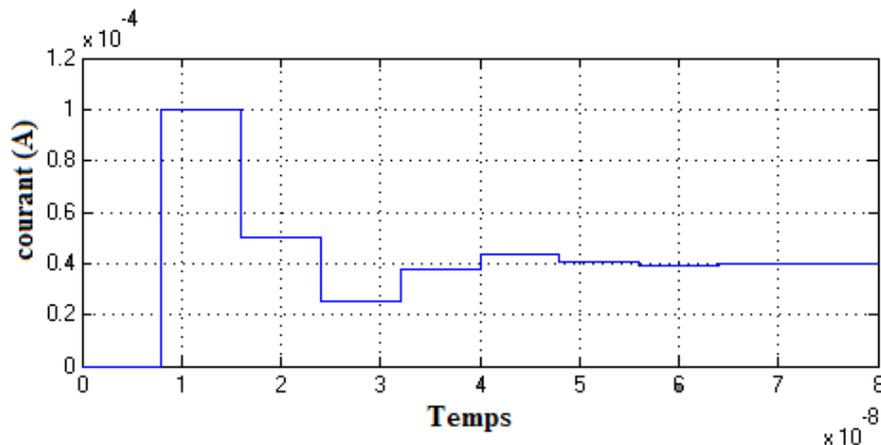


Figure (I.11) Principe de fonctionnement des convertisseurs SAR.

I.5.3 Convertisseur Pipeline

La figure (I.12) donne la topologie d'un CAN Pipeline [16-18] à N bits basé sur des étages élémentaires à 5 bit. Ce type de convertisseurs a été introduit pour réduire la taille et améliorer les performances du CAN flash (puissance, vitesse et large de bande). Les convertisseurs pipeline sont généralement mis en application avec 1 ou 2 bit par étage, toutefois les architectures plus de 2 bit par étage sont également disponibles dans la littérature [19]. Elle est composée d'une cascade d'étages dits pipeline identiques (ou presque identiques dans certains cas) de faible résolution, inclut au sein de chaque étage un circuit échantillonneur-bloqueur (Sample/Hold –E/B) et un circuit amplificateur. Le signal présente à

l'entrée de chaque étage est échantillonné et mémorisé dans une mémoire analogique et est grossièrement converti par un CAN de faible résolution (B_i+1 bits) [19], les différents blocs constitué à chaque étage sont présentés sur la figure (I.13), le résultat numérique est reconverti en tension analogique par le CNA, qui sera soustraite de la tension échantillonnée par E/B. Le résultat de cette différence, que l'on appelle résidu, est amplifié avant d'être envoyé sur l'entrée de l'étage suivant

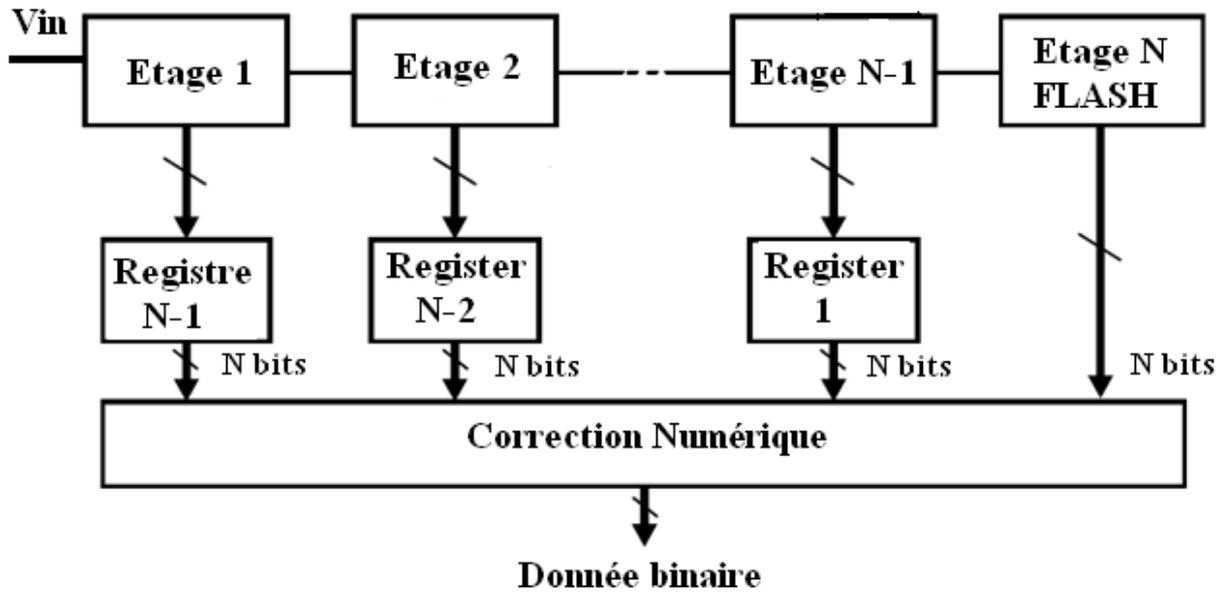


Figure (I.12) Architecture du convertisseur PIPELINE

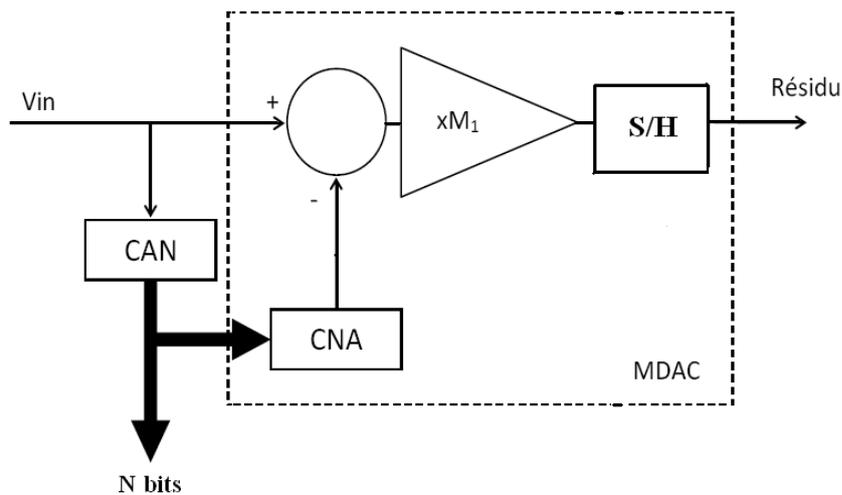


Figure (I.13) Architecture d'un MDAC

I.5.4 Convertisseur Sigma-Delta

Comme montre sur la figure I.14 dans sa forme la plus basique, Le convertisseur sigma-delta [20-21], est composé d'un intégrateur, un comparateur et un CNA à 1 bit. Ce type de convertisseur fondamentalement différent de celles que nous avons discuté précédemment.

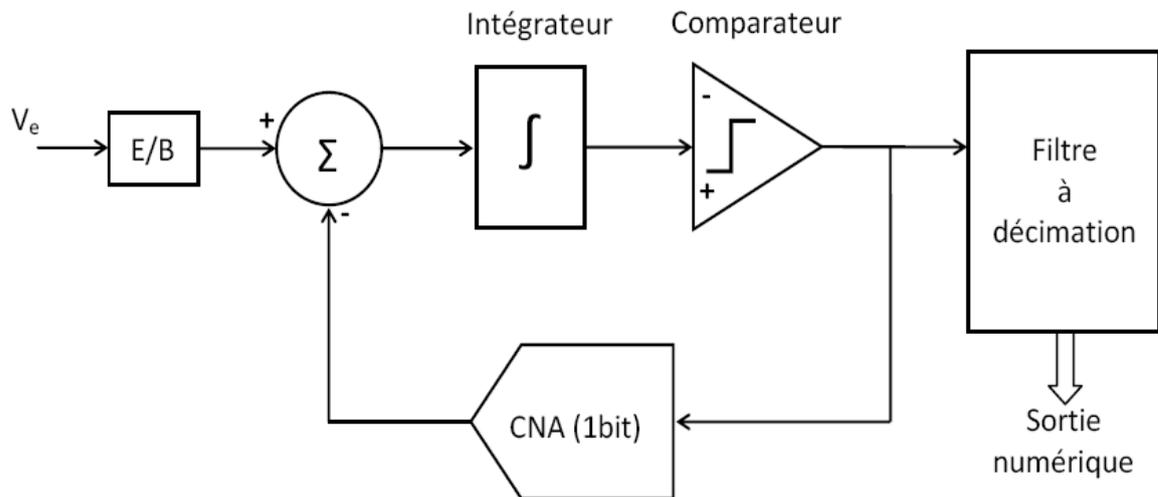


Figure (I.14) Architecture de CAN sigma-delta.

Le fonctionnement de cette architecture repose sur le principe du sur-échantillonnage [22], la différence entre la sortie du CNA et le signal d'entrée V_e intégré par l'intégrateur, le comparateur convertit ce signal en forme numérique, le CNA à 1 bit reconvertit le signal numérique en signal analogique, le signal résultat est soustrait du signal d'entrée, et ainsi de suite, le signal d'entrée caractérisé par une fréquence très basse par rapport à la fréquence de fonctionnement de la boucle fermée du convertisseur (principe du sur-échantillonnage), la sortie du CAN à 1 bit (comparateur) est une suite de uns et de zéros, et la valeur du signal est proportionnelle à la densité des « uns » venant du comparateur. Cette chaîne est ensuite filtrée par un filtre à décimation pour trouver la forme binaire en sortie du CAN [23].

I.5.5 Convertisseur pipeline cyclique

Ce type de convertisseur [24-25] est un convertisseur pipeline caractérisé par un seul étage rebouclé sur lui-même (figure (I.15)). Le principe de fonctionnement de CAN cyclique est semblable à celui du pipeline classique. Sauf que, les opérations sont effectuées par le même étage. L'avantage de ce type de convertisseurs est moins de surface occupée par le circuit du CAN : un seul étage. Par comparaison au CAN Pipeline. Par contre, la vitesse de conversion est divisée par le nombre de cycles à effectuer (fréquence d'échantillonnage est réduite), de plus la consommation équivalente est plus élevée que celle du pipeline classique.

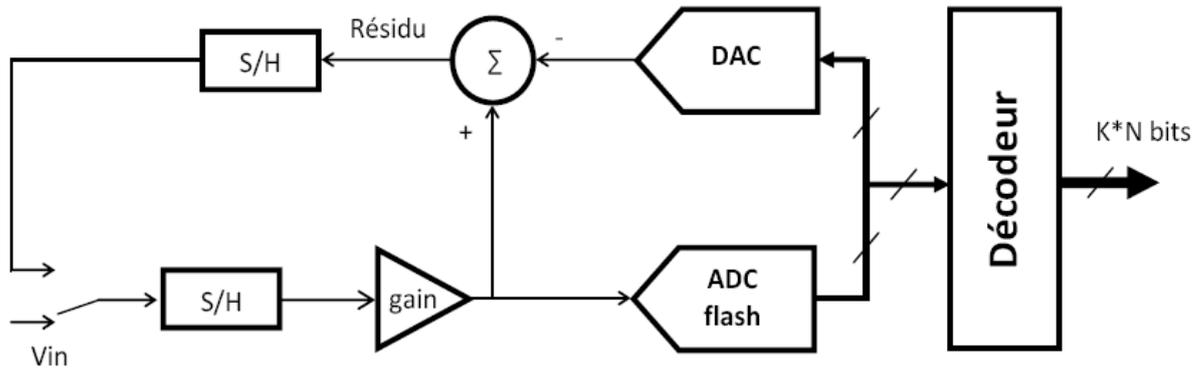


Figure (I.15) Schéma synoptique d'un convertisseur cyclique

I.5.6 Convertisseur de Wilkinson

L'architecture du convertisseur Wilkinson [26-27] est présentée dans la figure (1.16), ce type de CANs caractérisé par sa grande précision et sa consommation réduite, actuellement les applications évoluent, L'architecture Wilkinson reste cependant appréciée dans le domaine de la spectroscopie pour sa monotonie garantie ainsi que la faible valeur de son erreur de DNL [9].

Lors de conversion un compteur est généré dans une manière synchrone par la rampe analogique qui couvre toute la dynamique de conversion. La comparaison est faite entre la valeur de rampe et chaque incrémentation du compteur au signal à convertir, si la valeur de la rampe est supérieure à l'incrément du compteur, dans ce cas le compteur est arrêté par le basculement du comparateur, le code de sortie est donné par la valeur du compteur. La résolution de ce dernier détermine le nombre de bits du convertisseur.

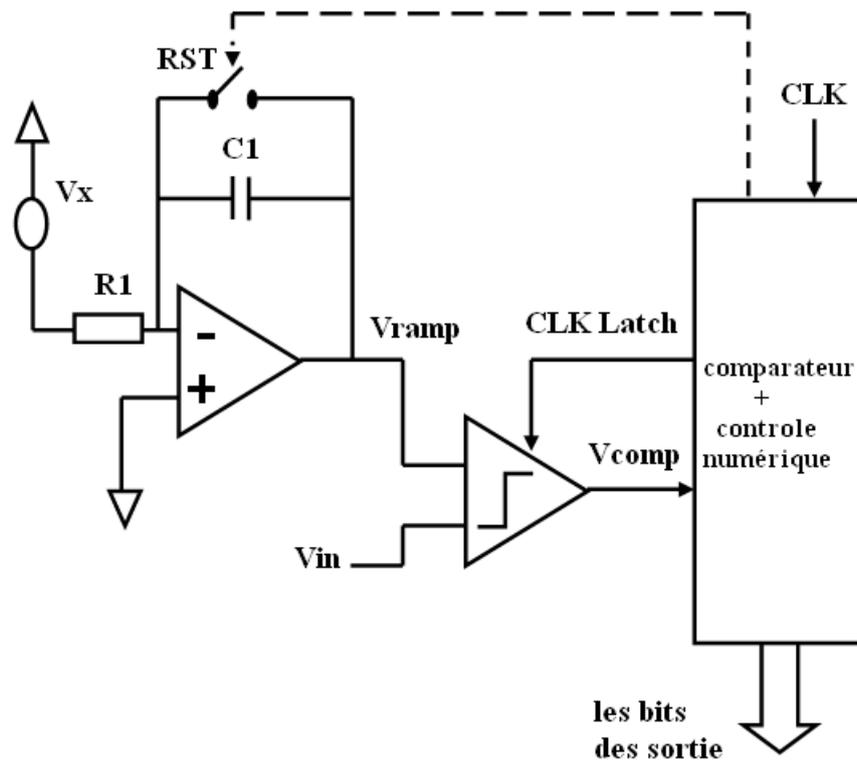


Figure (I.16) Architecture de CAN Wilkinson

I.6. Comparaison des architectures des CANs

Après la description des architectures des convertisseurs les plus utilisées dans différentes réalisations dans le domaine de l'électronique de conditionnement et de traitement des signaux et en rappelant les caractéristiques et spécifications des convertisseurs analogique-numérique en général, la comparaison entre ces architectures devient plus facile et compréhensible, Le tableau I-2 indique une comparaison qualitative de chacun des types de CAN. Chaque convertisseur présente un certain nombre d'avantages et d'inconvénients suivant les applications souhaitées, tels que la bande passante du signal, la fréquence d'échantillonnage, la surface et la consommation sont déterminantes dans le choix d'un convertisseur.

Tableau I.2: Résumé sur les architectures de CAN

Architecture	Résolution	Vitesse de conversion	Avantages /inconvénients
Wilkinson	8 à 18 bits	≤100KHz	↑ Simplicité ↑ Résolution élevée ↑ Faible consommation.

			<p>↑ Excellente réjection analogique du bruit</p> <p>↓ Très faible vitesse d'échantillonnage</p> <p>↓ Offset comparateur</p>
Sigma-Delta	16 à 24 bits	≤5MHz	<p>↑ Résolution la plus élevée</p> <p>↑ Excellente linéarité</p> <p>↑ Faible consommation</p>
			<p>↑ Excellente rejection numérique du bruit</p> <p>↓ Vitesse d'échantillonnage limitée</p>
PIPELINE	8 à 16 bits	Entre 10 et 500 MHz	<p>↑ Très rapide.</p> <p>↑ Correction numérique des erreurs</p> <p>↑ Meilleure compromis vitesse/résolution</p> <p>↓ Latence des données au démarrage</p>
SAR	8 à 16 bits	≤20MHz	<p>↑ Résolution élevée.</p> <p>↑ Faible consommation.</p> <p>↓ Vitesse d'échantillonnage limitée</p> <p>↓ CNA et comparateurs : principales difficultés.</p>
FLASH	6 à 10 bits	Jusque à 20 GHz	<p>↑ Les plus rapides</p> <p>↑ Résolution limitée</p> <p>↑ Capacité d'entrée élevée</p> <p>↓ Consommation très élevée</p> <p>↓ Puce de dimension importante</p>

I.7 Le domaine d'application des CANs

Comme on a vu précédemment il y a une série des architectures disponibles pour CANs offrant différents avantages et inconvénients. Les paramètres principale des CANs sont La précision de conversion, la vitesse, l'économie dans la complexité, l'espace et la dissipation de puissance, les largeurs de bande de signal (généralement entre 1HZ au GHZ), et les résolutions de la conversion (entre quelque bit à 24 bits). Les différentes applications exigent évidemment différents paramètres, ce paramètres sont varier considérablement entre les différentes type des convertisseurs. La figure (I.17) illustre la gamme approximative des conditions pour quelques systèmes communs utilisant des CANs [28].

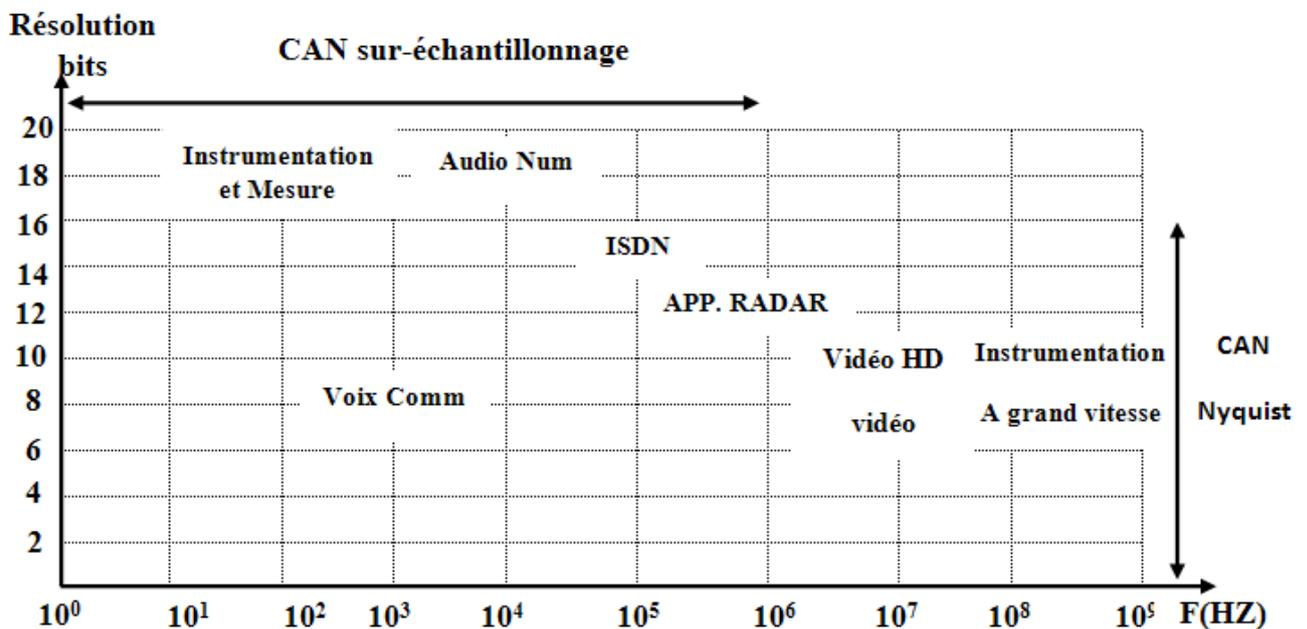


Figure (I.17) les résolution et la vitesse des CANs dans diverses applications

La plupart des applications des CANs aujourd'hui peuvent être classifiées dans quatre larges segments des applications: par acquisition de données, par mesure industrielle de précision, la bande d'acoustique et audio, et des applications à grand vitesse (impliquant des taux d'échantillonnage plus considérablement qu'environ 5 MSPS). Un pourcentage très grand de ces applications peut être occupé par les convertisseurs : successif-approximation (SAR), sigma-delta ($\Sigma-\Delta$), et CAN pipeline. Généralement les applications Contribuent à la sélection de l'architecture spécifique des CANs.

I.8. Conclusion

Dans ce chapitre, la théorie des convertisseurs analogiques numériques à été introduite, après la description sur théorie de traitement de signal, les différents paramètres statiques (INL, DNL) et dynamiques (SNR, SFDR) pour l'évaluation des performances des convertisseurs on été discuté, ensuite, les différentes architectures des convertisseurs les plus utilisé ont été présenté, et finalement une comparaison entre les différente architectures tel que On a constaté avec cette comparaison les limites des performances de chaque structure de Convertisseur, dans les deux chapitre 3 et 4 on va présenter une étude comportementale sur les convertisseur de type SAR et Pipeline MC.

Chapitre II.

L'approche mode de courant (MC)

II.1 Introduction

Avec le développement énorme de la technologie VLSI, qui demande un plus grand nombre de dispositifs (transistor, condensateur, résistance) sur une puce (system on chip), La recherche dans ce domaine est orientée vers la conception des circuits de basse puissance (LP) et basse tension (LV), particulièrement dans l'environnement des systèmes portables, où une basse tension d'alimentation donnée par une batterie unicellulaire. Ces circuits LV doivent montrer également une puissance d'énergie réduite pour maintenir une plus longue vie de batterie.

En fait la technologie d'intégration à objectif d'aller vers la conception des circuits intégré de basse puissance et de basse tension, qui sont largement utilisés dans des applications de système portatif [29-31], ce que nécessite de mettre en application les nouvelles stratégies de conception des circuits avec un faible coût en technologie CMOS.

Dans ce domaine les circuits technique mode de tension vont être substitués par la technique MC. Dans ces dernières années des études et des travaux ont été publiés démontrant que la conception des circuits analogique MC peut apporter des solutions à beaucoup de problèmes, comme la compatibilité entre la tension d'alimentation, consommation de puissance, la rapidité de fonctionnement et occupation moins d'espace sur la puce de silicium.....

Ce chapitre fournit une introduction à la technique MC. Avant de décrire la structure interne et le principe de fonctionnement de base du CAN MC de type SAR et pipeline qui seront citée dans les chapitres III et IV, après une bref aperçu sur l'évolution des circuits MC dans la deuxième section, on a fournit dans la troisième section les caractéristiques et les principes fondamentaux sur les différents types des circuits analogique MC, comme les convoyeurs, les comparateurs, et les amplificateurs.

II.2 l'évolution et motivation de technique mode de courant

Les circuits convoyeurs de courant, publiés pour la première fois en 1968 [32], telle qu'ils sont représentés les premiers circuits destinés au traitement des signaux en MC. Le second convoyeur de courant (CCII) est apparu en 1970 [33]. Ce type de convoyeur de courant est sans doute le plus populaire analogue bloc MC sachant qu'après sa présentation, beaucoup des auteurs ont prouvé son efficacité dans la conception de circuit analogue pour des applications linéaires et non linéaires.

L'approche mode de courant est une technique pour trouver une méthode plus simple, afin de réaliser des circuits en technologie CMOS et employer les signaux courants plutôt que des signaux de tension [34], car les transistors MOS sont en particulier plus stables à traiter des signaux en courants plutôt que des tensions, parce que le signal de sortie est un courant dans les deux configurations d'amplificateur soit en mode source-commune ou base-commune.

D'ailleurs, les miroirs de courant MOS sont plus précis et moins sensibles à la variation de processus que les miroirs de courant bipolaires.

Par conséquent, la conception des circuits à technologie MOS devraient être simplifiés en employant les signaux courants, mieux que l'utilisation des signaux tension. Pour cette raison, les réalisations des circuits MC sont plus près du niveau de transistor que les réalisations conventionnelles mode de tension et donc les étapes de conception des circuits et des systèmes devraient être moins compliqués. De plus, lorsque les signaux sont distribués en mode de tensions, les capacités parasites sont chargées et déchargées, ce qui limite la vitesse et augmente la consommation d'énergie des circuits. Par conséquent, il est possible d'atteindre une vitesse plus élevée et une puissance d'énergie dynamique inférieure avec la techniques MC.

Ainsi que les circuits MC à technologie CMOS, ils n'ont pas besoin des composants passifs comme les résistances et les condensateurs, ils peuvent être conçus uniquement avec l'utilisation des transistors CMOS. Ceci rend ce type des circuits compatible avec les circuits numériques. En plus, ils montrent la haute performance en termes de vitesse, largeur de bande, la précision et l'occupation moins d'espace sur la puce de silicium.

II.3 Les circuits analogiques mode de courant

II.3.1 convoyeur de courant (C.C)

La technique de conception des circuits analogiques MC est basée principalement sur l'utilisation des circuits convoyeurs de courant, plus particulièrement les convoyeurs de courant de seconde génération (CCII), aujourd'hui ces circuits c'est la base de l'électronique moderne. Le concept du convoyeur de courant a été présenté pour la première fois en 1968 par Sedra et Smith [35], et encore développé à un convoyeur de courant de seconde génération en 1970. Les C.C est un circuit actif qui comporte trois bornes d'entrées-sorties que l'on note habituellement X, Y et Z, permettent de concevoir nombreux des circuits analogique aussi bien en mode courant qu'en mode tension, ont été utilisés pour mettre en œuvre des amplificateurs, des comparateurs des convertisseurs courant-tension ou tension-courant et des filtres...etc.

a) Convoyeurs de courant de la première génération (CCI)

Un circuit convoyeur de courant de la première génération est un circuit actif qui comporte essentiellement trois bornes d'entrées-sorties, noté X, Y, Z, comme montre sur la Figure (II.1)

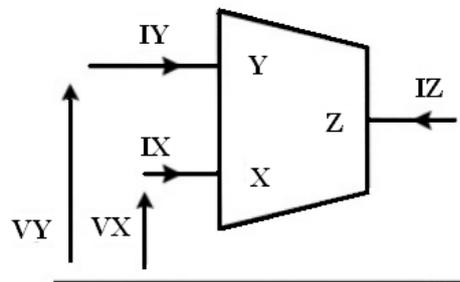


Figure (II.1) symbole du circuit convoyeur de courant

Il fonctionne de la façon suivante : si une tension est appliquée au point Y, la même valeur de tension apparaîtra au point X, et le même pour les courants. En effet, la valeur du courant du point Y est égale à celle du point X, cette valeur de courant convoyer au port de sortie Z. Les différentes relations qui peuvent exister entre les courants et les tensions d'entrées-sorties sont décrites par l'équation matricielle suivante

$$\begin{bmatrix} ix \\ Vx \\ iz \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} * \begin{bmatrix} Vy \\ iy \\ Vz \end{bmatrix}$$

Le sens de courant IZ, soit dans le même sens de IX ou dans Le Sens opposée. Dans la description matricielle de CCI, nous supposons que le signe + est pour des courants entrant dans la même direction, et le signe - pour la situation opposée, Dans le premier cas nous avons un « positif CCI » appelé CCI+, dans le deuxième cas « un CCI négatif » ou CCI-.

Dans le cas d'un CCI+ avec un transfert de courant égal à l'unité, les relations deviennent d'après la formule matricielle précédente.

$$\text{CCI}^+ \begin{cases} I_x = I_y = I_z \\ \text{et} \\ V_x = V_y \end{cases} \quad (2.1)$$

Les ports X et Y ont une faible impédance, idéalement zéro, tandis que le terminal Z caractérisé par une très grande impédance, idéalement infini. Le tableau suivant démontre les caractéristiques des différents ports de convoyeur.

CCI port	impédance
PORT X	basse (idéalement 0)
PORT Y	basse (idéalement 0)
PORT Z	haute (idéalement inf)

b) Schéma de principe du CCI+

Le schéma du class A du CCI+ au niveau des transistors MOS, est représenté sur la figure (II.2) [35], les transistors MP1 et MP2 assurer par tension d'entrée VY, alors que le miroir de courant constitué par les transistors MN1 et MN2, le courant fournit par Iy est égal à celui émit par le nœud X. Avec l'utilisation de MN3, le même courant est donné au nœud Z comme un courant de sortie avec une grande impédance.

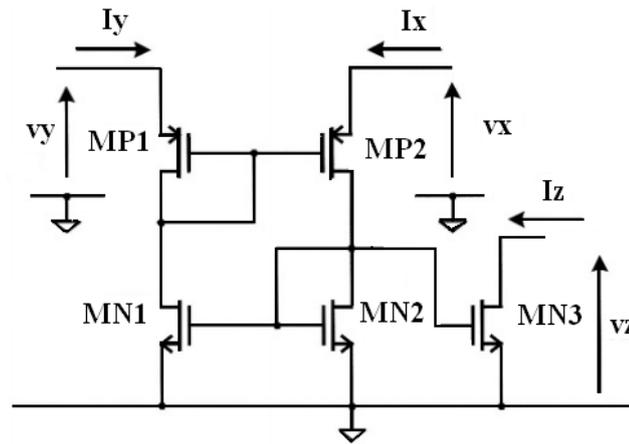


Figure (II.2) classe A convoyeur de courante première génération (CCI).

La figure (II.3) montre [36]. Une autre topologie pour le convoyeur de courant de première génération, ce circuit utilise une boucle translinéaire mixte comme cellule d'entrée et inclut un circuit de polarisation.

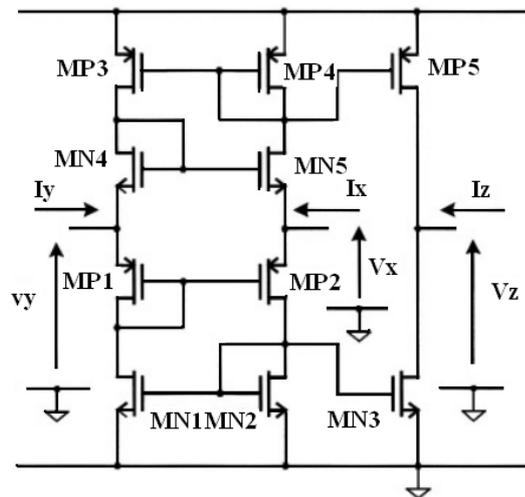


Figure (II.3) classe AB convoyeur de courant de première génération (CCII).

L'inconvénient dans ce type des circuits dans la variation du courant dans la branche de port X, le courant est très sensible à la tension d'alimentation. En outre, le courant reflète MN1-MN2 et MP3-MP4 présente un gain plus bas que l'unité. Il est ainsi possible de remarquer que ce circuit, lorsque l'entrée Y est reliée à la masse, conduit à une masse virtuelle sur l'entrée X, puisque $V_x(t) = V_y(t) = 0$. De plus dans ce cas, avec $I_z(t) = I_x(t)$, on obtient un suiveur inverseur de courant caractérisé par une impédance d'entrée nulle.

b) Convoyeur de courant de la seconde génération CCII

Le CCII génération est le convoyeur le plus souvent utilisé dans la conception des circuits MC, pour ses bonnes performances, que pour l'intérêt apporté à l'utilisation d'une boucle translinéaire. Le CCII caractérisé par une haute impédance sur l'une des entrées et

l'autre entrée a une faible impédance, au contraire des circuits CCI génération qui ont les deux entrées en faible impédance. Le convoyeur de courant de seconde génération qui a été introduit par Smith et Sedra possède 3 ports d'accès X, Y et Z. Le port Y est une entrée en tension ($I_Y=0$) comme la montre dans la figure (II.4).

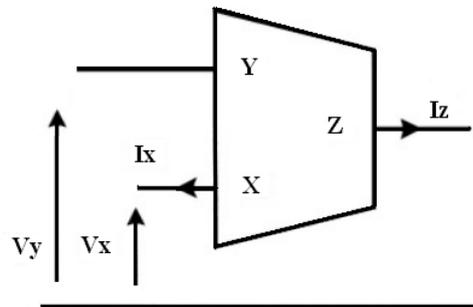


Figure (II.4) symbole du circuit convoyeur de courant

Les comportements électrique des nœuds X, Y et Z du CCII idéal sont résumés dans l'écriture matricielle suivante [35,37]

$$\begin{bmatrix} i_y \\ V_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & 1 \end{bmatrix} * \begin{bmatrix} V_y \\ V_x \\ i_x \end{bmatrix}$$

Tel qu'on distingue dans les circuits CCII deux types des circuits, Convoyeur de courant positif CCII+ et les Convoyeurs de courant négatif CCII-. Dans le cas d'un CCII+ avec un transfert de courant égal à l'unité, les relations deviennent d'après la formule matricielle précédente.

$$\text{CCII} \begin{cases} I_y = 0 \\ I_x = I_z \\ V_x = V_y \end{cases} \quad (2.2)$$

Pour obtenir un CCII-, il suffit donc aussi d'inverser les sens du courant de la sortie Z du CCII+.

c) Schéma de principe du CCII+

La figure (II.5) montre l'exemple du circuit d'un convoyeur de courant de seconde génération positif (CCII+). Le circuit comprendre un boucle translinéaire mixte utilisée en cellule d'entrée, ce dernier possède une impédance d'entrée théoriquement infinie. Deux miroirs de courant complémentaire (M6, M8) et (M5, M7) permettent de recopier le courant $I_x(t)$ sur le port de sortie Z. [38]

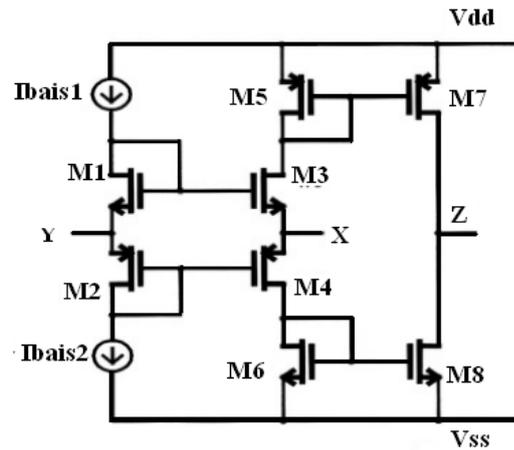


Figure (II.5) convoyeur de courant de seconde génération positif (CCII+).

En littérature, un nombre large des CCII utilisant une paire différentielle Afin d'améliorer les performances de circuit, le raccordement de rétroaction au nœud X effectué souvent par un transistor NMOS, sachant que cet raccordement est caractérisé par une basse impédance au terminal X et la fonction de transfert de tension d'unité V_x/V_y est assurée par les paires différentielles M1-M2 [38].

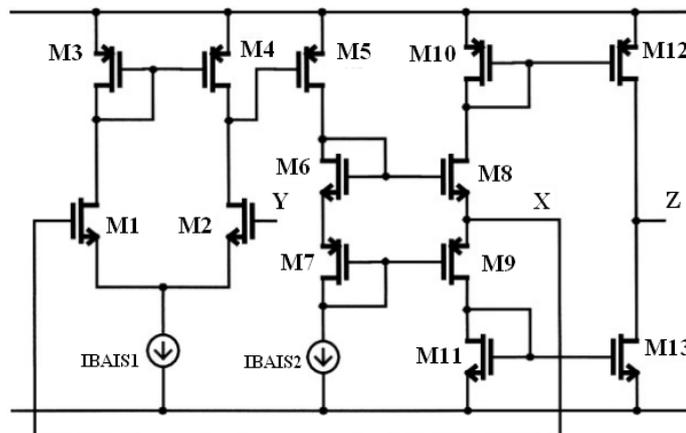


Figure (II.6) convoyeur de courant seconde avec pair différentielle.

II.3 2 Convertisseur tension-courant et courant-tension

Des nombreux circuits avec des fonctions bien déterminées pouvant être conçus avec l'utilisation des CCII, la figure (II.7) montré deux montage utilisant le CCII+ ou CCII- afin de réaliser des convertisseurs tension-courant et courant-tension. [39]

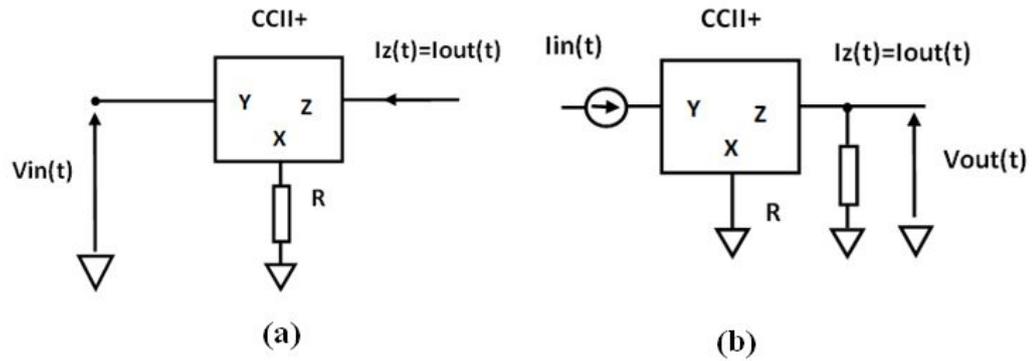


Figure (II.7) (a) convertisseur tension-courant et (b) courant-tension.

Pour le convertisseur tension-courant, l'expression de courant de sortie exprimé par

$$I_{out} = \frac{-v_{in}(t)}{(R_x + R)} \cong \frac{-V_{in}(t)}{R} \text{ Si } R \gg R_x. \quad (2.3)$$

L'impédance d'entrée du circuit est $R_y // C_y$, et l'impédance de sortie $R_Z // C_Z$.

Pour le convertisseur courant-tension la tension de sortie est donné par

$$V_{out}(t) = (R + R_x) I_{in}(t) \quad (2.4)$$

L'impédance d'entrée vue par le générateur de commande est $R + R_x$

II.3.3 Comparateur mode de courant

Les comparateurs sont les plus importants circuits analogiques dans le domaine de conception des circuits intégrés après les amplificateurs opérationnel [40-41], le comparateur mode de courant sont largement utilisés dans la conversions des données spécialement dans les convertisseurs analogique numérique (ADC), et les modulateurs delta-sigma [42-44].

D. Freitas et K. ont proposé la première fois un comparateur de courant en technologie CMOS [45] ensuite, beaucoup des comparateurs courants de haute performance on été proposés, Traff [46] a présenté un comparateur courant simple et à haute performance. La conception est basée sur la combinaison de deux inverseurs avec la rétroaction positive. Comparé aux comparateurs de mode tension, l'inconvénient le plus important de ce comparateur est le temps de réponse du circuit qui limite la gamme de fréquence d'entrée. En effet, beaucoup des nouvelles approches de conception ont été développées afin d'améliorer le point faible qui est mentionné auparavant aussi bien que d'autres propriétés telles que la consommation d'énergie, l'offset, l'impédance d'entrée, et la dynamique d'entrée.

Généralement le procédé de comparaison est relativement simple, mais l'implémentation du comparateur courant n'est pas accessible. Dans cette section, après une brève introduction sur le comparateur courant on a présenté quelque type des circuits.

a) comparateur de courant Original

Le comparateur originale CMOS de courant ou le comparateur miroir de courant, est montré sur la figure (II.8), il se compose d'amplificateur de transrésistance suivi par étage inverseur.

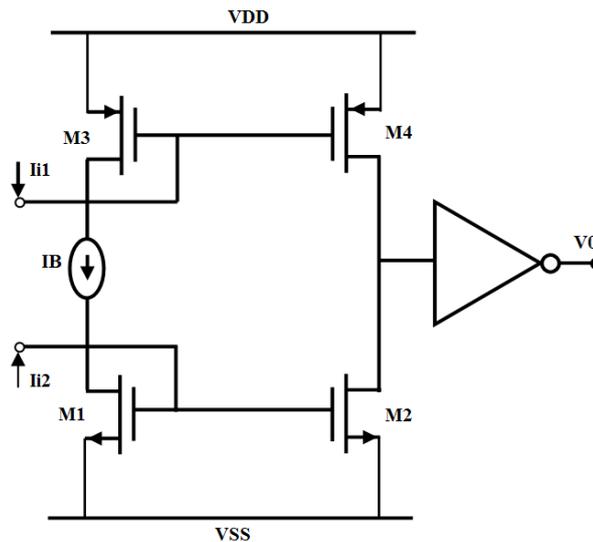


Figure (II.8) comparateur miroir de courant

L'amplificateur de transrésistance est basé sur deux miroirs courants simples complémentaires qui peuvent être améliorés en employant les structures en cascade, La limitation principale de ce circuit se situe en l'absence d'une branche appropriée d'entrée. En conséquence, les paramètres tels que la résistance d'entrée et la tension de polarisation d'entrée, qui influencent considérablement sur les performances de comparateur, d'ailleurs la vitesse est réduite parce qu'un des deux transistors (M2-M4) ne sont pas en mode de saturation (triode région) avant la comparaison dû à la grande impédance de sortie [46].

b) simple comparateur à faible courant à grande vitesse

La limitation principale dans la plupart des comparateurs c'est le temps de réponse vient de la partie de sortie du circuit qui est non équilibrée au début de la phase de comparaison. Afin d'améliorer le temps de réponse une nouvelle configuration de comparateur est proposé par K Wong, K. Fong [47-48] et représentée sur la figure (II.9), cet approche utilise une rétroaction positive non linéaire.

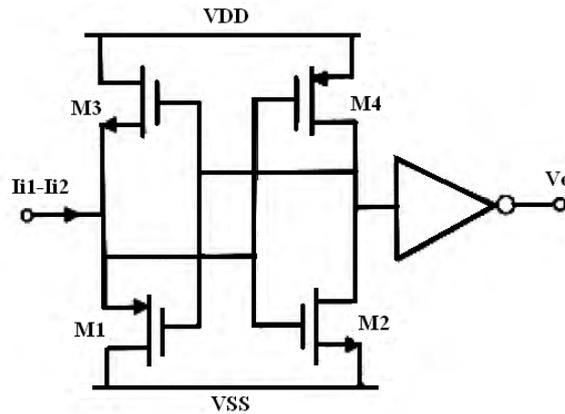


Figure (II.9) comparateur à faible courant à grande vitesse

Ce type de comparateur également a désaxé le signal de sortie avant la comparaison, Cette approche a également des autres inconvénients qui réduisent les performances de comparateur. Comme la vitesse et la sensibilité sont considérablement réduites si des générateurs de signaux d'entrée avec une résistance interne relativement basse sont utilisés.

Une solution d'amélioration pour augmenter la vitesse de propagation dans les comparateurs courants adopte la technique pré-polarisante [49], comme montré sur la figure (II.10). Pré-polariser signifie placer correctement le point d'opération avant de comparaison pour mettre le circuit dans les meilleures conditions de travail au début de la réponse transitoire. La technique est facilement mise en application, dans le comparateur de miroir de courant, avec l'utilisation d'un inverseur et un commutateur qui court-circuite entre l'entrée et la sortie de l'inverseur avant la comparaison. Quand le commutateur est fermé, la valeur de tension mesurer soit à la sortie du comparateur ou de l'inverseur presque égale $(VDD+VSS)/2$,

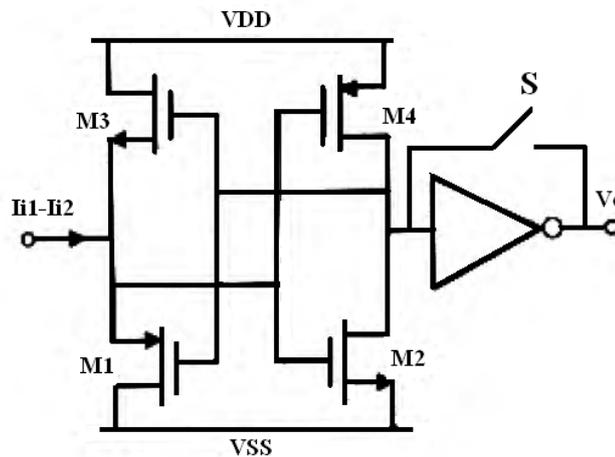


Figure (II.10) comparateur à faible courant à grande vitesse amélioré

c) comparateur de courant à grande vitesse à base de convoyeur

Le procédé de conception d'un nouveau comparateur de courant utilisé un bloc CCII comme étage d'entrée est présenté par Chavoshisani R [50], la figure(II.11) montrée le schéma complet du circuit du comparateur courant (CC-CCII), CCII est utilisé comme étage d'entrée dû à la basse impédance d'entrée au nœud X, les réseaux de rétroaction positive est employé afin de diminuer le temps de réponse du circuit et augmenter la sensibilité de variation de courant d'entrée.

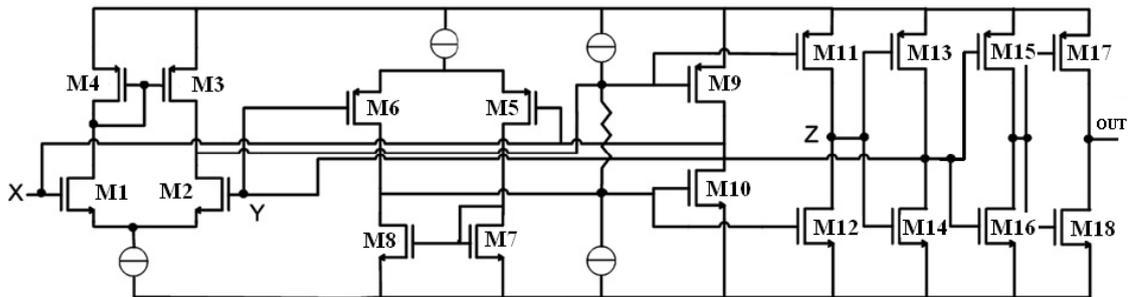


Figure (II.11) comparateur mode courant à grande vitesse à base de convoyeur

Le gain du courant et de la tension pour ce type du comparateur donné par les expressions

$$\frac{V_X}{V_Y} \approx \frac{g_{m9}g_{m1} + g_{m10}g_{m6}}{g_{m9}g_{m2} + g_{m10}g_{m5}} \quad (2.5)$$

$$\frac{I_Z}{I_X} \approx \frac{g_{m9}}{g_{m11}} \quad (2.6)$$

d) Comparateur de courant différentiel à base de convoyeur

Le comparateur différentiel MC à grande vitesse basé sur le convoyeur de courant (DCC-CCII) est rapporté par Reza chavoshisani [51], avec l'utilisation d'un pair différentiel avec la base Vy pour les deux étages en mode commune, le comparateur fonctionné convenablement dans des applications de basses tensions. De plus, le circuit a pu être amélioré en remplaçant les miroirs courants simples par le miroir courant de type Wilson et des autres types des miroirs courants afin d'obtenir des courants précises et un rendement plus élevé [52-53]. Afin d'unifier la résistance de sortie, deux inverseurs sont ajoutés à l'étage de sortie. Le schéma complet de DCC-CCII est présenté sur la figure(II.12) [51].

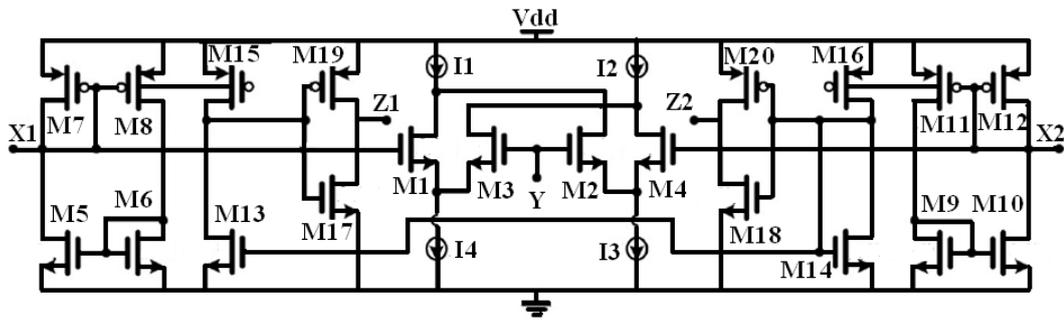


Figure (II.12) comparateur mode courant à grande vitesse à base de convoyeur

II.3.4 Amplificateur mode de courant

Les amplificateurs avec le gain élevé en boucle ouverte généralement nommés les amplificateurs opérationnels, sont incontestablement les blocs constitutifs les plus utiles dans le domaine de conception des circuits intégrés analogiques, cependant, La tradition de mettre en application les circuits analogique à l'aide des amplificateurs en mode tension est généralement aussi vieille dans le domaine de microélectronique moderne. Cependant, ces dernières années l'approche MC a attiré plus d'attention dans le domaine de recherche. Des circuits sont classifiés en tant que MC si le signal d'entrée est représenté par les courants variables dans le temps. Cette approche est particulièrement utile dans l'environnement d'IC qui est principalement la base de l'électronique moderne.

L'amplificateur opérationnel MC (COA) est un dispositif plus important exactement comme l'amplificateur traditionnel en mode de tension (VOA). En plus, les amplificateurs MC sont caractérisés par les avantages attrayants, Ils sont particulièrement appropriés aux capteurs de température, photo détecteurs et, généralement toutes les sources d'entrée et/ou la sortie avec des signaux type courant. Le symbole et le modèle d'un COA à entrée unique sont rapportés sur la figure (II.13)

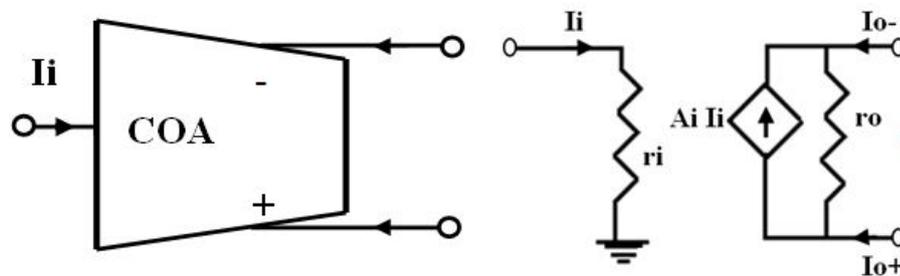


Figure (II.13) schéma symbolique et le modèle d'un COA

Dans la pratique, des amplificateurs sont classifiés en quatre types comme mentionné ci-dessous.

- ✓ amplificateur mode tension: une source de tension pour commander une source de tension avec le gain de tension et la résistance d'entrée infini et la résistance de sortie nulle.
- ✓ Amplificateur à Transrésistance (TROA): une source de courant commandée par une source de tension avec le gain infini de transrésistance et les deux résistances nulles d'entrée et de sortie.
- ✓ Amplificateur à Transconductance (TCOA): une tension commandée la source de courant avec le gain de transconductance infini et les deux résistances d'entrée et de sortie infinies.
- ✓ Amplificateur mode de courant (COA): une source de courant commandée des courants avec le gain de courant et la résistance de sortie infini, et résistance d'entrée nulle.

Dans cette section, après une brève introduction sur les amplificateurs, différentes topologies de base d'amplificateur MC sont discutées, avec l'architecture interne et leurs paramètres seront présentés.

a) Amplificateur miroir de courant

Les amplificateurs de courant avec le gain raisonnable est facilement commandé peuvent être réalisés avec un miroir de courant. Une réalisation simple d'un COA miroir de courant à technologie CMOS est présentée sur la figure (II.14)

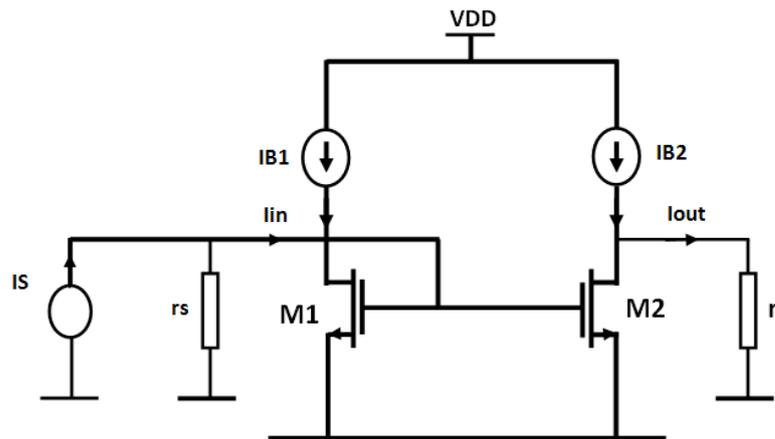


Figure (II.14) Amplificateur miroir de courant

Si on suppose que les transistors fonctionnent dans la région de saturation, l'expression de courant de drain est donné par :

$$i_D = \frac{\mu_0 C_{ox} W}{2L} (v_{gs} - V_T)^2 (1 + \lambda v_{ds}) \quad (2.7)$$

μ_0 : Mobilité de surface du canal.

C_{OX} : Capacité d'oxyde de grille.

W : largeur efficace de canal.

L : longueur efficace de canal.

V_T : tension de seuil.

λ : paramètre de modulation de longueur de canal.

L'équation de gain de COA inverseur de type miroir de courant démontre que le gain est proportionnel au rapport des transistors M1 et M2, avec certain dépendances additionnelles

$$A_i = \frac{i_{out}}{i_{in}} = \frac{W_2 L_1}{L_2 W_1} \left(\frac{v_{gs} - V_{T2}}{v_{gs} - V_{T1}} \right)^2 \frac{1 + \lambda V_{DS2} \mu_{02} C_{OX2}}{1 + \lambda V_{DS1} \mu_{01} C_{OX1}} \quad (2.8)$$

Dans le COA miroir de courant, la variation de processus de la largeur de canal W , la longueur de canal L , la mobilité et l'épaisseur d'oxyde produisent l'erreur linéaire de gain comparable à la variation des erreurs de rapport de résistance dans l'amplificateur opérationnel en boucle fermée. L'impédance d'entrée peut être abaissée en augmentant la largeur de M1 ou en augmentant le courant de polarisation, l'impédance de sortie approximativement est donnée par $Z_0 = r_{02}$, généralement l'impédance de sortie du transistor MOS est petite. L'impédance de sortie du transistor MOS provoque un changement du courant de sortie I_0 quand la tension v_0 de sortie varie, comme démontré dans l'équation suivante

$$i_0 = g_{m2} v_{gs} + g_{02} v_0 \quad (2.9)$$

Et

$$i_{in} = (g_{m1} + g_{m2}) v_{gs} \quad (2.10)$$

Donc nous avons

$$i_0 = \frac{A}{1 + \frac{g_{01}}{g_{m1}}} i_{in} + g_{02} v_0 \quad (1) \quad (2.11)$$

$$\approx A \left(1 - \frac{g_{01}}{g_{m1}} \right) i_{in} + g_{02} v_0 \quad (2.12)$$

Le deuxième terme du côté droit de la dernière équation est le courant d'erreur de sortie.

La configuration cascade de COA représentée sur la figure (II.15), ce type utilise une rétroaction voltage-courant négative pour soutenir le courant de sortie en présence d'une tension variable à la sortie. Ce type des amplificateurs de courant possèdent également une grande largeur de bande. L'impédance de sortie de l'amplificateur de courant peut être obtenue à partir de son circuit équivalent aux petits signaux

$$Z_0 = (g_{m3} r_{03}) r_{02} \quad (2.13)$$

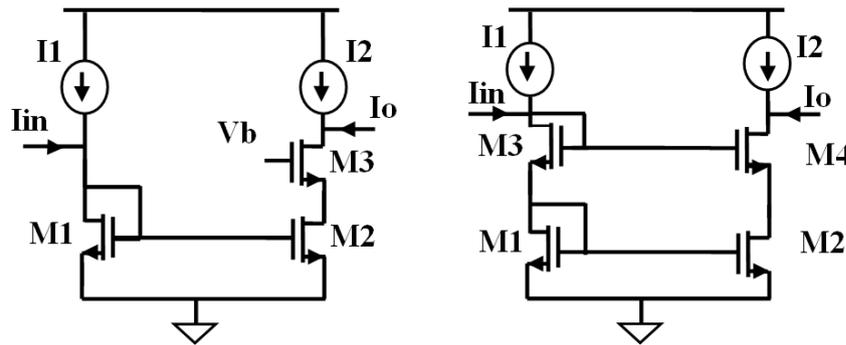


Figure (II.15) COA de type cascade

L'expression de courant de sortie de l'amplificateur de courant de type cascade est donnée par :

$$i_o = A i_{in} + \left(\frac{g_{02}}{g_{m3} r_{02}} \right) v_0 \quad (2.14)$$

Avec la comparaison entre les deux relations (2.8) et (2.14) qu'indique l'erreur de courant de sortie de l'amplificateur, on peut déduire que l'erreur de courant dans l'amplificateur de type cascade est inférieure à celle de l'amplificateur miroir de courant.

b) Amplificateurs de courant en boucle ouverte

Les premières propositions afin d'améliorer les performances des amplificateurs MC d'employer des blocs des circuits dans les configurations en boucle ouverte, ces solutions étaient strictement mises en application à l'aide des miroirs courants, Par conséquent, leur gain typiquement n'a pas dépassé le 20 dB. Ce type des circuits utilisé dans beaucoup d'instrumentation telle que les sondes, les photos détectrices et même dans les applications de traitement des signaux. Nous pouvons appliquer le théorème de conversion sur l'architecture interne de VOA et obtenir un modèle de bloc du COA comme représenté sur la figure (II.16), le buffer de tension de sortie du VOA se transforme en buffer de courant d'entrée. Le buffer

de courant peut être également réalisé en employant un CCII avec la borne Y raccordée a la masse, et le deuxième étage de gain peut demeurer la même [54-55].

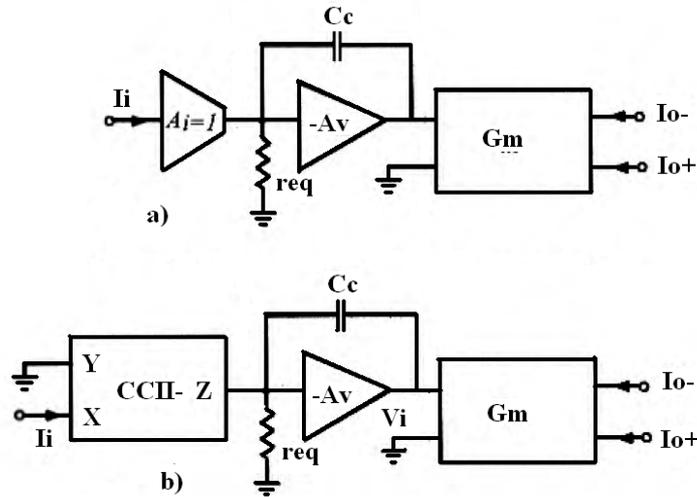


Figure (II.16) schéma symbolique Amplificateurs de courant en boucle ouverte

Le gain courant et la largeur de bande de ce type des OPAMPs sont exactement identiques comme le gain de tension et la largeur de bande du VOA

$$A_i = A_V G_m r_{eq} \tag{2.15}$$

$$\omega_0 = \frac{1}{r_{eq} A_V C_c} \tag{2.16}$$

Des exemples de cette classe des amplificateurs de courant sont illustrés sur les figures (II.17) (a) et (b)

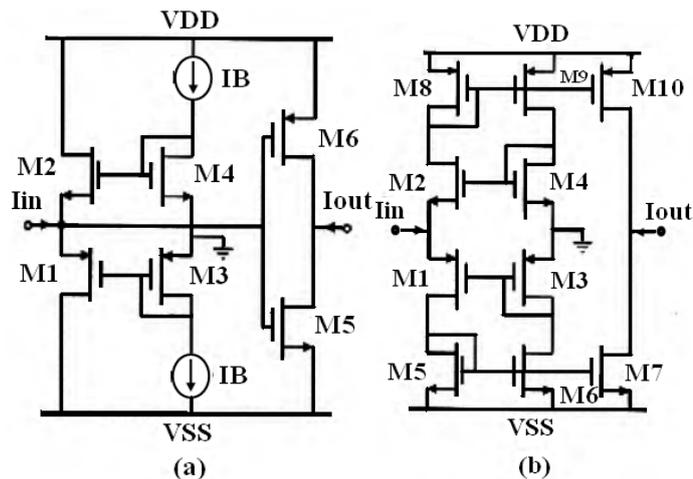


Figure (II.17) Amplificateurs de courant en boucle ouverte.

Les deux circuits se composent de deux (supérieur et inférieur) secondaire-circuits permettant aux amplificateurs de fournir une courant de sortie bipolaires, La boucle de

translinéaire (se compose des transistors M1-M4), place convenablement la tension d'entrée égale au potentiel de la masse dans les deux conditions de C.C et à C.A.

La résistance d'entrée du circuit dans la figure (II.17) (a) est égale à

$$r_{in} = \frac{1}{g_{m1} + g_{m2}} \quad (2.17)$$

Le gain de courant est

$$A = \frac{i_{out}}{i_{in}} = (g_{m5} + g_{m6})r_{in} = \sqrt{\frac{B_{5,6} I_{D5,6}}{B_{3,5} I_{D3,4}}} \quad (2.18)$$

Le circuit dans la figure (II.17). (b) est caractérisé par très basse résistance d'entrée à la boucle de contre-réaction positive additionnelle dans l'étage d'entrée. La résistance d'entrée est donnée par

$$r_{in} = \left[\frac{1}{g_{m1}} \left(\frac{1}{g_{m5} r_{d1} // r_{d5}} + \frac{1}{g_{m3} r_{d3} // r_{d6}} \right) \right] // \left[\frac{1}{g_{m2}} \left(\frac{1}{g_{m8} r_{d2} // r_{d8}} + \frac{1}{g_{m4} r_{d4} // r_{d9}} \right) \right] \quad (2.19)$$

Le gain de courant est présenté par le rapport de M5 (M8) et M7 (M10).

$$A = \frac{i_{out}}{i_{in}} = \frac{(W/L)_7}{(W/L)_5} = \frac{(W/L)_{10}}{(W/L)_8} \quad (2.20)$$

Les amplificateurs de courant qu'ils sont réalisés avec les C.C ne nécessitent pas la contre-réaction. Ils sont alors caractérisés par une bande passante à -3 dB qui est indépendante de la valeur de leur gain.

c) Amplificateur de courant à deux étages

Dans cette section nous présentons quelques types de configurations des amplificateurs de courant. Spécifiquement, nous discuterons l'amplificateur opérationnel courant à deux étages (COA) et l'amplificateur opérationnel courant avec rétroaction de tension (VFCOA).

d) Amplificateur opérationnel de courant de basse charge

Une configuration d'amplificateur de courant à deux étages est habituellement tolérable, il se compose d'un amplificateur cascade de transimpédance avec un étage de courant à la sortie, l'amplificateur de transimpédance est implémenté en appliquant un étage simple ou cascade de gain, puisque l'étage de courant de sortie est chargé avec des résistances de rétroaction assez basses, la compensation est habituellement adoptée pour assurer la stabilité, Bruun [55] a proposé le premier COA présenté ici, ce type de COA est conçu pour fonctionner avec une basse tension d'alimentation et une dissipation de puissance réduite. Le circuit est très simple se composant d'un transistor de base commune, un miroir de

courant et une paire source-couplée (mettant en application l'étage de sortie) comme illustré sur la figure (II.18) [56-57].

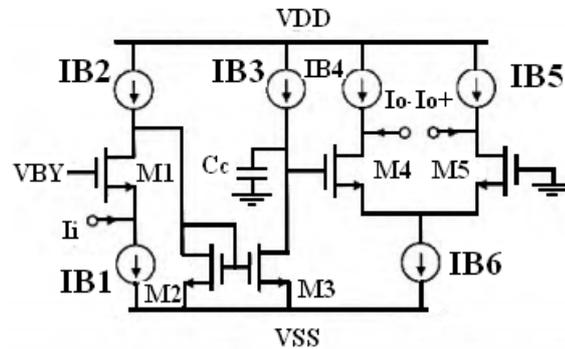


Figure (II.18) Amplificateur opérationnel de courant de basse charge

Pour réaliser encore des circuits avec des performances améliorées en fréquence, la configuration représentée sur la figure (II.19) a été développée par T kaulberg [56]. Dans cette approche le concepteur évite l'utilisation des miroirs des courants et les remplace par le transistor de grille commune (M2). On fournit grâce à l'utilisation d'un amplificateur différentiel auxiliaire, une rétroaction locale dans l'étage d'entrée qui abaisse la résistance d'entrée. Par conséquent, pour améliorer la performance de fréquence le produit de largeur-gain de bande de la rétroaction locale d'entrée doit être plus haut que dans l'amplificateur principal [56].

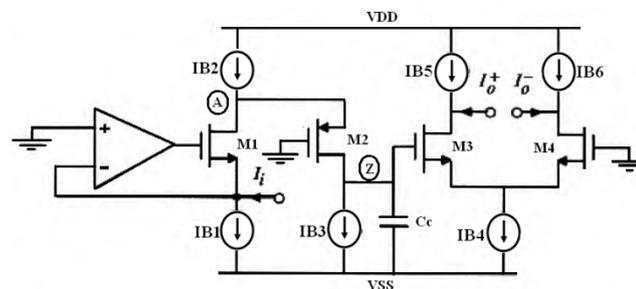


Figure (II.19) Amplificateur opérationnel de courant de basse charge amélioré

e) Amplificateur opérationnel de courant de rétroaction de tension

CFOA (Current Feedback Operational Amplifier), encore appelés l'amplificateur de transimpédance, ce type des amplificateur à été améliorer afin d'obtenir une structure avec la propriété largeur de bande constante, si nous convertissons le circuit équivalent et le schéma fonctionnel d'un CFOA comme représenté dans la figure (II.20) au MC nous obtenons une structure originale que nous nommons l'amplificateur opérationnel de courant avec rétroaction de tension (VFCOA). Figure (II.21) résume le schéma fonctionnel d'un VFCOA. [56]

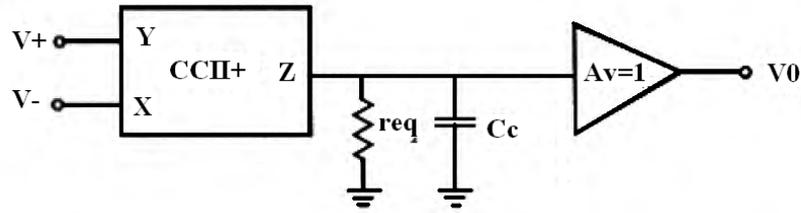


Figure (II.20) architecture typique de CFOA

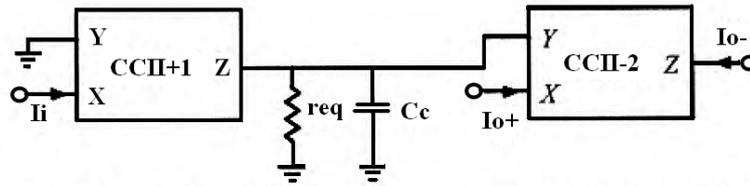


Figure (II.21) architecture typique de VFCOA

Les bandes passantes sont de l'ordre de quelque 100MHz à quelque GHz. Ces performances élevées sont obtenues parce que l'amplificateur de transimpédance est réalisé à partir de circuit CCII. Le circuit représenté sur la figure (II.22) présente un exemple de conception de VFCOA, se compose à l'entrée CCII+ et bloc de CCII- à la sortie, le convoyeur d'entrée classe AB assure une bonne performance.

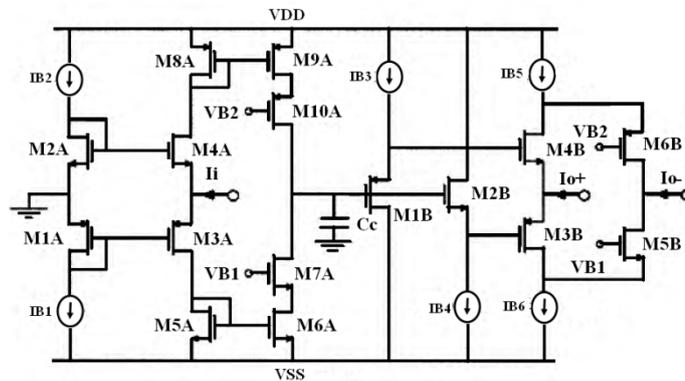


Figure (II.22) circuit VFCOA

Nous concluons cette section en considérant l'implémentation du circuit VFCOA de classe AB proposée par le T kaulberg [56], Le circuit représenté sur la figure (II.23) est composé de deux CCII- classe AB, le deuxième CCII a une section interconnectée de sortie pour fournir un courant dans le sens inverse par rapport au signal de sortie.

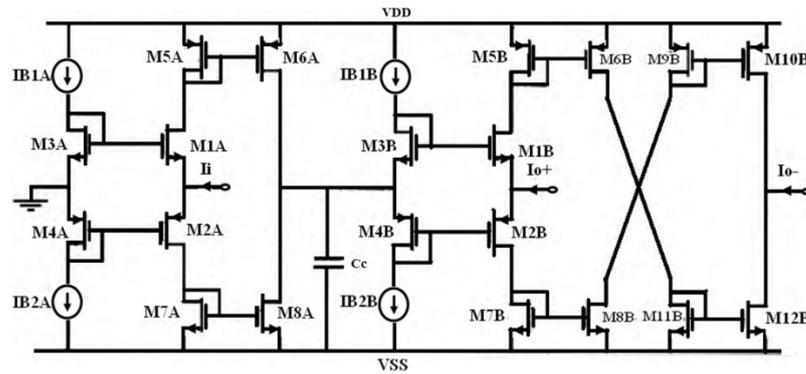


Figure (II.23) circuit VFCOA de classe AB.

II.3.4 Le circuit échantillonneur bloqueur

La cellule de mémoire de la première génération SI ou l'échantillonneur bloqueur MC est montrée sur la figure (II.24), Il a été rétabli indépendamment par un certain nombre de chercheurs, La seule différence avec les miroirs de courant simple est le commutateur S1, L'opération est commandée par un signal d'horloge, décrit comme suit, Si le signal d'horloge est haut alors le transistor de commutateur est fermé $V_{GS1} = V_{GS0}$, et le circuit agit en tant que miroir de courant (la valeur de courant de sortie égale au courant d'entrée). Supposons que le signal d'horloge passe à l'état 0 et le transistor S1 (commutateur) dans l'état bloqué à l'instant $t=t_0$. La tension $V_{gs1}(t_0)$ de grille-source est assurée par La capacité C_{g1} de la grille, et le courant de sortie I_{out} prendra la valeur I_{in} à l'instant t_0 [57].

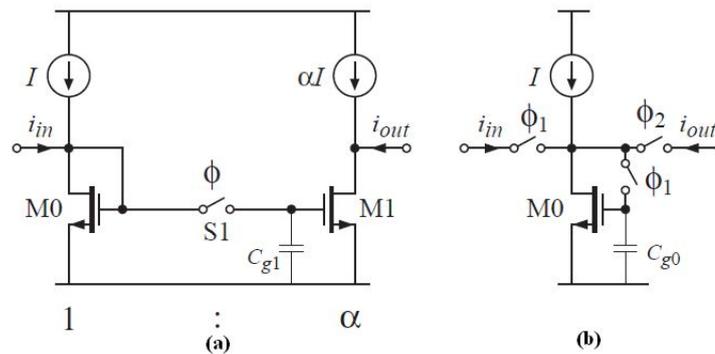


Figure (II.24) circuit échantillonneur bloqueur MC.

Il est évident que cette cellule de mémoire de courant puisse seulement avoir le gain d'unité, puisque le même transistor M0 est utilisé comme transistor d'entrée et de mémoire. Ceci mène pour perfectionner l'assortiment entre l'entrée et la sortie de circuits, puisqu'elles sont identiques. Par conséquent, idéalement, ce circuit réaliserait une cellule de mémoire parfaite de gain d'unité, cependant, Il y a d'autres effets non-idéaux qui présenteront des erreurs. Elles seront décrites dans le prochain chapitre.

Si on considère les paramètres des transistors M0 et M1 sont identique, les expressions de courant du drain et du sortie sont exprimés par

$$i_{D0} = I + i_{in} = \frac{B_0}{2} (v_{gs0} - v_T)^2 (1 + \lambda v_{DS0}) \quad (2.21).$$

$$i_{D1} = \alpha I + i_{out} = \alpha \frac{B_0}{2} (v_{gs1} - v_T)^2 (1 + \lambda v_{DS1}) \quad (2.22).$$

$$i_{out} = i_{D1} - \alpha I = \alpha \left[(i_{in} + v_{CFT} \sqrt{2B_0} (I + i_{in})) + \frac{B_0}{2} v_{CFT}^2 \right] \quad (2.23).$$

Ou v_{CFT} c'est l'erreur de tension due de l'effet de l'injection des charges et l'erreur d'horloge (clock feedthrough) du commutateur qu'est donné par

$$v_{CFT} = \frac{3}{2} \frac{\Delta\Phi w_s (\frac{n}{2} L_S + L_D)}{W_1 L_1} \quad (2.24).$$

II.4 Conclusion

On a vue dans ce chapitre un résumé sur la technique mode de courant, les différents types des circuits de base MC ont été présentés avec une analyse de ces performances. Les circuits C.C sont analysé avec la premier et la deuxième génération, la réalisation de ce type des circuits mettaient souvent en œuvre de plusieurs amplificateur opérationnels et conduisaient ainsi à des circuits aux performance limités. L'utilisation des circuits est nécessaire afin de concevoir des circuits plus compliqués comme les convertisseurs A/N MC de ce qu'on va voir dans les deux prochains chapitres.

CHAPITRE III

Modélisation du convertisseur SAR MC

III.1 Introduction

Suit à l'augmentation rapide et la complexité de l'architecture des circuits analogique et mixte, la conception de ce type de circuits représente aujourd'hui un grand défi, l'utilisation du modèle comportemental est devenue nécessaire pour concevoir et simuler les performances de ces circuits. La complexité de ce type des circuits exige d'utiliser des simulateurs de contrôle plus rapides et plus complexes. Le modèle comportemental basé sur MATLAB et l'environnement Simulink devient une bonne méthode pour concevoir et simuler les performances des circuits complexes tels que les convertisseurs des données. La modélisation et la simulation ont augmentés l'efficacité et la capacité de concepteur pour développer les circuits électroniques le plus complexes et utiles. Particulièrement au niveau du circuit intégré (IC). Chaque type de circuit examiné a ses propres conditions particulières, en termes des performances de conception (les caractéristiques).

La conception des CANs avec des performances élevées (pour des applications qui requièrent une vitesse et des résolutions plus élevées) présente des défis difficiles. En effet le technique MC apporte beaucoup des solutions [58] pour la compatibilité entre la besoin en puissance, la vitesse, l'espace d'occupation et une plage dynamique réduite. Cela sera bien bénéfique pour la conception des CANs pour des applications bien déterminées.

La sélection de l'architecture est importante sachant que chaque architecture du CAN a des avantages spécifiques en ce qui concerne la fréquence d'échantillonnage, le bruit, la résolution, la dynamique d'entrée, la puissance d'énergie, et l'espace occupé sur la puce [29]. Le convertisseur de type SAR a suscité plus d'attention due à son excellente efficacité de puissance et basse tension en comparaisons aux CANs pipeline et cycliques [59]. Puisqu'il n'exige pas des amplificateurs opérationnels, le SAR CAN en mode de tension utilise seulement un comparateur et un réseau des condensateurs dans la partie du CNA. Ceci révèle deux thèmes principaux; le premier est le besoin d'un grand espace sur la puce de silicium et le deuxième est le long temps de stabilisation [60]. Dans l'autre partie, la puissance dissipée dans le convertisseur SAR CAN en mode de tension est principalement du CNA [61]. Pour cette raison, le convertisseur SAR MC est conçu avec des sources de courant dans le CNA

pour diminuer l'effet du long du temps de stabilisation et de la dissipation d'énergie. D'ailleurs, aucun condensateur n'est utilisé dans le CNA, cela le rend très petit comparé à convertisseur SAR mode de tension [62].

Dans ce chapitre nous avons développés une nouvelle version du modèle non-idéal 8 bit CAN SAR MC en employant MATLAB et le Simulink environnement, L'objectif du modèle est de prévoir les performances statique et dynamique de ce type de circuit et de les examiner pour assurer l'effet des sources non-idéales sur les paramètres du convertisseur.

III.2 L'architecture du convertisseur A/N SAR

Le schéma fonctionnel de l'architecture du convertisseur SAR MC est montré sur figure (III.1), cette architecture se compose d'échantillonneur bloqueur E/B, un comparateur, convertisseur analogique numérique (CNA) et un registre à approximation successive (SAR), plus un thermomètre décoder et des éléments dilatoire. La logique de SAR est fondée sur le principe d un registre à décalage.

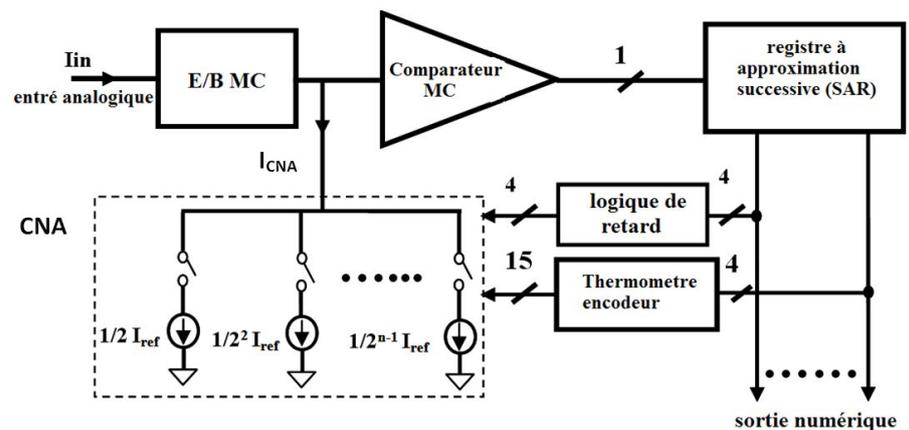


Figure (III.1) l'architecture du CAN SAR MC

Le principe d'opération de CAN SAR MC est semblable au conventionnel CAN SAR en mode de tension [60]. Cependant, les convertisseurs A/N MC démontrent actuellement d'excellentes caractéristiques en particulier une efficacité élevée en puissance dissipée, la fréquence de fonctionnement et l'espace occupé sur la puce [63]. Les étapes de conversion dans ce type de convertisseurs sont basées sur l'utilisation un CNA et un comparateur pour effectuer une recherche dichotomique pour trouver le signal d'entrée. Le circuit E/B est employée pour prélever l'entrée analogique et pour tenir la valeur prélevée tandis que la recherche dichotomique est effectuée, La recherche dichotomique commence par le bit le plus significatif (MSB) et progresse vers le bit le moins significatif (LSB) [64]. Contrairement au

SAR en mode de tension, le CAN en mode courant utilise seulement des transistors CMOS dans le CNA en tant que des sources courants et des commutateurs. Ceci a l'avantage de réduire l'espace occupé sur la puce, réduire la puissance d'énergie dissipée [63] par le CAN réaliser une conversion avec une grande vitesse.

III.3 Le modèle comportemental du CAN SAR.MC

Le modèle comportemental de CAN SAR MC est montré sur la figue (III.2), Il se compose de cinq blocs importants, un circuit E/B MC, un comparateur MC, un logique de SAR, un thermomètre décodeur, et un CNA MC à 8 bits avec 4 MSB et à 4 LSB.

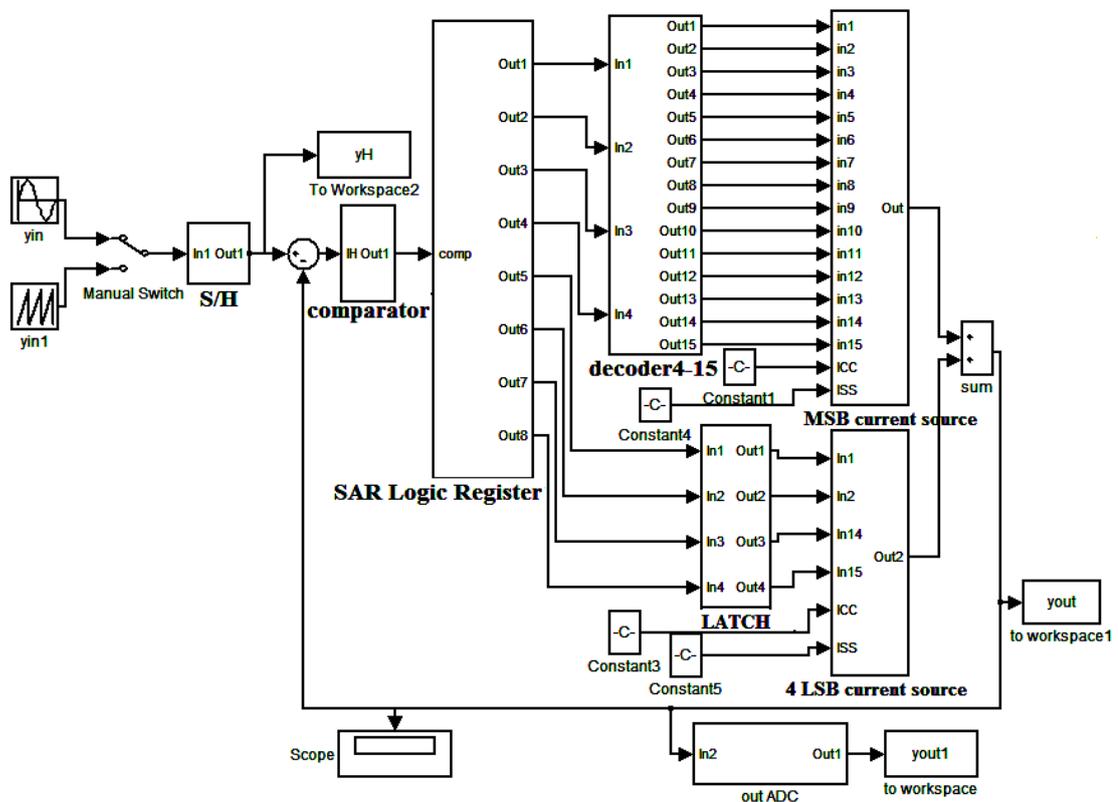


Figure (III.2) le modele comportementale d'un CAN SAR MC.

La fonctionnalité de base d'un CAN SAR est très simple comme montré sur la figure (III.3). Le signale d'entrée analogique est prélevée par le bloc E/B. Pour mettre en application l'algorithme de recherche dichotomique le registre de 8-bit est d'abord placé le MSB à « 1 » et tous autre bit au `0'. Ceci force la sortie de CNA pour produire, la moitié du signal de référence ($I_{ref}/2$), I_{IN} est alors comparé à I_{DAC} . Si I_{IN} est plus grand que I_{DAC} , la sortie de comparateur prend la valeur '1' et le MSB du registre de 8-bit reste à 1. Réciproquement, si I_{IN} est moins que I_{DAC} , la sortie de comparateur prend la valeur '0' et le MSB du registre est 0. La logique de commande de SAR décale alors au prochain bit, pour faire une autre

comparaison, L'opération continue jusque le bit le plus bas (bit LSB), Une fois la conversion est accomplie, et le mot numérique de 8-bit est disponible dans le registre [64]

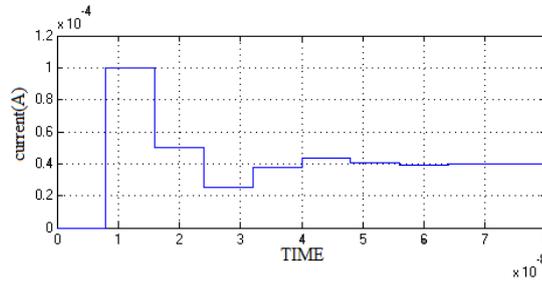


figure (III.3) les opérations d'un CAN SAR.

III.4 Le Modèle comportemental non-idéal du CAN SAR

Généralement les facteurs non-idéaux dégradent considérablement les performances des CANs. En effet, le développement d'un modèle comportementale qui prend en compte les majorités des facteurs non idéaux est très essentiel pour l'évaluation correcte des performances du CAN SAR. De plus avec l'introduction de ces sources dans le modèle du CAN, ce dernier devient plus proche au CAN réel. Dans cette section les effets non-idéaux les plus importants dans le CAN SAR MC sont présentés, les paramètres principaux source erreurs qui sont détaillé dans cette section sont les suivants ; l'offset de courant soit dans le circuit E/B ou dans le comparateur MC, le travers d'horloge, l'injection de charge, le bruit thermique, le bruit de scintillation, l'erreur d'horloge, et les erreurs de disparité des dispositifs dans le circuit E/B et dans le circuit CNA MC.

III 4.1 Les non-idéalités du circuit E/B MC

Le circuit E/B est un bloc important dans les systèmes de convertisseur de données. Récemment, beaucoup d'attention est donné à ce type de circuits MC en raison de leur utilité (basse tension d'alimentation, grande vitesse de fonctionnement) en comparaison avec les circuits en mode de tension (les circuits à capacité commuté) [65]. Le circuit miroir de courant est le composant de base dans les circuits E/B MC [66], la Figure (III.4) présenté le schéma de base du circuit E/B.

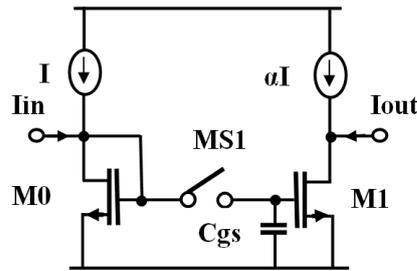


Figure (III.4) circuit de base d'EB MC.

L'opération est commandée par le commutateur MS1, quand il est fermé, le nœud de la grille est relié au signal d'entrée et le courant I_{ds} de drain-source sera une fonction de la tension de grille-source. Quand le commutateur S1 est ouvert, la grille devient isolé, par conséquent la charge stockée dans la capacité d'oxyde C_{gs} de grille du transistor M1 assure le courant de sortie pour un instant T_0 .

En CAN SAR MC la précision de linéarité et la dynamique d'entré seront dominées par le circuit E/B [64]. Ce dernier bloc constitue une partie critique dans les CANs [67], il échantillonne le signal d'entrée analogique et bloque la valeur pendant certaine période, le modèle idéal du ce circuit est montré sur la figure (III.5).

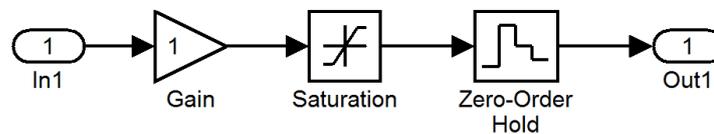


Figure (III.5) le modèle idéal du circuit E/B.

Les circuits MC présentent quelques limitations techniques des facteurs non idéaux ; mais aussi des effets indésirables pourraient dégrader ainsi de manière significative les performances des circuits E/B dans des réalisations pratiques. Le circuit E/B contient beaucoup des sources des erreurs, comme le bruit des commutateurs, Le phénomène d'injection de charges et de la traversée d'horloge, erreurs sur l'instant d'échantillonnage (Jitter). Ces points seront examinés séparément dans les sections suivantes.

III.4.1.1. Le phénomène d'injection des charges

Dans les circuits E/B MC, l'injection de charge et le traversée d'horloge est devenue l'une des limitations principales. Quand le transistor MOS est fermé, il porte certaine quantité de charge dans son canal ; la charge sous l'oxyde de la grille résultant du canal inversé est donnée par l'équation

$$Q_{ch} = C_{ox} * W * L * (V_{GS} - V_{TH}) \quad (3.1)$$

Quand le dispositif bascule à l'état off, les charges accumulées dans le canal ont réinjecté dans le circuit par l'intermédiaire du drain et la source du transistor, la charge injectée par l'intermédiaire du drain ne présente aucune erreur sur le signal de sortie. Par contre, la charge injectée de l'autre côté (source), présentant une erreur de tension ΔV sur le condensateur d'échantillonnage comme est montré dans la figure (III.6)

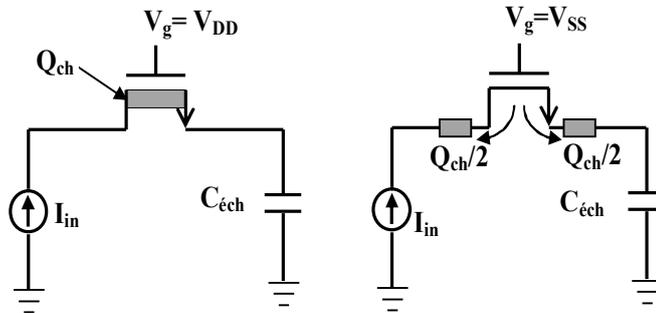


Figure (III.6) phénomène de l'injection des charges du transistor NMOS.

L'amplitude de l'injection de charge du commutateur de n-Channel, est donnée par l'équation suivante

$$\Delta V_{INJ} = \frac{Q_{ch}}{C} = \frac{C_{OX} * W * L * (V_{GS} - V_{TH})}{2 * C_{gs}} \tag{3.2}$$

Le schéma (III.7) présente le module de simulateur d'injection de charge réalisé par un bloc dérivé. Le bloc de générateur de variable aléatoire produit des sorties sous une forme de série de signal pulsé. Après dépassement par le bloc dérivé, le bloc d'ordre-zéro est employé pour spécifier la constante de temps du remplissage et le facteur de gain est employé pour ajuster la quantité de la charge injectée.

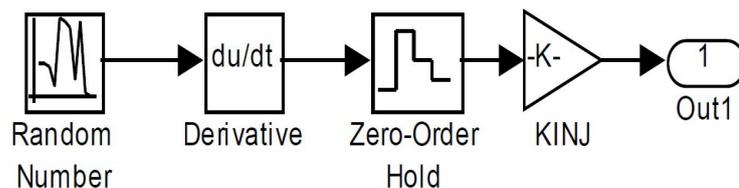


Figure (III.7) Le modèle du phénomène de l'injection des charges

III.4.1.2 Le phénomène de «clock feedthrough »

Une autre source d'erreur dans les commutateurs MOS est le phénomène de traversée d'horloge, un commutateur de MOS couple le signal d'horloge VCLK au condensateur d'échantillonnage par des capacités de chevauchement (Covl) entre la grille et la source ou le drain comme il est illustré sur la figure (III.8) [57], cette erreur apparaît comme offset si Qch est constant, la capacité de chevauchement est donné par

$$C_{OVl} = C_{ox} * w_{eff} * L_d \tag{3.3}$$

Où C_{ox} est la capacité d'oxyde par largeur d'unité, le L_D est la longueur de diffusion latérale, et W_{eff} c'est la largeur efficace de canal.

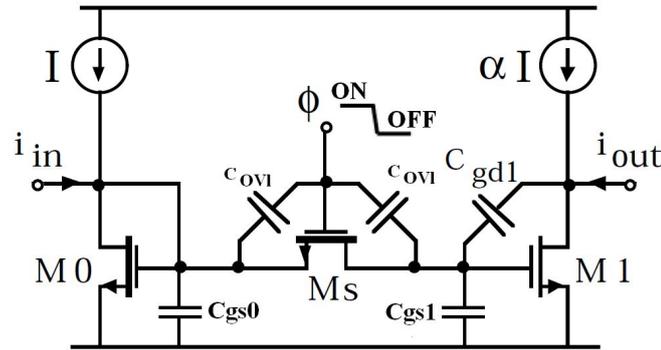


Figure (III.8) traverse d'horloge dans circuit E/B.

Avec la commutation de l'horloge, la charge accumulée dans le condensateur de chevauchement est également injecté dans le circuit, dans la transition rapide d'horloge le signal d'erreur produit sur le condensateur d'échantillonnage est donné par la formule suivante [57]

$$E_{clk} = \frac{3}{2} \times \Delta\phi_{clk} \times \frac{W_s}{W_1 \times L_1} \times \left(\frac{\eta}{2} \times L_{S1} + L_D \right) \quad (3.4)$$

Le $\Delta\phi_{clk}$ est l'amplitude du signal de commande.

Où $\Delta\phi_{clk} = \phi_{low} - \phi_{high}$, $\eta = \frac{\phi_{high} - v_{gs0}}{\Delta\phi_{clk}}$ et L_D est la longueur de diffusion latérale.

L'erreur E_{clk} est indépendante du niveau du signal d'entrée. Elle a comme conséquence un offset constant qu'elle s'est ajouté au signal échantillonné.

III.4.1.3 l'erreur sur l'instant d'échantillonnage: « Jitter »

L'erreur sur l'instant d'échantillonnage ou le jitter est un autre phénomène qui a attiré l'attention dans le domaine de conception des CANs. Une incertitude se présente dans l'instant d'échantillonnage sur l'entrée analogique qui ne peut pas se produire exactement au temps désiré. Cette incertitude Δt de l'instant d'échantillonnage est généralement appelé l'erreur sur l'instant d'échantillonnage. Ce facteur non-idéal produit une conversion erreur Δy proportionnel à la pente du signal ; Le résultat d'erreurs peut être exprimé par l'équation [68]

$$y(t + \Delta t) - y(t) = \Delta t * \frac{d}{dt} y(t) \quad (3.5)$$

Avec le signal d'entrée sinusoïdal montré sur la figure (III.9), où A est l'amplitude de signal d'entrée, f_{in} est la fréquence de signal d'entrée et Δt est l'erreur d'horloge, le Δy_{max} d'erreur d'amplitude (maximum), modèle de l'erreur sur l'instant d'échantillonnage peut être exprimé comme.

$$\Delta y(t)|_{\max} = \Delta t \cdot A \cdot \left. \frac{d\cos(2\pi f_{in}t)}{dt} \right|_{t=0} = A \cdot \Delta t \cdot 2\pi f_{in} \tag{3.6}$$

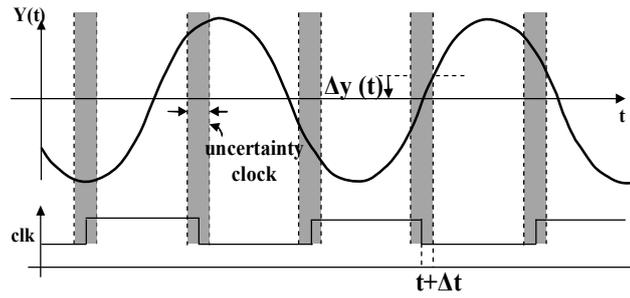


Figure (III.9) L'erreurs sur l'instant d'échantillonnage

La figure (III.10) montr  le mod le comportemental de l'erreur [20]

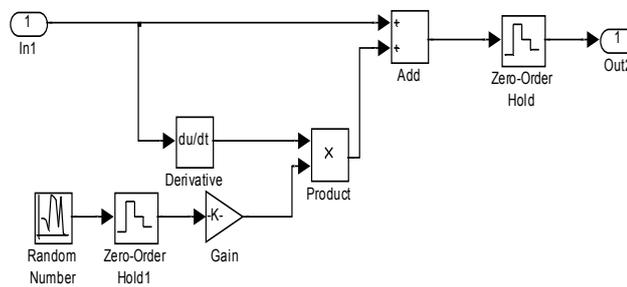


Figure (III.10) le mod le d'erreur sur l'instant d' chantillonnage.

III.4.1.4 Le bruit de scintillation « flicker noise » ou bruit en 1/f

Le bruit de scintillation ou le ph nom ne du bruit 1/f est observ  dans presque tous les dispositifs avec les composants r sistifs, ainsi ce genre de bruit est tr s dominant a basses fr quences, et il est n gligeable dans les hautes fr quences. Dans les transistors MOS, il a  t  d montrer que le bruit 1/f est plus  lev  d    son m canisme de conduction de surface, D'autres auteurs attribuent ce bruit aux fluctuations de mobilit , cette composant de bruit augmente typiquement avec la graduation de technologie [69], Le PSD du courant de bruit de scintillation peut  tre exprim  par [70].

$$S_{fl}(f) = \frac{K_f \cdot I_{DQ}}{C_{ox} \cdot W \cdot L} \cdot \frac{1}{f} \tag{3.7}$$

O  Kf est le coefficient de bruit de scintillation, Cox est la capacit  d'oxyde, W et L sont la largeur et la longueur respectivement du transistor MOS. La figure (III.11) illustre le mod le a employ  pour simuler l'effet du bruit de scintillation.

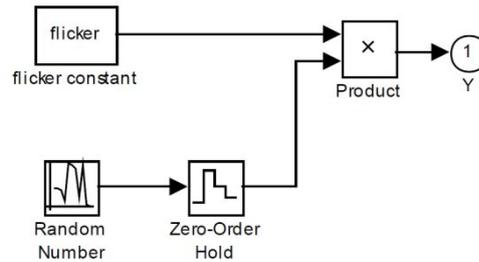


Figure (III.11) Le modèle du bruit de scintillation.

III.4.1.5 Le bruit thermique

Le bruit thermique est observé dans tous les éléments de circuit contenant une résistance [69]. Le régime d'opération de transistor MOS dans triode région est identique à une résistance passive entre son drain et la source. Le bruit thermique est provoquée par le mouvement thermique aléatoire des porteurs des charges dans le canal [71], la densité spectrale de courant de bruit thermique est donnée par

$$I_d^2 = 4KT \frac{2}{3} g_m \quad (3.8)$$

Où k est la constante de Boltzman, T représente la température absolue, et le g_m est le transconductance du transistor MOS, ce modèle de bruit est valide seulement pour les dispositifs avec un canal longue. De nouvelles équations décrivant le bruit thermique de modèles des transistors MOS ont été décrites dans la littérature [72-73]

Dans les dispositifs de petites dimensions géométriques le bruit thermique a été modelé comme

$$I_d^2 = 4KT \frac{\mu_{eff}}{L_{eff}^2} Q_{inv} \Delta f \quad (3.9)$$

Où μ_{eff} est la mobilité des porteuses efficace dans le canal, Q_{inv} est la charge de canal d'inversion par unité de superficie, Les résultats expérimentaux affirme que le bruit thermique dans le canal est directement proportionnel au courant de drain [74], pour maintenir la valeur du bruit thermique basse ceci correspondre à de plus petits courants de drain.

Le bruit thermique est habituellement modelé comme source de bruit blanc additive avec la distribution gaussienne, la figue (III.12) présente le modèle thermique de bruit, il peut être modélisé comme générateur de variable aléatoire avec le bloc d'ordre-zéro, le bloc de gain est employé pour ajuster la valeur de tout le bruit thermique.

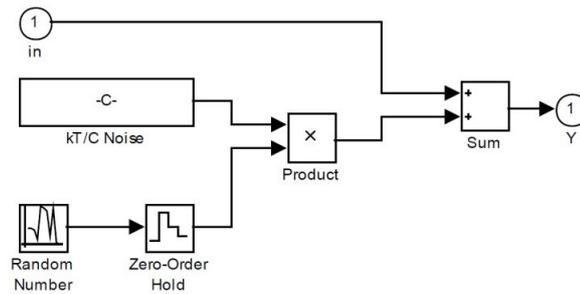


Figure (III.12) le Modèle thermique de bruit.

III.4.1.6 L'erreur de temps d'établissement

Le temps de stabilisation est le plus important facteur non-idéal associé dans les circuits E/B MC (SI memory cells), ceci définit le temps pris par le signal de sortie pour atteindre sa valeur finale dans les limites d'une erreur d'établissement donnée, Figure (III.13) ci-dessous montré le comportement qualitatif de l'erreur d'établissement typique.

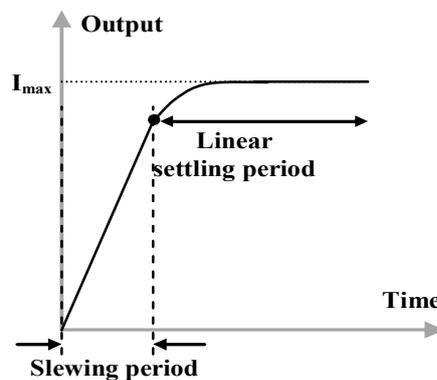


Figure (III.13) L'erreur de temps d'établissement d'une réponse échelon

En Supposant que le commutateur d'échantillonnage est fermé à l'instant t_0 , la réponse temporaire de courant I_{ds} de E/B peut être exprimée par [70].

$$i_{ds}(t) = I_i + (i_{ds}(t_0) - I_i) * e^{((t-t_0)/\tau)} \quad (3.10)$$

Le terme exponentiel représente l'erreur d'établissement du circuit à l'instant t , avec $\tau=C/g_m$, et $i_{ds}(t_0)=g_m.v_{gs}(t_0)$.

Les erreurs d'arrangement dans les circuits SI devraient donc généralement être considérées comme des erreurs non linéaires.

III.4.2 Le modèle du comparateur

Le comparateur est un bloc essentiel dans les convertisseurs de données car c'est le lien entre le domaine analogique et numérique [75]. Le comparateur de courant est un composant fondamental de CAN SAR MC. Un aspect critique de conception du comparateur est de trouver un compromis entre la sensibilité, la vitesse et la dissipation de puissance [76].

La figure (III.14) présente le modèle de comparateur ; l'entrée de comparateur est la soustraction entre la sortie du E/B et le CNA ou une valeur constante est y ajoutée pour modéliser l'offset du comparateur réel (dans le cas idéal la valeur de l'offset est zéro). Le résultat est alors multiplié par un gain qui représente l'étage d'amplification. Le résultat est saturé à de pleins niveaux de logique et alors comparé à zéro pour définir qui des deux entrées est le plus haut.

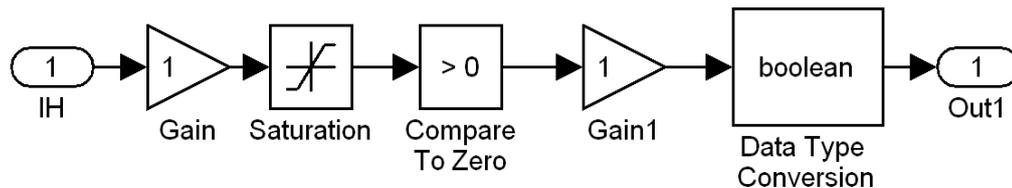


Figure (III.14) le modèle idéal du comparateur

Le modèle non idéal du comparateur MC est montré sur la figure (III.15) avec les facteurs des imperfections. Ses facteurs des imperfections sont les limitations principale du comparateur, ils sont l'offset de courant, le bruit thermique et le temps de propagation (temps de retard).

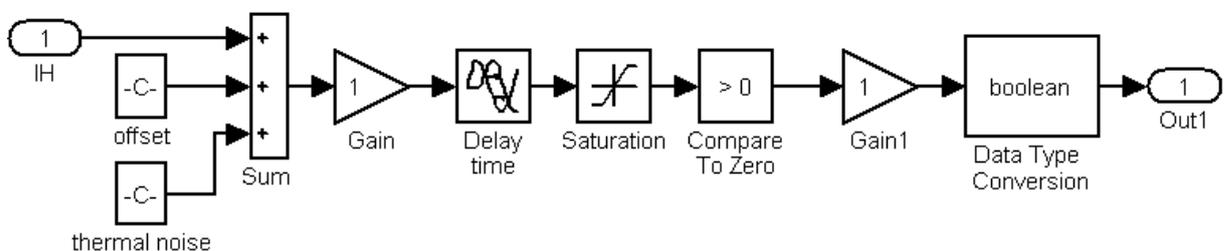


Figure (III.15) le modèle non idéal du comparateur

III.4.3. Le registre à approximation successive

Le registre à approximation successive est le noyau du convertisseur. Il produit le signal de commandes employé par le CNA. Le bloc de registre (suivant les indications de figure (III.16)) a été mis en application par l'utilisation des deux registres à décalage afin d'exécuter la routine d'approximation successive. Chaque registre à décalage se compose de chaîne de neuf bascules. Le registre à décalage dessus est employé comme compteur séquentiel et il est synchrone avec l'horloge interne. Le registre inférieur stocke la valeur de conversion. Chaque valeur échantillonnée (l'échantillonnage est effectué par E/B) du signal

d'entrée est comparée par le comparateur à la sortie du CNA. Le résultat de la comparaison est employé alors par le registre pour élaborer la prochaine étape.

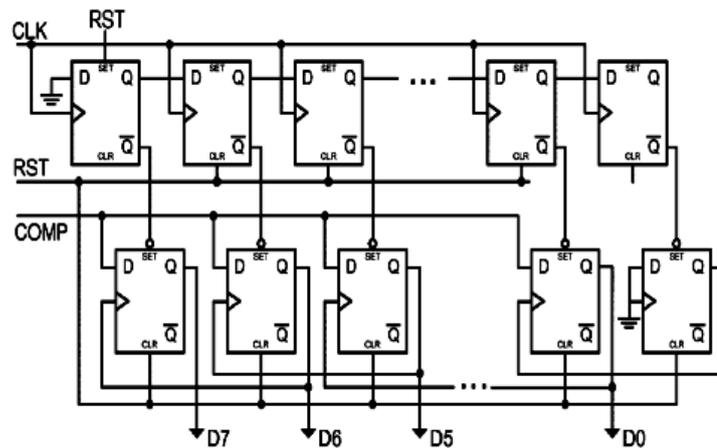


Figure (III.16) Le registre à approximation successive.

III.4.4 l'encodeur thermomètre4 à 15

2 bit d'entrées binaires sont converties en 3 codes thermomètre par le moyen d'un décodeur thermométrique 2 à 3. Il se compose d'un porte ET et une porte OU, et avec la même méthode nous pouvons réaliser l'encodeur du thermomètre 4-15. Comme indiqué sur la figure (III.17), il se compose de 08 portes OU et 08 portes ET, ces derniers sont disponible dans la bibliothèque de SIMULINK. L'inconvénient principal de l'encodeur de thermomètre, les logiques complexes de décodage et l'espace occupé sur la puce.

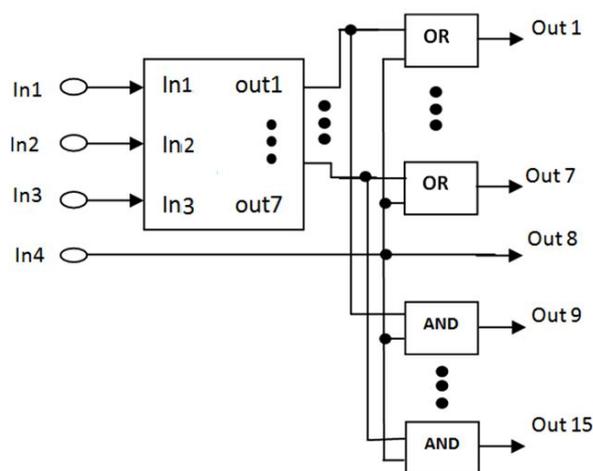


Figure (III.17) encodeur de thermomètre de 4 à 15 binaires.

III 4.5 Le CNA MC

Les CNAs MC (current steering DAC) sont convenables pour les applications à grande vitesse et de haute résolution [77]. La figure (III.18) montré la structure générale du

CNA MC proposée. Le CNA est présenté avec le code thermométrique comme est indiqué dans la référence [61]. Les données binaires d'entrée à 8 bits sont segmentées aux 4 bits les plus significatifs (MSBs) et 4 bits moins significatifs (LSBs). Pour les 4 bits MSBs sont décodés par le thermomètre afin de commander les 15 sources de courant identiques dont la valeur est $I_{ref}/16$, telles que le premier bit MSB commande 8 source de courant, le deuxième bit commande 4 source de courant, le troisième bit commande 2 sources de courant, et le quatrième bit quant à lui commande 1 source de courant. Les 4 bits LSBs sont directement appliqués aux 4 sources de courant pour prenant les valeurs $I_{ref}/32$, $I_{ref}/64$, $I_{ref}/128$, et $I_{ref}/256$.

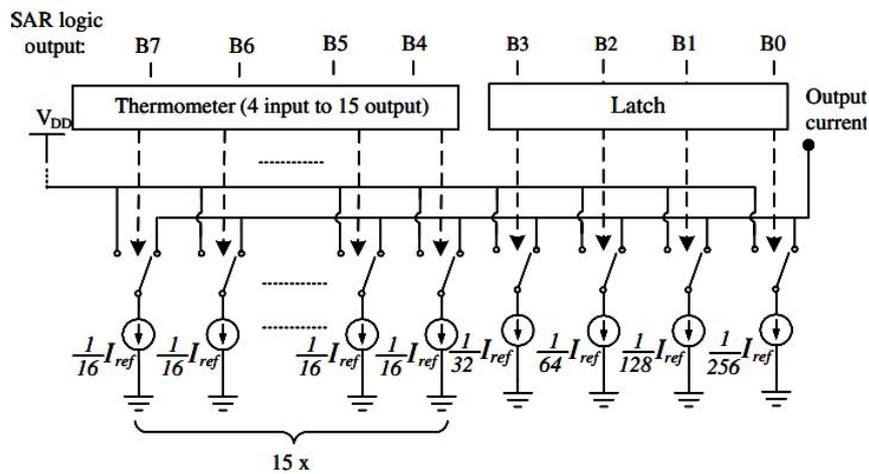


Figure (III.18) la structure générale du CNA MC

Dans le modèle de CNA, chaque source de courant est multipliée par un facteur de gain d'une telle manière qu'elle est devenue égal à la valeur de source de courant, le modèle de CNA pour 4 bits de LSB on lui montré sur la figure (III.19).

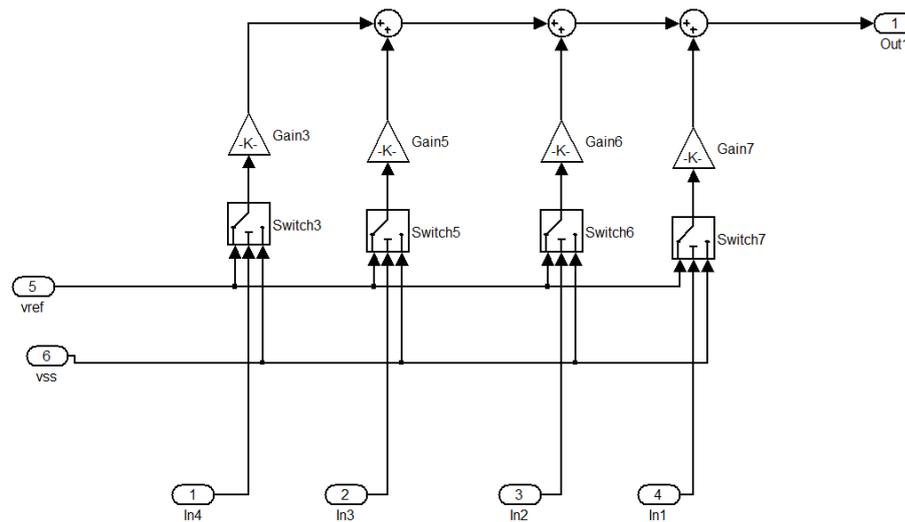


Figure (III.19) le modèle du CNA.

III.4.5.1 Les non-idéalités du CNA MC

La structure du CNA dans le cas idéal est montrée sur la Figure (III.20). L'avantage de cette architecture est le fait qu'elle n'exige qu'un petit espace sur la puce et un petit nombre de transistors. Pour le 8-bits CNA nous employons 8 sources courantes avec le même nombre des commutateurs, la structure de base de ce genre de CNA n'exige aucun amplificateur opérationnel et aucune boucle de contre-réaction. Chaque source de courant utilise une valeur de l'unité I_{unit} fois 2^N . Le bit « b_i » choisit est l'interrupteur qu'il relie la source de courant à la sortie. « b_0 » est le moindre bit significatif (LSB) et « b_{N-1} » est le bit le plus significatif (MSB) [60].

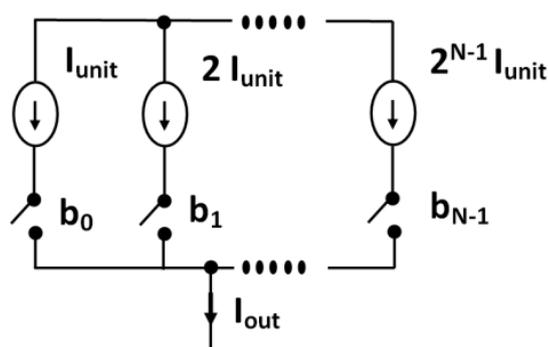


Figure (III.20) Le modèle équivalent du CNA MC

Pour une CNA idéale l'expression de courant de sortie est donnée par l'équation suivante ;

$$I_{OUT} = [b_{N-1}(n) * 2^{N-1} + \dots + b_1(n) * 2 + b_0(n)] * I_{unit} \tag{3.11}$$

Les performances du CNA sont limitées due a l'effet des sources des erreurs, des deux blocs fonctionnels de base critiques (utilisés dans ce dernier sont les commutateurs) et les sources de courant. Les facteurs non idéaux que nous avons inclus dans le modèle sont les non-idéalités des commutateurs et les erreurs de disparité des sources de courant.

Les non idéalités des commutateurs que nous avons présentés dans les sections précédentes (injection de charge, phénomène de «clock feedthrough », erreur sur l'instant d'échantillonnage, l'erreur d'établissement, bruit de scintillation et bruit thermique), dans la section qui suit nous présenterons les facteurs non idéals venant de la disparité des dispositifs (transistors) dans les sources de courant.

III.4.5.2 Les analyse de disparité

Les circuits avec la technique MC a des avantages principaux comme sa basse tension d'alimentation, une grande vitesse de fonctionnement, et sa compatibilité avec les circuits numérique en technologie CMOS. Il y a cependant un ensemble des limitations. Dans la conception des circuits CMOS, l'assortiment détermine l'exactitude des sources de courant. Les dimensions physiques des matériaux tels que l'épaisseur d'oxyde, la tension de seuil, et la largeur de transistor, varie hors les énormes réel de la puce pendant les procédé de fabrication. En raison de l'erreur d'assortiment, les transistors conçus identiques deviennent inégaux, l'influence des erreurs d'assortiment fait les tailles des transistors pour différer de leurs valeurs conçues, et donc le courant de sortie ne sera pas correct. Dans la figure (III.4) du circuit E/B et le CNA MC; en raison de la disparité la relation idéale entre le courant de M0 et les autres transistors des sources de courant ne peut pas être exactement réalisée.

Dans cette section on a étudié trois types de disparité, la disparité dans la transconductance ($B_1=B_0+\Delta B$), la disparité dans la tension de seuil ($V_{th1}=V_{th0}+\Delta V_{th}$), et la disparité dans la modulation de longueur de canal ($\lambda_1=\lambda_0+\Delta\lambda$).

Le courant de drain des transistors M0 dans l'état de saturation est donné par l'équation suivante.

$$I_{ds0} = \frac{B_0}{2} \times (V_{gs} - V_{th0})^2 \times (1 + \lambda_0 \times V_{ds0}) \quad (3.12)$$

Le courant de saturation de drain du transistor M1 est donné par l'équation (3.13), cette équation Décrit les erreurs d'appariement due à la variation des paramètres de processus.

$$I_{ds1} = \frac{B_0+\Delta B}{2} \times (V_{gs} - (V_{th0} + \Delta V_{th}))^2 \times (1 + (\lambda_0 + \Delta\lambda) \times V_{ds}) \quad (3.13)$$

Le circuit de base de CNA MC utilise des sources de courant pondérées avec le code binaire est montré sur la figue (III.21). Il se compose d'une rangée des sources des courants pondérée. Les sources de courants sont reliées en parallèle. Ils sont reliés à la sortie par l'intermédiaire du commutateur MOS, qui est commandé par le code d'entrée. Par conséquent, le courant de sortie du CNA est proportionnel au code d'entrée.

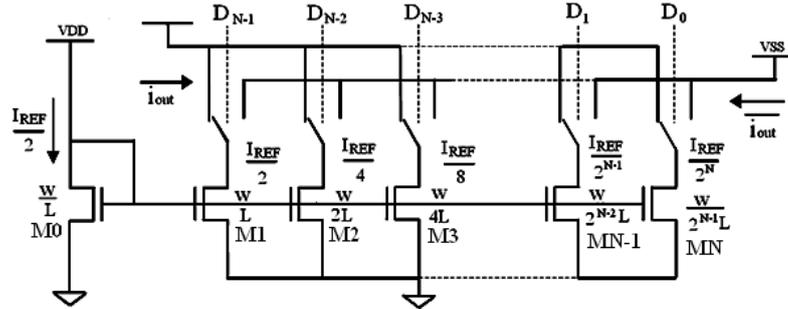


Figure (III.21) Le circuit du CNA MC

L'équation (14) illustre la relation entre le courant du transistor M0 et des transistors dans le CNA.

$$\frac{I_{dsn}}{I_{ds1}} = \frac{B_n}{B_1} \times \frac{(V_{gsn} - V_{thn})^2 \times (1 + \lambda n \times V_{dsn})}{(V_{gs1} - V_{th1})^2 \times (1 + \lambda \times V_{ds1})} \tag{3.14}$$

Les erreurs de disparité d'une source de courant peuvent être modélées comme une source de courant nominale connecte parallèlement avec la source d'erreur E_K , comme il est montré sur la Figure (III.22) [77].

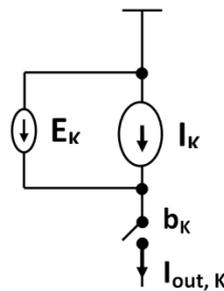


Figure (III.22) Le modele de disparitie de source de courant.

L'expression de courant de sortie du CNA non-idéal deviendra maintenant

$$I_{OUT}(n) = \sum_{k=0}^{N-1} b_k(n) * I_{OUT,K} \tag{3.15}$$

Où

$$I_{OUT,K} = I_{unit} * 2^K + E_K \tag{3.16}$$

Nous pouvons voir à partir de l'équation (16) que l'effet des erreurs de disparité sur les sources des courants causera un offset constant E_K dans le courant de sortie $I_{OUT, K}$.

III.5 Les résultats des simulations

Pour vérifier et confirmer les performances du nouveau modèle proposé avec les diverses facteurs non idéaux, nous avons effectué plusieurs simulations avec l'utilisation du modèle comportemental du CAN dans le cas idéal et non-idéal. Les simulations effectuées afin de vérifier les performances du modèle comportementale sont rapportés dans ces sections avec les performances statique et dynamiques.

III.5.1 Les performances dynamiques

Afin d'examiner le modèle et confirmer ses performances dynamiques, un signal analogue équivalent à une onde sinusoïdale avec une fréquence de 63 kilohertz est appliqué à l'entrée du CAN avec une fréquence d'échantillonnage de 5 mégahertz comme illustré sur la figure (III.23). Des résultats de simulation du signal de sortie du CNA et du signal analogue reconstruit du CAN sont montrés sur les figures (III.24) et (III.25)

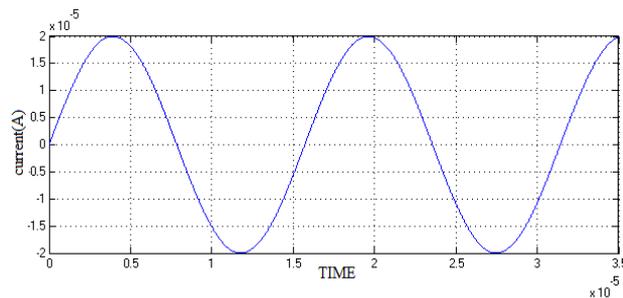


Figure (III.23) le signal d'entrée

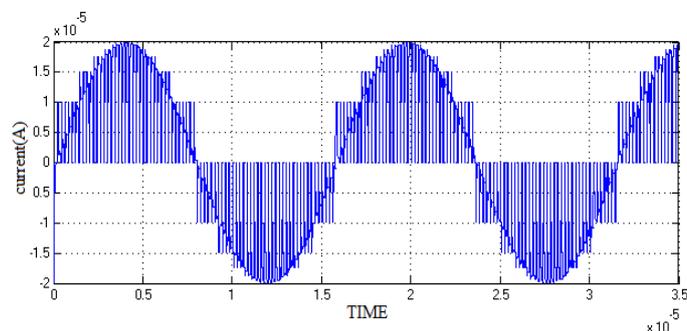


Figure (III.24) le signal de sortie du CNA

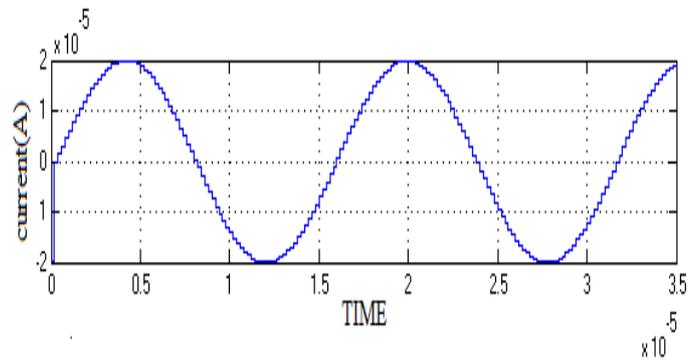


Figure (III.25) signal analogue reconstruit du CAN

Les performances dynamiques comprenant le SNR (rapport de signal-bruit), la SFDR (Spurious sans rapport dynamique). Et le THD. En employant la transformée de Fourier rapide (FFT), le SFDR et le THD peuvent être calculés à partir du spectre de puissance, les FFT produits pour le modèle idéal et non-idéal du CAN comme montrés dans les figures. (III.26) et (III.27) respectivement. Sachant que pour le modèle idéal nous avons extrait un SNR de 49.25dB, le SNDR de 49.2 dB, le SFDR de 65.3 dB et le nombre efficace de bit est de ENOB=7.9bit, et pour le modèle non-idéal nous avons un SNR de 46.33 dB, le SNDR est de 46.03 dB, Le SFDR est de 60.5 dB et le nombre efficace des bits est ENOB=7.35bit.

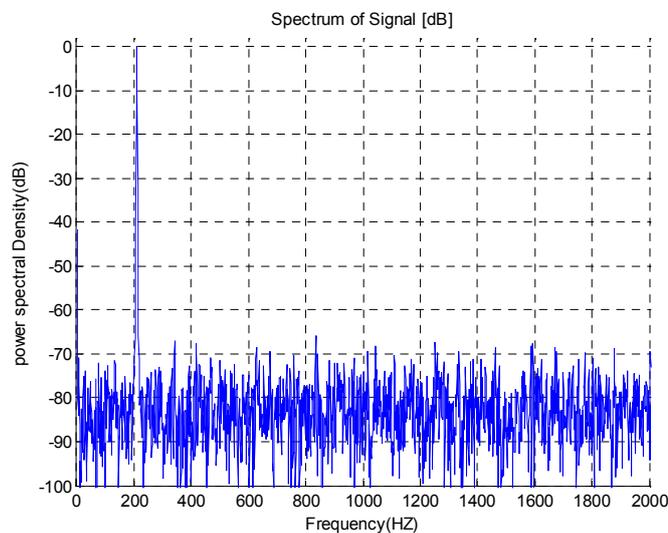


Figure (III.26) FFT du signal de sortie dans le cas idéal avec

$$F_{IN} = 63 \text{ KHz}, F_s = 12.5\text{MHz}.$$

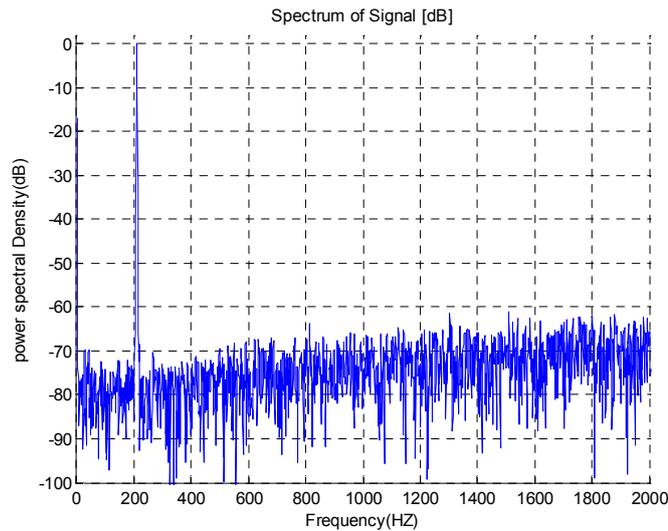


Figure (III.27) FFT du signal de sortie dans le cas non-idéal avec
 $F_{IN} = 63 \text{ KHz}$, $F_s = 12.5 \text{ MHz}$.

III.5.2 Les performances statiques

La linéarité est le paramètre le plus important dans le convertisseur de données. Les performances de linéarités incluent la non-linéarité intégrale (INL) et la non-linéarité de différentiel (DNL). L'INL est défini comme la déviation maximale d'un point de transition d'une conversion de point de transition par-rapport a une conversion idéale. L'INL est simulé avec l'utilisation d'un code de MATLAB. Basé sur la définition de ces paramètres, LSB présente la déviation de la fonction de transfert réelle d'une ligne droite. Pour le DNL, il est défini comme la différence entre une largeur réelle de pas et la valeur idéale de 1 LSB. Par conséquent, INL représente des erreurs cumulatives de DNL, l'INL est simulé par l'utilisation du code de MATLAB basé sur l'équation suivante

$$INL_j = \sum_{i=1}^{j-1} DNL_i \quad (3.17)$$

Les résultats de simulation des ces deux paramètres (DNL, INL) pour le modèle idéal du CAN sont montrés dans les figures (III 28) et (III.29) respectivement. Les résultats de simulation prouvent que la variation de ces derniers est plus moins que 1 LSB, il est entre $+0.02/-0.02$ LSB pour le DNL, et entre $+0.12/-0.03$ LSB. Pour l'INL

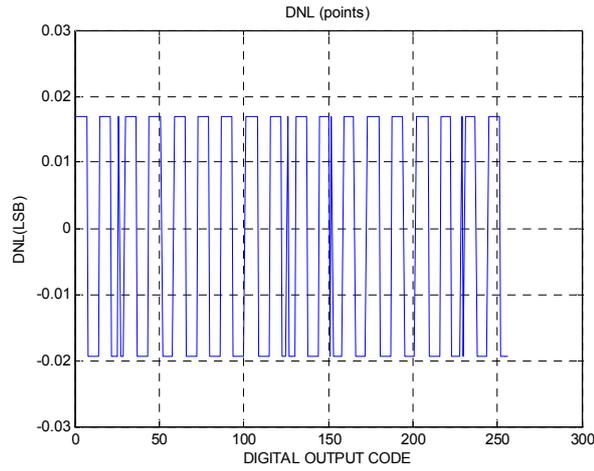


Figure (III.28) DNL du 8 bit SAR CAN MC (idéal modèle)

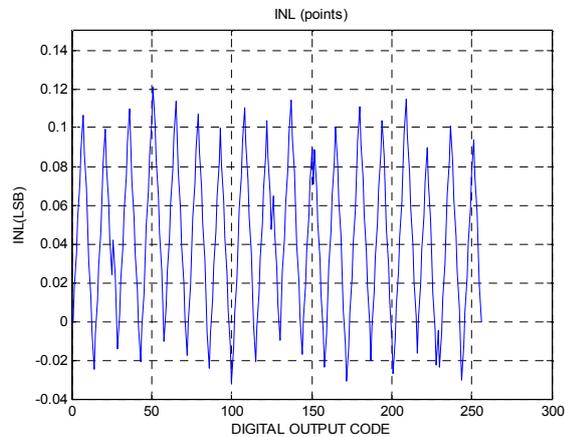


Figure (III.29) INL du 8 bit SAR ADC MC (idéal modèle)

Les figures (III.30) et (III.31) montrent la simulation des la non-linéarité intégrale (INL) et la non-linéarité de différentiel (DNL) pour le cas non idéal du modèle, sachant qu'on peut constater que Le DNL varie entre $-0.04/0.23$ LSB, et l'INL entre $-0.6/0.1$ LSB.

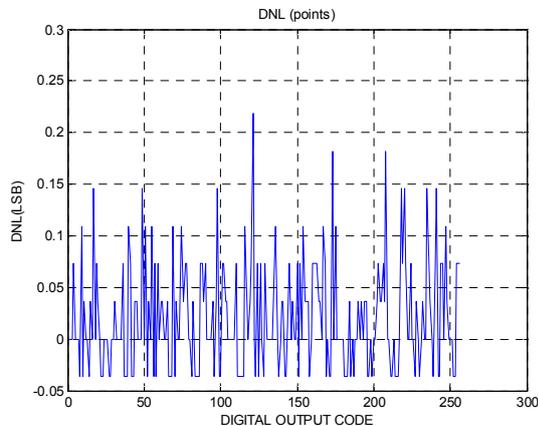


Figure (III.30) DNL du 8 bit SAR CAN MC (non-idéal modèle)

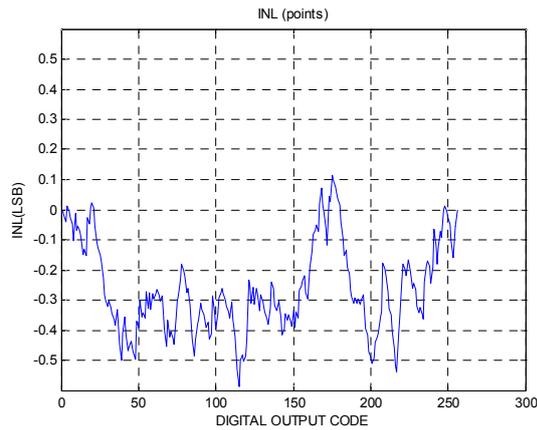


Figure (III.31) INL du 8 bit SAR CAN MC (non-idéal modèle)

Le tableau III.01 les caractéristiques principales de modèle du CAN.

Spécification	Valeur
Technologie TSMC	0.18 μm
Résolution	08 bits
Capacité d'échantillonnage C_{gs}	0.08fF
Capacité de chevauchement C_{ovl}	0.08 fF
Capacité d'Oxyde C_{ox}	8.78 fF/ μm^2
Fréquence d'échantillonnage f_s	10MHz
Offset du comparateur	100nA
Temps de propagation du comparateur	50ns
Coefficient de bruit de scintillation	$50 \cdot 10^{-12}$ A
La disparité du DAC (ϵ)	20 %

À partir des résultats présentés dans les sections précédentes, une comparaison peut être faite entre notre modèle comportemental du CAN SAR MC dans le cas idéal et non idéal. On peut voir du tableau III-02 que le modèle proposé décrit des bonnes caractéristiques avec les autres références [61, 78], soit en mode de courant ou mode de tension ; ceci prouve la précision et les bons performances de notre modèle proposé.

Tableau III.02 Comparaison des performances du modèle SAR ADC MC

Les paramètres	Ce travail/ Modèle idéal	Ce travail/ Modèle non-idéal	[61]	[78]
Mode	I-Mode	I-Mode	I-Mode	V-mode
Résolution (bit)	8-bits	8-bits	8-bits	8-bits
INL (LSB)	-0.023/0.12	-0.6/0.1	-0,56/0,9	-0.2/0.27
DNL (LSB)	-0.018/0.019	-0.04/0.23	-0,84/1,0	-0.18/0.34
SNR (dB)	49.25	46.33	/	/
SFDR (dB)	65.3	60.5	61.64	/
SNDR (dB)	49.2	46.03	46.2	48.2
ENOB (bit)	7.9	7.35	7.38	7.8

III.6 conclusion

Un nouveau modèle du CAN 8-bits SAR MC a été rapporté. L'analyse des performances statiques et dynamiques avec l'utilisation de MATLAB et Simulink confirment les bonnes caractéristiques du CAN SAR avec idéal et non idéal model. La conversion est effectuée sans l'absent des codes. Dans le modèle comportemental non idéal, les facteurs non idéaux les plus importants dans le convertisseur SAR MC ont été tenus en compte. Pour le comparateur MC, il a été modélisé en prenant en compte le courant d'offset et le temps de propagation (le temps de retard), l'effet de l'injection de charge ; synchroniser le bruit de scintillation, et le bruit thermique pour le circuit E/B. Les erreurs d'appariement des sources de courant et des non-idéalités des commutateurs dans le CNA MC ont été introduites. Le modèle comportemental a été mis en application pour étudier les effets des non-idéalités sur les performances de ce type des CANs. En effet ce modèle comportemental et les résultats de simulation aideront le concepteur afin de réaliser ces types des CANs avec une puissance faible, une gamme de courant au niveau du μA et le rendement élevé dans l'occupation d'espace sur la puce de silicium.

Chapitre IV

Modélisation du convertisseur A/N pipeline MC

IV.1 Introduction

En raison de développement de l'architecture et la complexité des circuits intégrés analogique ou mixte, l'utilisation d'un modèle comportemental est nécessaire pour concevoir et simuler les performances de ces derniers [79-81]. La complexité de ces circuits exige d'utiliser des simulateurs plus efficace et plus complexe. Le modèle comportemental qui emploie Matlab et Simulink environnement sont de bonnes méthodes pour concevoir et simuler les performances des circuits complexes tels que les convertisseurs A/N.

ces dernières années des nombreux des convertisseurs pipeline A/N avec haute performance (résolution, vitesse) ont été développé [82-86], ce type des convertisseurs Offre une combinaison attractive entre la vitesse, résolution, et faible consommation de puissance [87], Comparé aux autres types des convertisseurs A/N, la structure du convertisseur pipeline A/N présente des bonnes performances[88], L'architecture pipeline est optimisée pour la conversion à grande vitesse, et offre une faible consommation de puissance, ce type des convertisseurs sont l'architecture la plus populaire, caractérisé par une fréquence d'échantillonnage qui peut aller de quelque MSPS jusqu'à 100MSPS, avec des résolutions de 8 à 14 bits. Ces genres de résolutions couvrent une étendue des applications large dans le domaine industriel, y compris les systèmes de communication, les appareils médicale, la vidéo numérique, et le XDSL. Une autre raison de préférer l'architecture pipeline est que ses avantages assortissent les caractéristiques du Technique Courante-Commuter, de plus le convertisseur pipeline MC est avantageux parce qu'il peut être mis en application par technologie CMOS seulement.

Dans ce chapitre une nouvelle version de modèle du convertisseur A/N 8 bits de type pipeline MC a été développée, ce qui utilise la technique courante commutée pour réaliser ce type de convertisseur avec l'implémentation des transistors CMOS. Ceci a été conçu en employant l'environnement de MATLAB et de SIMULINK avec une focalisation détailler sur les blocs constitutifs analogique du convertisseur, Ces blocs sont échantillonneur-bloqueur

MC (S/H), le sous-CAN, le sous-CNA, le sous-CAN est conçu par deux comparateurs et circuit encodeur. Pour le S/H courant et sous-CNA, ils sont mis en application en employant des commutateurs et des sources de courant. En analysant les résultats de simulation du modèle où les composants non idéales les plus importants sont tenus en compte (le phénomène de «clock feedthrough », le phénomène de « charges injectées, bruit de commutation, le bruit de scintillation « flicker noise », l'offset de l'entrée de l'OPAMP et le comparateur, bruit thermique), il a été clair comment les paramètres du convertisseur sont affectés considérablement par les sources non idéal.

IV.2 L'architecture du convertisseur pipeline A/N MC

Parmi les différentes architectures de CAN, le convertisseur A/N pipeline est la solution la plus attractive pour une grande vitesse et moyenne à hautes résolution, Dans ce type des convertisseurs la conversion sont distribuée par plusieurs étages [89-91] comme le montré sur la figure(IV.1).

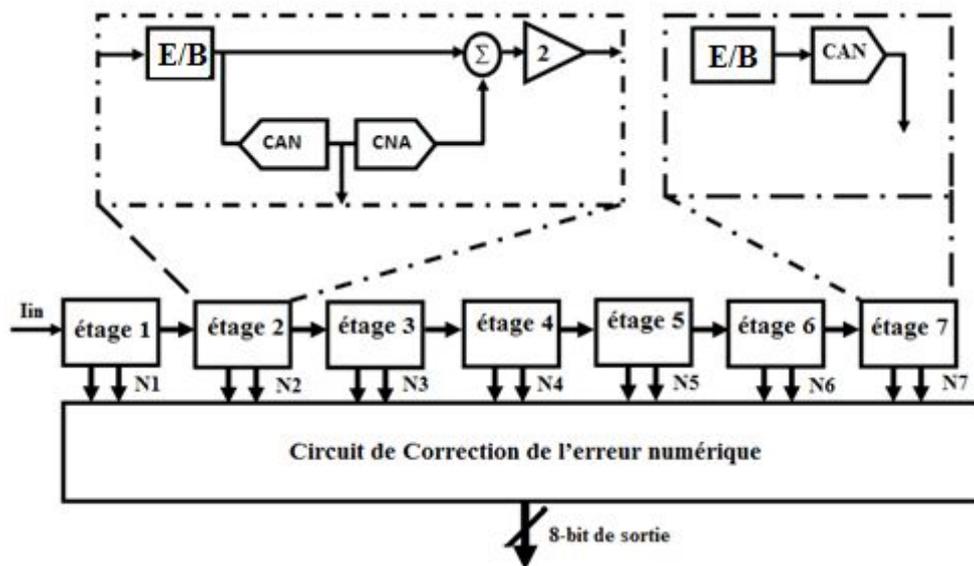


Figure (IV.1) bloc fonctionnel du convertisseur pipeline.

Excepté le dernier, Chaque étage contient un circuit échantillonneur bloqueur, un CAN de type flash à faible résolution (sous-CAN) MC, un convertisseur N/A MC (sous-CNA), un circuit sommateur et un amplificateur MC, Le dernier étage a seulement un E/B et un sub-CAN. Le principe d'opération du convertisseur pipeline MC est semblable au conventionnel mode de tension. L'entrée analogique est appliqué à premier étage dans la chaîne, Dans chaque étage, le signal est d'abord échantillonné et bloqué puis quantifié à 2 bits par sub-CAN, Après les données échantillonnées sont soustrait avec le signal quantifié pour

produire le signal qui reconnaît résidu, le résidu est amplifié puis appliqué à le prochain étage, ce processus est répété jusqu'à ce que la résolution désirée soit obtenue. Les données qui sont quantifiées dans chaque étage sont appliquées à la logique numérique de correction pour produire le code numérique final.

IV.3 Principe de fonctionnement de CAN pipeline

Dans le but de comprendre le fonctionnement du CAN de type pipeline, l'organigramme qui présente le principe de base de conversion dans chaque étage (1-bit par étage) est montré sur la figure (IV.2).

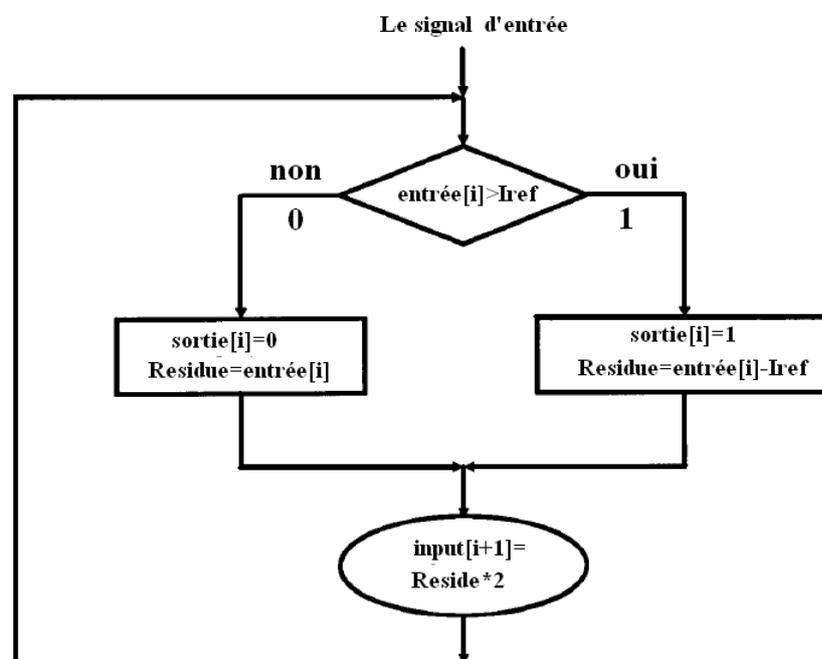


Figure (IV.2) Organigramme d'opération d'un étage.

Le signal d'entrée est comparé au niveau de référence du comparateur. Si le signal d'entrée est plus grand que la référence, le résultat de soustraction entre la référence et le signal qui est converti par Sub-CAN s'appelle « résidu ». Le résidu est alors multiplié par le facteur d'amplification (deux dans le cas de 1 bit) et appliqué à l'entrée de l'étage suivant pour continuer la prochaine comparaison afin de produire le bit moins significatif [92], le premier étage du convertisseur est responsable du bit le plus significatif du correcteur numérique, et le dernier étage du convertisseur est responsable de produire le moindre bit significatif.

Dans un but d'avoir le plus petit nombre des bits dans chaque étage, Afin d'avoir la meilleure performance en termes de vitesse, la puissance et la complexité, un bit par étage est le minimum et devrait donner les meilleures performances. Cependant, au moins une

comparaison supplémentaire est nécessaire pour donner la redondance à DEC (Digital Error Correction). Par conséquent, on a conçu SUB-CAN et SUB-CNA avec 1.5 bit par étage (2 seuils, 3 niveaux).

IV.4 Le Modèle comportemental du CAN Pipeline

Il est important d'analyser la fonction de chaque bloc constitutif du convertisseur et comprendre l'implémentation et les performances qui affecteront par les sources non idéales. Une analyse au niveau de simulateur MATLAB est performé. Un modèle de Simulink du CAN pipeline a été mis en application afin de simuler son comportement et extraire ces paramètres. Dans cette section les principes de base de l'opération d'un convertisseur A/N, les blocs constitutifs de chaque étage du CAN sont discutés.

IV.4.1 Modèle 1.5 SUB-CAN

Le modèle du 1.5 SUB-CAN de courant est présenté sur la figure (IV.3), tel qu'il est basée sur la structure des comparateurs. Chaque étage de SUB-CAN utilise deux niveaux de comparaison symétriques ($-I_{ref}/4$, $+I_{ref}/4$). En fait, les SUB-CAN à chaque étage de pipeline sont de type flash, ce type des convertisseurs sont très rapide afin d'assure un bon temps d'établissement, tout fois le nombre de comparateurs se développe exponentiellement avec le nombre des bits et les comparateurs, ce que signifie la dissipation de puissance, la complexité plus élevée, et moins rapidité du convertisseur.

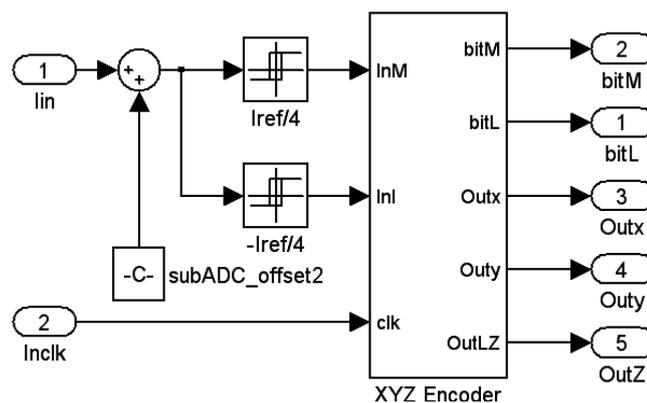


Figure (IV.3) Model du 1.5 SUB-CAN.

La gamme de courant d'opération est divisée en trois gammes secondaires et la sortie de 1.5 bit Sub-CAN se compose de deux bits. Ces bits présenté la sortie numérique initiale avant la conversion de correction des erreurs. Les codes de sortie Bi est montré dans l'équation suivante [93]

$$B_i = \begin{cases} 00; & I_{in} \leq -I_{ref}/4 \\ 01; & -I_{ref}/4 \leq I_{in} \leq I_{ref}/4 \\ 10; & I_{ref}/4 \leq I_{in} \end{cases} \quad (4.1)$$

La figure (IV.4) montr  l'architecture interne de l'encodeur XYZ. Les deux comparateurs ont g n r  un jeu de trois codes « thermom tre » et ensuite le circuit encodeur les convertis en codes binaires [94] et fourni sa sortie au Sub-CNA.

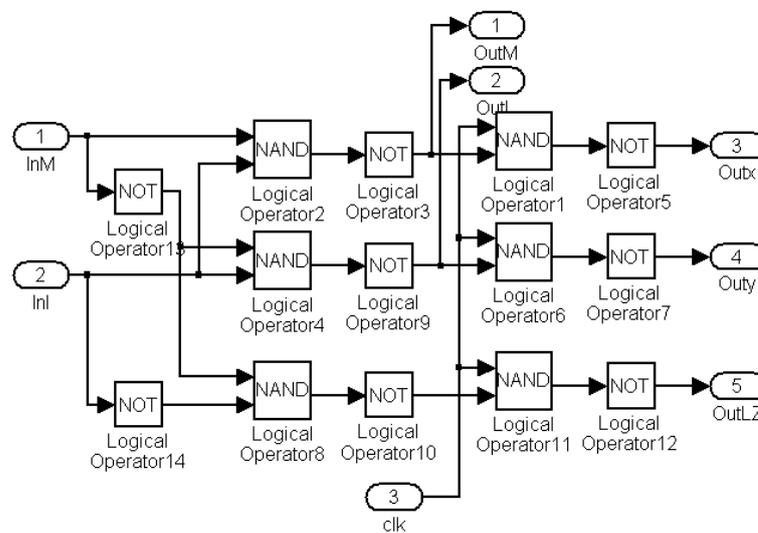


Figure (IV.4) encodeur XYZ

IV.4.2 Mod le du 1.5 SUB-CNA

La partie la plus importante et la plus critique dans chaque  tage du convertisseur pipeline est le multiplieur num rique-analogique (MDAC), il se compose de  chantillonneur bloqueur (E/B), Sub-CNA, un circuit sommateur et l'amplificateur. Les E/B et les Sub-CNA sont mis en application en employant des sources courantes et la technique des commutateurs de courant, cette technique a  t  propos e comme solution   beaucoup de probl mes en comparaison avec la technique de capacit  commut e (SC), la figure (IV.5) illustr e le mod le du Sub-CNA et sa configuration en transistor CMOS. Les valeurs de sorties des courantes sont $I_{ref}/2$, 0, $-I_{ref}/2$ pour les codes d'entr e 100, 010 et 001 respectivement.

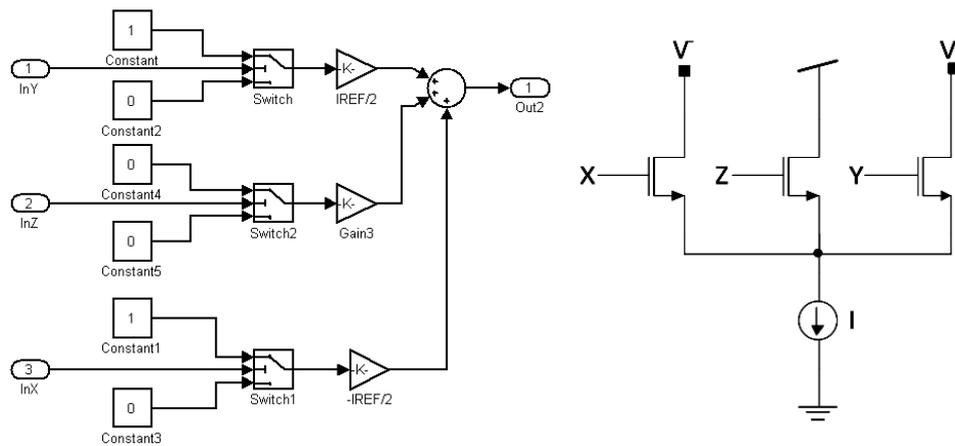


Figure (IV.5) le modèle du Sub-CNA et sa configuration en transistor CMOS.

IV.4.3 Correction d'erreur numérique (DEC)

Les composants avec une grande précision et petits offset habituellement exigent une puissance relativement élevée et une complexité élevée. Sous la motivation du coût plus bas et la facilité de fabrication, la plupart des CANs pipeline utilisent une technique appelée « correction des erreurs numérique, » également désigné sous le nom de la « détection d'au-dessus-gamme » ou de la « redondance de codage, » pour réduire considérablement l'effet des composant non-idéal [95]. Cette technique est largement utilisée pour éliminer l'effet de décalage dans le CAN pipeline [96-97].

Afin d'illustrer le principe de la correction numérique, on a présenté un étage de pipeline avec 2 bits comme un exemple, La figure (IV.6) montrée la fonction de transfert idéal de signal de sortie d'un étage de CAN pipeline.

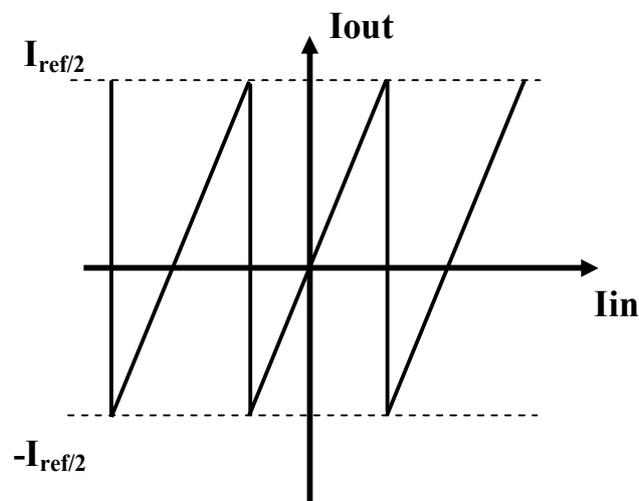


Figure (IV.6) Cas idéal de la fonction de transfert d'un étage pipeline.

Quand le signal d'entrée croise un des deux niveaux de Sub-CNA ($-I_{ref}/2$, $+I_{ref}/2$), la sortie numérique pour un étage augmente par un bit, considérant que l'étage de sortie diminue par 2 I_{ref} si on considère le gain de l'OPAMP entre les étages est 4, le signal envoyé au prochain étage ne présente aucune erreur, Quand un offset se produit dans le SUB-ADC ou MDAC l'effet de l'offset du comparateur et de l'amplificateur comme présenter sur les figures (IV.7) et (IV.8), le signal de sortie du première étage dépassera la gamme lié par le $\pm I_{ref}/2$, Ceci saturera la deuxième étage et causera manque d'information[98].

La tolérance de l'erreur d'offset est jusqu'à $1/8$ de la pleine gamme de signal, tant que l'erreur est dans cette marge, le circuit de correction d'erreurs numérique peut toujours donner le code numérique correct [98].

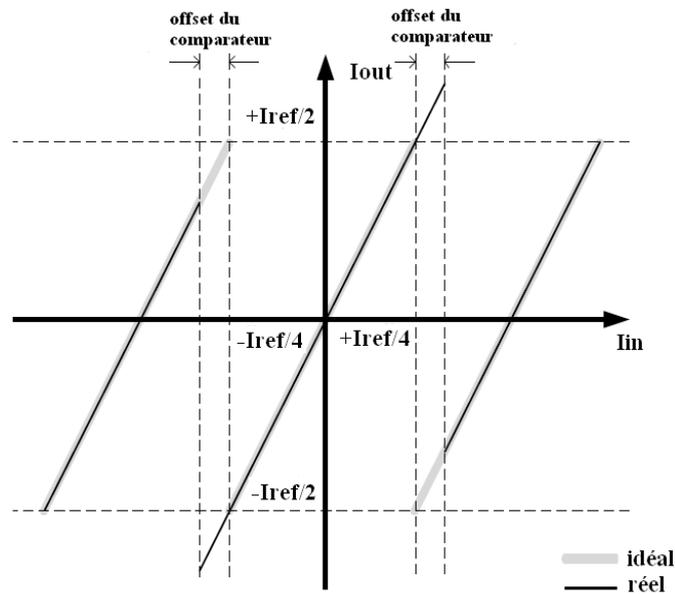


Figure (IV.7) La fonction de transfert d'un étage pipeline à 1,5bit avec l'offset du comparateur

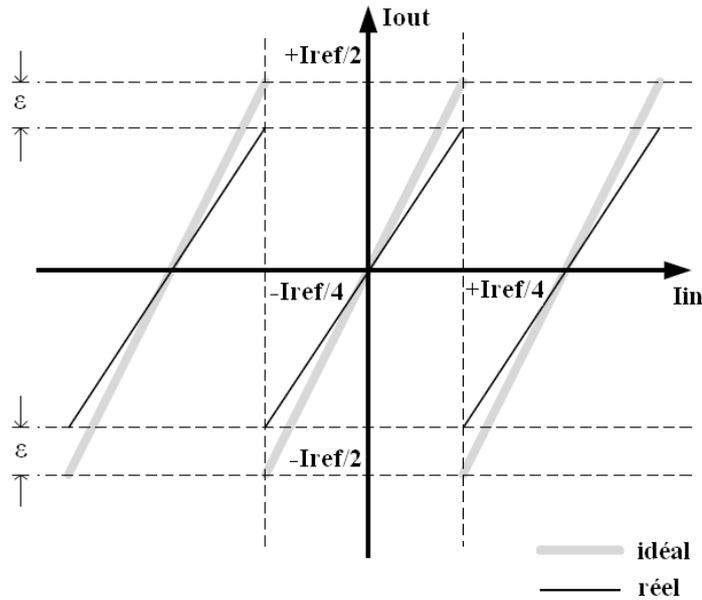


Figure (IV.8) La fonction de transfert d'un étage pipeline à 1,5bit avec l'offset de l'amp-op

IV.5 Les facteurs non idéal du CAN pipeline MC

Les effets non-idéaux empireront les performances globales du convertisseur, Dans cette section les effets les plus importants en pipeline MC sont discutés. Les sources principales non-idéales discutées dans cette section sont ; le bruit des commutateurs et l'injection des charges, traversée d'horloge le bruit thermique dans l'E/B et l'effet de courant d'offset soit dans le comparateur ou dans l'amplificateur.

IV.5.1 Non idéalités dans le circuit échantillonneur bloqueur

Le modèle comportementale de circuit E/B MC est montré sur la figure (IV.9) avec les facteurs non idéals principale sachant que l'injection des charges, traversée d'horloge et l'erreur sur l'instant d'échantillonnage (clock jitter).

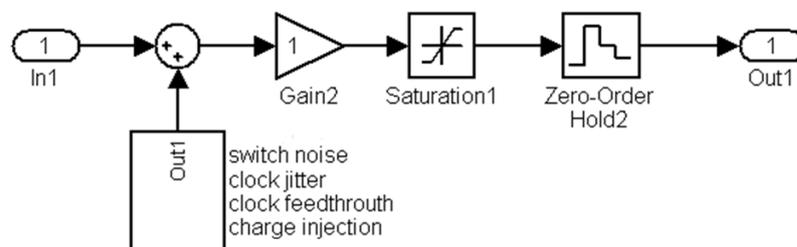


Figure (IV.9) le modèle comportementale du circuit E/B.

La figure (IV.10) montre le circuit E/B au niveau des transistors CMOS, Plusieurs recherche [99-101] a été fait pour analyser le comportement de non-idéalités de ce type des circuits. Dans ce type de circuit, le même transistor est utilisé pour mettre en application les

miroirs et les sources de courants. Ainsi, pour minimiser les erreurs de disparité des dispositifs.

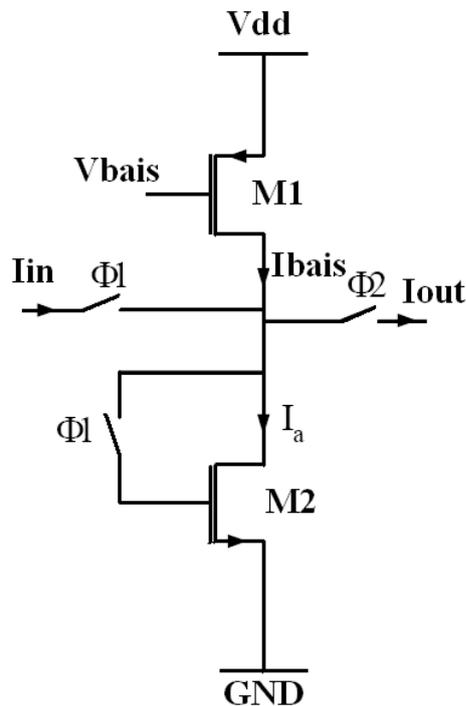


Figure (IV.10) seconde génération du circuit E/B MC

a) Temps de stabilisation

Le temps requis pour charger la capacité de grille-source est assuré par la durée de la phase d'échantillonnage qui est directement liée à la période du signal d'horloge. Cependant, si le processus de remplissage n'est pas complété au cours de la période de prélèvement, une tension d'erreur est stockée dans la capacité de la grille, ce que crée une erreur dans le courant de drain et une erreur dans le courant de sortie, souvent désigné sous le nom d'une erreur d'arrangement inachevée.

Le circuit équivalent de seconde génération E/B en petit signaux pendant la phase d'échantillonnage est montrée sur la figure (IV.11)

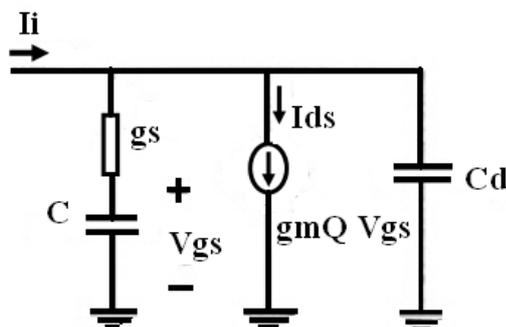


Figure (IV.11) circuit équivalent petit signaux du circuit E/B

Le C_d est la capacité résultant de la combinaison des capacités de drain-source de M1 et M2, C_{gs} c'est la capacité de grille-source de M1, C_{gs1} plus la capacité extrinsèque non linéaire, C_H , c.-à-d., $C=C_{gs1}+C_H$ représente la résistance de commutateur à l'état fermé.

La fonction de transfert qui rapporte des $V_{gs}(t)$ et I_i est donné par

$$\frac{v_{gs}(s)}{I_i(s)} = \frac{\frac{1}{g_{mQ}}}{1 + \left(\frac{C+C_d}{g_{mQ}}\right)s + \frac{C C_d}{g_{mQ} g_s} s^2} \quad (4.2)$$

Supposons que le commutateur d'échantillonnage est fermé à l'instant t_0 , et le signal d'entrée est maintenu à la valeur I_i . Dans de telles conditions, la réponse transitoire de V_{gs} et I_d peuvent être exprimés respectivement.

$$v_{gs}(t) = \frac{I_i}{g_{mQ}} + \left[v_{gs}(t_0) - \frac{I_i}{g_{mQ}} \right] \varepsilon_s(t - t_0) \quad (4.3)$$

$$i_d(t) = I_i + [i_{ds}(t_0) - I_i] \varepsilon_s(t - t_0) \quad (4.4)$$

Ou $\varepsilon_s(t - t_0) = e^{-(t-t_0)/\tau}$ l'erreur de arrangement à l'instant t .
et $\tau = C/g_{mQ}$, $i_{ds}(t_0) = g_{mQ} v_{gs}(t_0)$

b) L'injection des charges et la traversée d'horloge

L'injection de charge et le phénomène de traversée d'horloge sont devenu les sources principales d'erreur pour les circuits courants-commuter (circuits échantillonneur bloqueur et Sub-CNA MC). Parce que le courant est le plus sensible au phénomène d'injectée des charges que le signal de tension dans les circuits capacité-commuter [71]. Ces deux phénomènes Causé par la quantité de charge dans le canal du transistor MOS et les capacités parasites associé quand le transistor change son état entre le blocage et la saturation et la variation irrégulière d'horloge comme expliqué dans le chapitre précédent.

IV.5.2 Non idéalités dans le comparateur MC

La conception des comparateurs est une partie très critique dans la conversion des données et affecte directement les performances des circuits. Figure (IV.12) Présente le modèle de comparateur avec la limitation principale, les sources principales non idéales dans le comparateur sont l'offset de la disparité des composants et le bruit thermique.

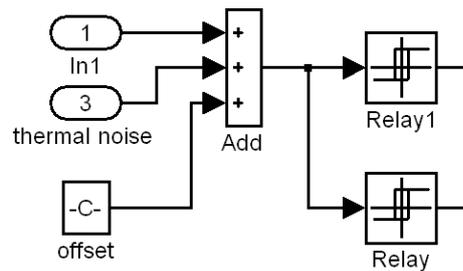


Figure (IV.12) le modèle du comparateur non-idéal.

IV.5.3 Les non-idéalités de l'amplificateur opérationnel

Dans le CAN pipeline l'amplificateur opérationnel amplifie le signal résidu avec un facteur d'amplification dépend de la résolution en bit de l'étage, la non idéalité d'amplificateur principalement peut causer la dégradation des performances du convertisseur. Les amplificateurs MC endurent d'un certain nombre des facteurs non idéal. Y compris; les erreurs de disparité, le bruit des composants, et le courant d'offset. Dans cette section, les non-idéalités principaux et leurs effets sur l'amplificateur MC sont discutés.

a) Techniques de compensation de disparité

Les amplificateurs MC de base souffrent des disparités de dispositif, principalement disparité en W/L , disparité en V_{th} , disparité en V_{gs} , et disparités en V_{ds} . La disparité de W/L est due à la variation des processus de fabrication. La disparité de dimension des transistors avec la configuration multiple est différente de celle des transistors avec la configuration simple comme montré sur la figure (IV.13).

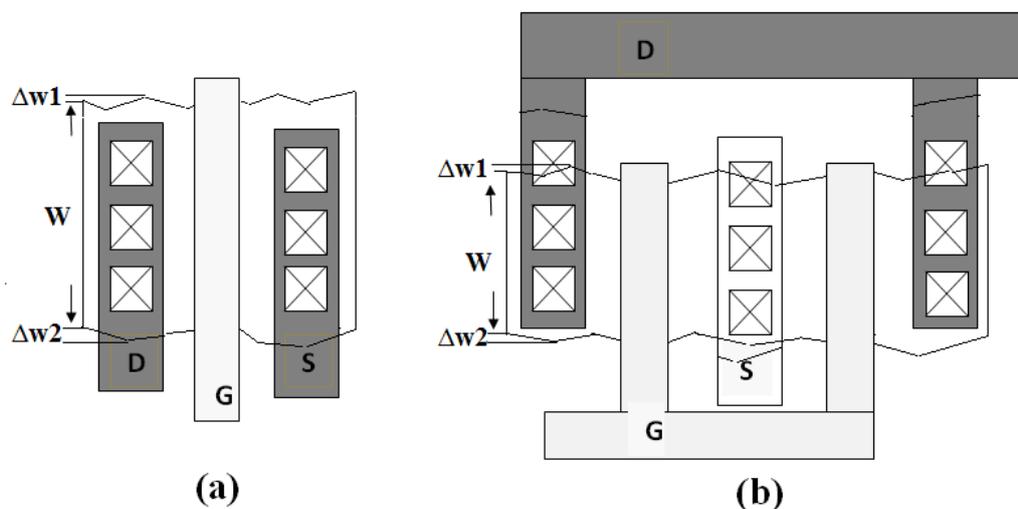


Figure (IV.13) Disparité de dimension des transistors (a) simple, (b) double.

Comme montré dans la figure (IV.13) pour la configuration double la disparité de la largeur est donné par $\Delta W=2(\Delta W1+\Delta W2)$, la configuration simple est donné par $\Delta W=\Delta W1+\Delta W2$

Pour l'amplificateur avec un gain de courant A on a ;

$$\left(\frac{W}{L}\right)_2 = A\left[\frac{W}{L} + \Delta\left(\frac{W}{L}\right)\right] \quad (4.5)$$

Par conséquences

$$i_{D2} = A(1 + \delta_{W/L})i_{D1} \quad (4.6)$$

Où $\delta_{W/L} = \frac{\Delta(W/L)}{W/L}$, le deuxième terme dans l'équation (4.6) est l'offset de courant de sortie dû à la disparité de w/L.

La disparité de vgs est principalement due au non équilibre qui est relié à des ensembles des tensions de la grille et la source d'entrée et de sortie des transistors. Sachent que $vgs1=vgs$ et $vgs2=vgs+\Delta vgs$

Donc

$$i_{D2} = A(1 + \delta_{vgs})i_{D1} \quad (4.7)$$

Où $\delta_{vgs} = \frac{2\Delta vgs}{vgs-v_{th}}$, $V_{gs}-V_t$ connues la tension efficace est habituellement petit.

La disparité de V_{th} qui peut être analysé d'une manière semblable à disparité de vgs.

$$i_{D2} = A(1 + \delta_{v_{th}})i_{D1} \quad (4.8)$$

Où $\delta_{v_{th}} = \frac{2\Delta v_{th}}{vgs-v_{th}}$,

Pour la même raison que pour la disparité de vgs, la disparité de V_{th} est critique. D'une façon semblable on peut analyser l'effet de la disparité de vds

$$i_{D2} = A(1 + \delta_{vds})i_{D1} \quad (4.9)$$

Où $\delta_{vds} = \frac{\lambda\Delta vds}{1+\lambda vds}$.

Le courant de sortie de l'amplificateur MC avec des disparités considérées est donné par

$$i_o = A(i_{in} + j) + \delta A(i_{in} + j) \quad (4.10)$$

Où $i_{D1} = i_{in} + j$.

Le deuxième terme du coté droit de l'équation (4.10) représente le courant d'offset de la sortie

Où le coefficient de disparité δ dans les pire des cas est déterminé par

$$\delta = \left| \delta_{w/l} \right| + \left| \delta_{v_{gs}} \right| + \left| \delta_{v_T} \right| + \left| \delta_{v_{DS}} \right| \quad (4.11)$$

b) Le bruit à l'OPAMP MC

Un amplificateur opérationnel (OPAMP) élément constitutif très important car il limite souvent les performances des convertisseurs telles que la vitesse et la précision, Le bruit dans l'OPAMP est extrêmement dépendant des sources de bruit qui existent dans les transistors CMOS, on peut distinguer dans le transistor MOS deux types de sources de bruit, bruit thermique et bruit de scintillation (1/f). Le bruit thermique et le bruit de scintillation ne sont pas en corrélation, le PSD totale du courant de bruit du transistor MOS est décrit par la relation suivante

$$\overline{di_d^2} = \frac{8KT}{3} g_m df + \frac{K_f}{C_{ox}WL} g_m^2 \frac{df}{f} \quad (4.12)$$

Dans les dispositifs MOS, le bruit thermique est inversement proportionnel à sa transconductance (par conséquent, à son allongement W/L) tandis que le bruit de scintillation est inversement proportionnel au produit de W*L. Par conséquent, le choix des tailles de transistor est important pour réduire au minimum le bruit et doit être fait selon la fréquence fonctionnant du circuit [71].

Le circuit équivalent pour le comportement de bruit de d'amplificateur de type mémoire de courant est présenté dans la figure (IV.14).

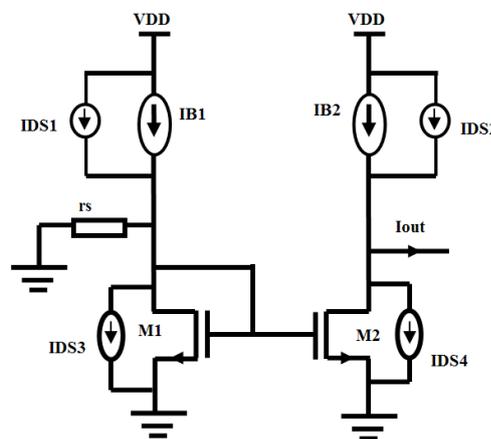


Figure (IV.14) Le bruit à l'OPAMP MC

Le bruit d'un transistor MOS, compris le bruit thermique et le bruit 1/f. le bruit de courant de sortie est

$$\overline{di_{out}^2} = A_i^2 \left(\overline{di_1^2} + \overline{di_{B1}^2} + \frac{4KT}{r_s} df \right) + \overline{di_2^2} + \overline{di_{B2}^2} \quad (4.13)$$

Ou $A_i = \frac{W_2 L_1}{L_2 W_1}$

Les sources de courant sont typiquement réalisées avec des transistors PMOS caractériser par une transconductance basse, en effet le bruit des sources de courant, $\overline{di_{B1}^2}$ et $\overline{di_{B2}^2}$, ont des effets négligeable sur le signal de sortie. Par conséquent nous rapprochons le bruit de courant de sortie par la relation suivante

$$\overline{di_{out}^2} \approx (A_i + 1) \frac{8KT}{3} g_{m1} df \quad (4.14)$$

La figure (IV.15) présente le modèle de bruit de l'OPAMP

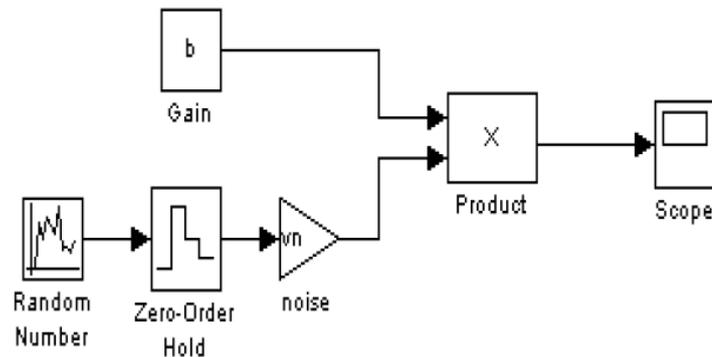


Figure (IV.15) Le modèle de bruit de l'OPAMP

IV.5.4 Bruit au transistor CMOS

Le bruit dans des circuits MC (comparateur, E/B et Sub-CNA) est extrêmement dépendent des sources de bruit qui existent dans le transistor CMOS. Les sources de bruit qui peuvent être distinguées dans les transistors CMOS sont ; le bruit de grenaille (shot noise), bruit thermique et bruit en 1/f (flicker noise).

a) *bruit de grenaille (shot noise)*

Bruit de grenaille produit quand un courant coule travers une barrière potentielle, il est provoqué par la fluctuation aléatoire du courant se produit dans des dispositifs de semi-conducteur ce type de bruit dominante durant l'intégration. En semi-conducteurs, il est produit par la diffusion aléatoire des trous et des électrons par une jonction de PN et par la génération et la recombinaison aléatoires des paires électrons et trous [102].

La relation qui permet de calculer le courant de fuite en fonction des densités de courant et des dimensions de la jonction PN est fournie par le constructeur (4.15). [103]

$$I_{OBS} = J_s \cdot W_{diode} \cdot L_{diode} + 2 \cdot J_{ssw} \cdot (W_{diode} + L_{diode}) \tag{4.15}$$

La tension quadratique moyenne de bruit engendrée par le courant de fuite est définie par l'équation

$$\overline{V_n^2}(T_{int}) = \frac{q I_{obs}}{C_d^2} \cdot T_{int} \tag{4.16}$$

Avec :

J_s et J_{ssw} : représentent respectivement le courant de fuite surfacique et le courant de fuite Périphérique de la diode.

W_{diode} et L_{diode} : les dimensions de la diode

T_{int} : temps d'intégration.

b) Bruit thermique ou bruit KT/C

La mobilité aléatoire des électrons à l'agitation thermique produit des variations aléatoire du potentiel aux bornes de tout composant semi-conducteur [104-105], le transistor CMOS est un circuit équivalent à une résistance contrôlée par la tension de grille quand il fonctionné dans la région linéaire. En effet le transistor peut servir un condensateur, un commutateur, ou une résistance selon la connexion réalisé entre ces trois bornes. Par contre pour la résistance présentée par le transistor lorsqu'il est en mode commutateur à l'état fermé ni nulle ni linéaire, Comme montre dans la figure (IV.16) le transistor MOS présente une résistance parasite non nulle.

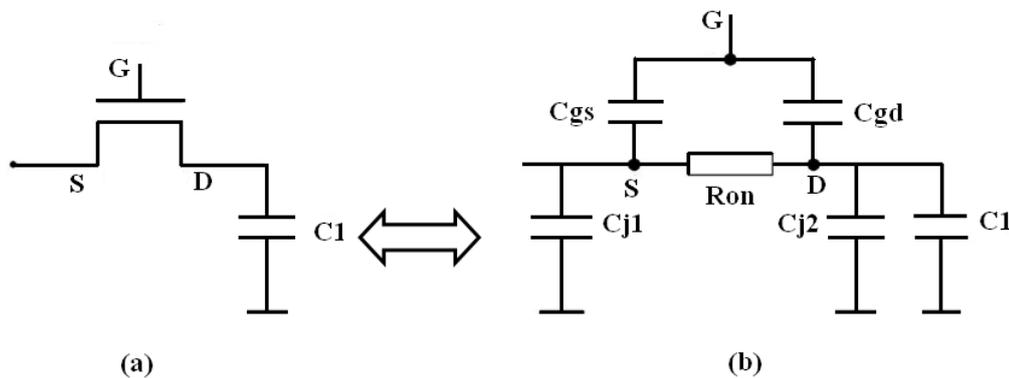


Figure (IV.16) (a) transistor monté en commutateur, (b) le circuit équivalent

A cause de L'agitation thermique aléatoire des électrons au borne de Ron crée un bruit blanc appelé bruit thermique sachent que la densité spectral de ce type de bruit est donnée par

$$\overline{v_R^2} = 4KTR \tag{4.17}$$

R est la résistance, K la constante de Boltzmann et T la température absolue en Kelvin.

On a considéré le commutateur MOS connecté en série avec condensateur C1 afin de formé un filtre RC comme présente dans la figure (IV.17).

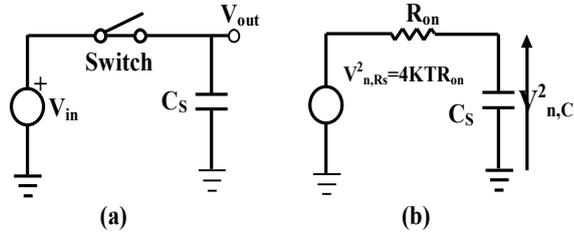


Figure (IV.17) (a) transistor monté en commutateur (b) circuit équivalent du filtre RC.

Le spectre du $V_{n,cs}$ est donné par $4KTR_{on}$ multiplié par la racine de la fonction de transfert du filtre de $R_{on} C_s$, le spectre du $V_{n,cs}$ est donné par [106-31]

$$V_{n,cs}^2(\omega) = \frac{4 \times K \times T \times R_{on}}{1 + (\omega \times R_{on} \times C_s)^2} \tag{4.18}$$

La tension thermique de bruit produite par le réseau dans la bande de fréquence entre f_1 et f_2 est donnée par [96]

$$v_t = [4 \times K \times T \int_{f_2}^{f_1} R_e(z) df]^{1/2} \tag{4.19}$$

Où $R_e(z)$ est la partie réelle du Z. ils sont donnés par

$$z = R_{on} // (1/j2\pi f C_s) \tag{4.20}$$

Et

$$R_e(z) = \frac{R_{on}}{[1 + (2\pi f R_{on} C_s)^2]} \tag{4.21}$$

La puissance totale de bruit stockée dans C_s quand le commutateur est ouvert décrit par la relation suivante

$$v_t = [4 \times K \times T \int_0^\infty \frac{R_{on} \times df}{1 + (2\pi f \times R_{on} \times C_s)^2}]^{1/2} = \sqrt{\frac{K \times T}{C}} \tag{4.22}$$

Le bruit thermique est provoqué par le mouvement thermique aléatoire des porteurs dans le canal, Ce bruit augmente avec la température et la variation de la fréquence, La valeur du courant équivalent produit par ce bruit thermique est donnée par l'expression [107].

$$I_f^2 = \frac{4.K.T.\Delta f}{R_{on}} \tag{4.23}$$

Ou

K : constante de Boltzmann ($1,38 \cdot 10^{-23}$ J / K)

T: température (K)

Ron: Valeur de la résistance

Le bruit thermique est habituellement modélisé comme source de bruit blanc additive avec la distribution gaussienne [108], La figue (IV.18) présente le modèle thermique de bruit, il peut être modélisée comme générateur variable aléatoire avec le bloc ordre-zéro, le bloc de gain est employé pour ajuster la valeur de bruit.

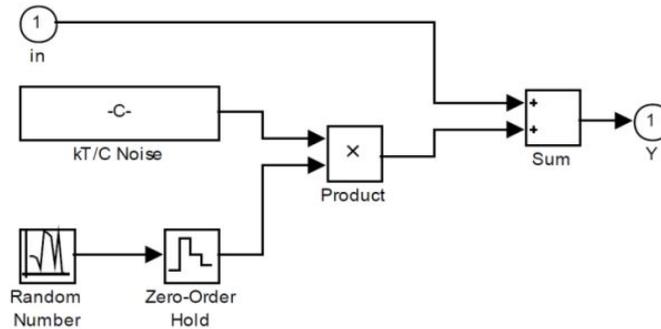


Figure (IV.18) Modélisation du bruit thermique du commutateur

c) *Le bruit de scintillation ou le Bruit en 1/f (flicker noise)*

Le bruit de scintillation est également connu comme le bruit 1/f, parce que sa densité spectrale est inversement proportionnelle à la fréquence, ainsi elle est dominante à basses fréquences. Les mécanismes exacts responsables de ce bruit ne sont pas connus. Attribut de quelques auteurs il à la présence des l'interface d'oxyde-silicium, Il se produit dans n'importe quel dispositif où deux conducteurs sont joints ensemble, des autres auteurs attribuent ce bruit aux fluctuations de mobilité [107-109]. La relation qui fournit la densité spectrale de bruit en 1/f présente à la grille de transistor est la suivante

$$S_{\text{inf}}(f) = \frac{K_f g_m^2 Q}{C_{\text{ox}} W L f} \quad (4.24)$$

Avec

Kf : coefficient lie a la technologie

Cox : capacité de l'oxyde mince

f: Fréquence.

d) *L'erreur sur l'instant d'échantillonnage: « Jitter »*

L'erreur de Jitter peut avoir comme conséquence l'irrégularité du temps d'échantillonnage. Le bruit de phase du générateur d'horloge et le circuit d'échantillonnage sont les causes de ce type des erreurs. Le Jitter produit une erreur qui augmente la puissance d'erreur de la sortie d'échantillonneur, Le signal sinus d'entrée est défini comme $A \sin \omega t$, où A et le ω représentent l'amplitude et la fréquence en radian respectivement. La différence

entre le temps réel d'échantillonnage et le temps idéal d'échantillonnage est Δt . Les résultats des erreurs sur l'instant d'échantillonnage peuvent être exprimés comme

$$x(t + \Delta t) - x(t) = \Delta A = \Delta t \cdot \frac{d}{dt} x(t) \quad (4.25)$$

Si nous avons supposé que l'incertitude de l'échantillonnage est une distribution gaussienne avec un écart Δt , le modèle de l'effet d'horloge est montré sur la figure (IV.19)

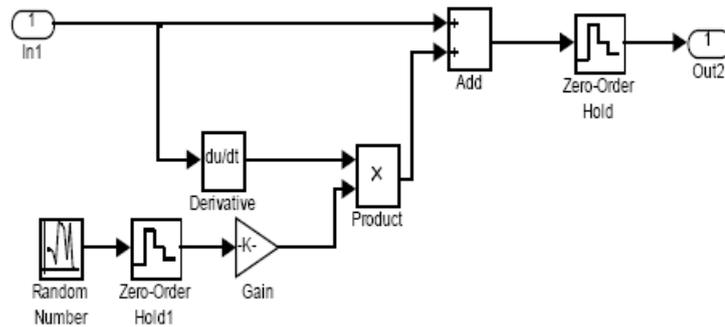


Figure (IV.19) Modèle de l'effet Clock jitter

IV.5.5 Non idéalités des commutateurs

Les commutateurs de transistor CMOS présentent plusieurs sources non idéales qui dégradent les performances des circuits MC (échantillonneurs bloqueur, CNA). Les facteurs principaux sont: la traversée de l'horloge (clock feedthrough), l'injection de la charge de canal du transistor MOS et l'effet de clock jitter. Les différents types de ces facteurs de bruit sont discutés précédemment, l'effet de la résistance non linéaire est décrit dans le paragraphe suivant

Idéalement un commutateur électronique de type NMOS est un circuit ouvert (impédance infini) si le signal d'horloge est au niveau bas et court circuit Lorsque le signal d'horloge est au niveau haut, mais en réalité à l'état passant non saturé (triode région) le transistor comporte comme une résistance définie par la relation suivante

$$R_{ON} = \frac{1}{\mu C_{ox} \left(\frac{W}{L}\right) \cdot (V_{gs} - V_{th})} \quad (4.25)$$

Où μ et C_{ox} sont des paramètres technologiques, W et L sont les dimensions transistor MOS, et V_{th} c'est la tension de seuil.

le modèle comportemental de la résistance fini du commutateur est montré sur la figure(IV.20), le model est obtenu par l'utilisation de la fonction de la résistance non-linéaire du commutateur [110]

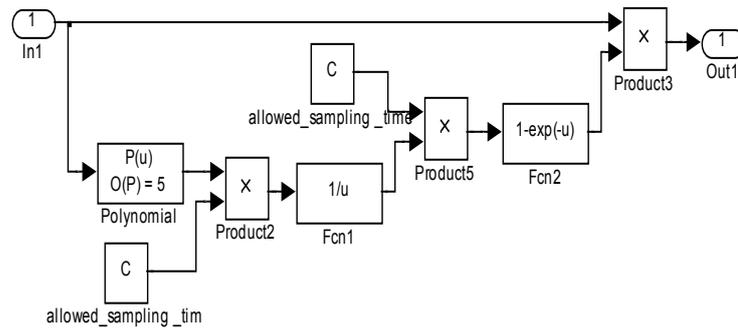


Figure (IV.20) le modèle comportemental de la résistance fini du commutateur

IV.6 Les résultats de simulation de modèle comportementale

Pour confirmer et vérifier les caractéristiques de la nouvelle version d'architecture du convertisseur A/N, un modèle du CAN a été mis en application afin d'effectuer plusieurs simulations. Des résultats de simulation pour les performances dynamiques et statiques sont présentés dans cette section, avec l'introduction de divers facteurs non idéals qui sont rapportés dans les sections précédentes.

Pour confirmer les performances statiques de modèle du convertisseur, un signal sinusoidal appliqué à l'entrée avec une fréquence de 10Khz, la fréquence d'échantillonnage du CAN est 100MHZ, la figure (IV.21) présente le signal de sortie qui a été reconstruite de la sortie numérique du CAN dans sa forme originale de signal d'entrée.

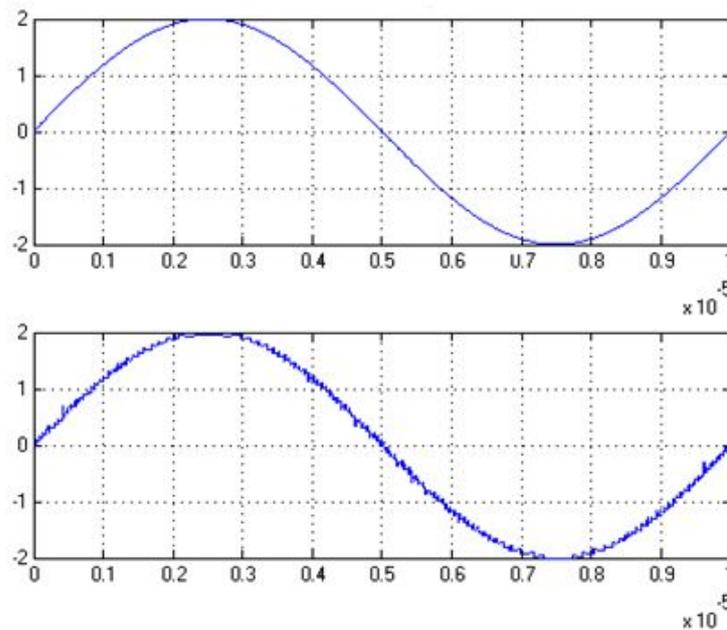


Figure (IV.21) l'entrée analogique et la sortie reconstruite du modèle non idéal pour $f_{in}=100$ kHz, $F_s=100$ MHz.

La simulation dynamique est faite dans le domaine fréquentielle Afin d'analyser et extraire les différents paramètres du CAN comme le rapport de signal-bruit (SNR) et SFDR (Spurious-Free Dynamic Range), les figures (IV.22) et (IV.23) présentent la transformée de Fourier rapide (FFT) pour des signaux sinusoïdal avec des fréquences d'entrée de 100kHz et 1MHz pour les deux cas idéal et non idéal respectivement. Comme nous pouvons extraire les valeurs de SNDR et de SFDR autour 46.29 du DB, le 51.2 DB

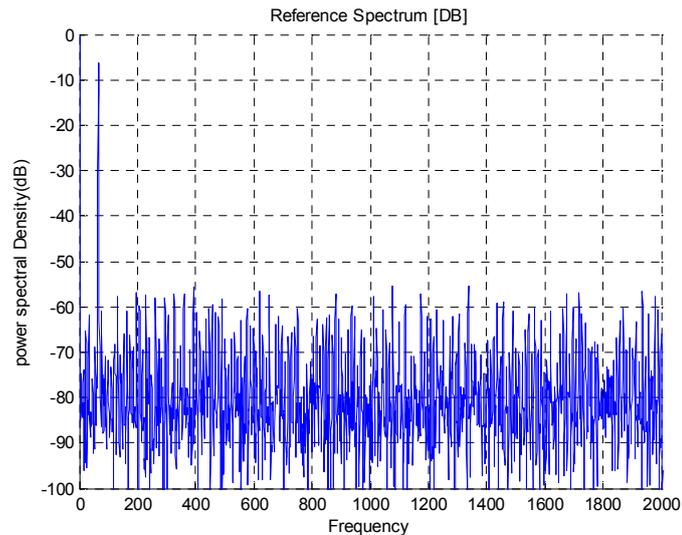


Figure (IV.22) FFT du signal de sortie du CAN dans le cas idéal avec $F_{in}=1\text{MHz}$, $F_s=100\text{MHz}$.

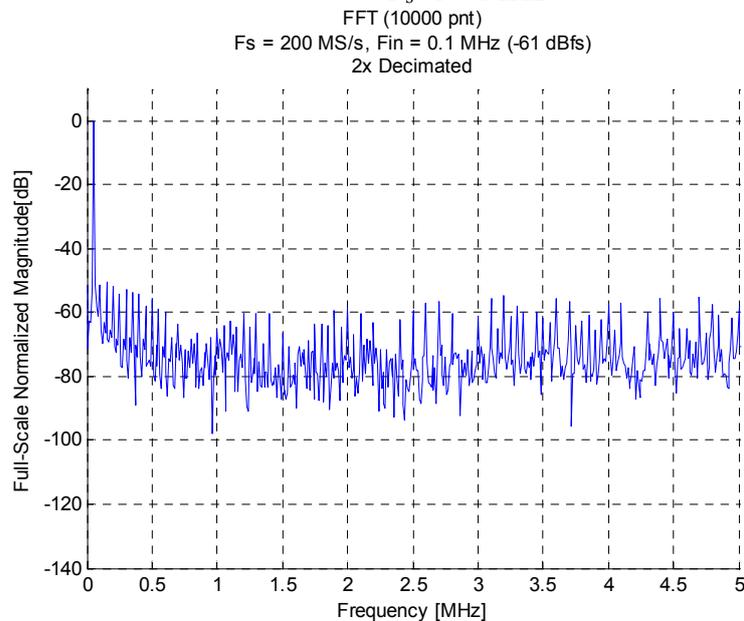


Figure (IV.23) FFT du signal de sortie du CAN dans le cas non-idéal avec $F_{in}=100\text{KHz}$, $F_s=100\text{MHz}$.

La linéarité est le paramètre le plus important dans le convertisseur A/N, la performance statique inclut la non-linéarité intégrale (INL) et la non-linéarité différentielle (DNL). Les figures (IV.24) et (IV.25) présentent les résultats de simulation du DNL et INL de modèle du convertisseur, le DNL et l'INL dans la marge de -0.06 à 0.16 LSB, -1.4 à 0.9 LSB, ces derniers ont été obtenus en prenant en considération les divers facteurs des erreurs.

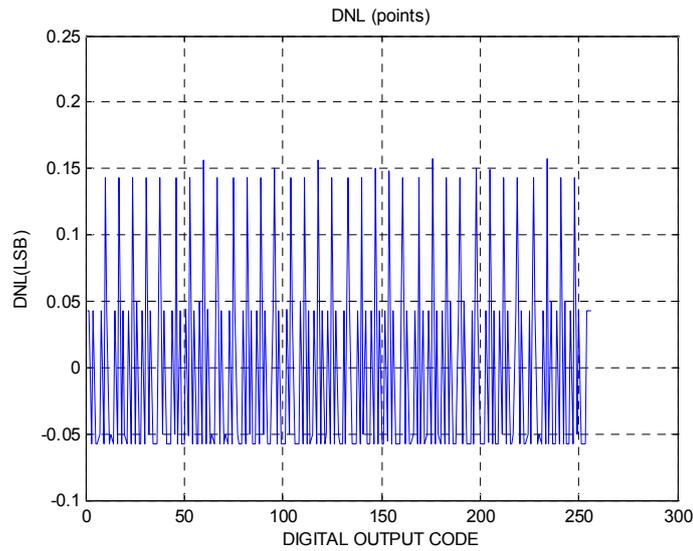


Figure (IV.24) DNL de non idéal pipeline CAN à 08 bits

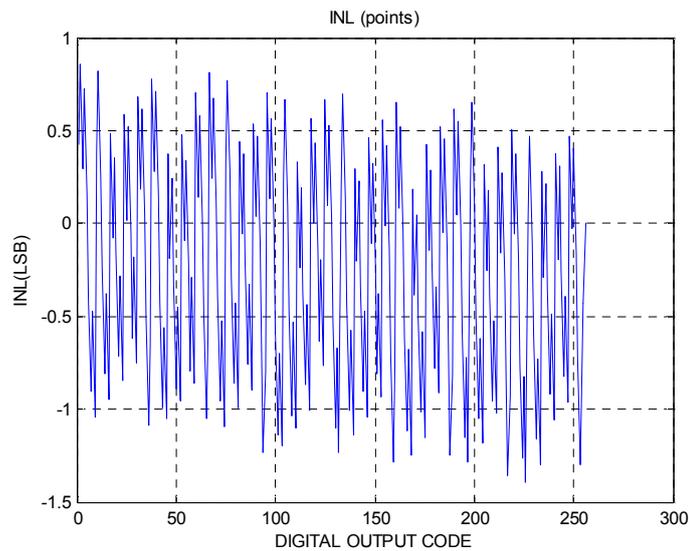


Figure (IV.25) INL de non idéal pipeline CAN à 08 bits

Le tableau IV.01 comporte un résumé des valeurs des paramètres utilisés dans la modélisation comportementale du CAN pipeline.

Tableau IV.01 Spécifications des paramètres du CAN pipeline MC 08-bits

Spécification	Les valeurs
Technologie	0.18 μ m
Résolution	08 bits
L'offset de l'amplificateur	400nA
L'offset de comparateur	200nA
Capacité d'échantillonnage C_{gs}	0.08 fF
Capacité de chevauchement C_{OV}	0.08fF
Capacité d'Oxyde C_{OX}	8.78.F/m ²
Fréquence d'échantillonnage	100MHz
Temps de propagation de comparateur	60ns
Coefficient de bruit de scintillation	6.10 ⁻¹⁰ A
La disparité du DAC (ϵ)	<10%

À partir des résultats présentés dans les sections précédentes, une comparaison est faite entre notre modèle du convertisseur pipeline MC avec des CAN réels [91,93]. Il peut voir dans le tableau 02 que le modèle proposé montre une bonne adéquation entre le modèle proposé et les CANs réels; ceci prouve les performances de notre modèle comportementale

Tableau IV. 02 : Comparaison des performances des CANs pipeline MC

Paramètres	Ce travail	[93]	[91]
Technologie	0.18 μ m	0.35 μ m	0.8 μ m8
Résolution	8 bits	9 bits	10 bits
Fréquence d'échantillonnage	100MHz	50MHz	20MHz
INL(LSB)	-1.4/0.9	0.9	0.9
DNL(LSB)	-0.06/0.16	0.7	0.9
SNR (dB)	46.25	52	40.8
SFDR (dB)	51.2	/	/
SNDR (dB)	46.29	/	/

IV.7 Conclusion

La modélisation comportementale d'un convertisseur A/N MC à haut niveau a été développée avec succès, Le développement du modèle du convertisseur 08-bit de type pipeline est fait avec l'utilisation du Matlab et du Simulink, les avantages principaux des circuits MC dans le mode du CAN a été présenté. Le modèle est employé pour analyser des divers non idéalités et pour démontrer comment ces facteurs des erreurs affectent les performances du convertisseur. Les analyses des simulations statiques et dynamiques confirment la bonne performance du modèle, Le modèle comportemental et les résultats des simulations aideront le concepteur pour développer un convertisseur pipeline MC à 8 bits en technologie CMOS avec une faible puissance et un rendement d'espace élevé sur la puce de silicium en employant les blocs Sub-DAC et de Sub-ADC en MC.

Conclusion générale

Ce manuscrit de thèse décrit une nouvelle version des CANs MC à grande vitesse et basse tension qui a été mise en application en employant une structure de basse tension originale avec la technique MC.

Cette technique a été utilisée afin d'améliorer les performances de ce type des convertisseurs. Les contraintes de conception et les spécifications fondamentales du CAN ont été également étudiées en détail. Une recherche bibliographique large et profonde a été effectuée afin de mettre à jour les performances de topologies des CANs qui peuvent être utilisées pour l'application désirée. Ces derniers occupent une place primordiale dans les circuits mixtes, car la majorité des applications électroniques récentes traitent l'information dans le domaine numérique et utilisent des convertisseurs de données comme interfaces avec les entrées et sorties analogiques. Aujourd'hui une nouvelle tendance de l'électronique qu'est l'intégration des System-on-Chip (SoC) et des ASIC mixtes implantés sur une surface toujours plus réduite, avec des fonctions de plus en plus complexes. Cette tendance s'accompagne de nombreux problèmes comme la fiabilité des systèmes, la vitesse de conversion, la résolution et la consommation d'énergie. La réduction de la tension d'alimentation et la perte de précision occasionnées par la réduction des dimensions ne sont pas sans conséquences durant la conception des blocs analogiques.

Dans ce cadre, les travaux présentés dans cette thèse visent l'étude de la conversion analogique numérique afin de mettre en évidence les difficultés à surmonter, spécialement au niveau de la conception, modélisation comportemental et l'optimisation des deux types des CAN (SAR et pipeline MC). L'objectif de cette thèse est de mettre en œuvre une méthode de conception des CAN MC prenant en compte les spécifications depuis le cahier de charge jusqu'à le modèle comportemental.

Sachant que l'objectif principal de ce projet était de proposer les techniques de conception des CAN à approximations successives et pipeline MC dans les procédés microélectroniques modernes. Nous avons conçu les deux CANs, approximations successives et pipeline avec 8 bits de résolution dans le procédé CMOS 0.18 μm . La première partie du travail a été axée sur le principe de fonctionnement des CANs, ses paramètres de performances et une revue de littérature des récents travaux qui ont déjà été effectués dans le domaine. L'étude a montré que la conception d'un CAN reste

une tâche méticuleuse qui demande une bonne maîtrise des éléments de base tels que le comparateur, l'échantillonneur bloqueur (E/B), OPAMPs et les CNAs.

Comme un deuxième objectif de ce manuscrit, on a démontré l'utilité de la proche mode de courant pour les deux types des convertisseurs, sachant que dans les architectures de type SAR et pipeline mode de tension, les circuits E/B d'entrée et les circuits DAC dominent la dissipation de puissance avec l'utilisation des condensateurs dans ces blocs. Cependant, dans les deux types CANs MC les majeure partie de ces derniers sont implémentée en utilisent seulement les transistors MOS afin de réduire la puissance dissipé et augmente l'fréquence de fonctionnement par les convertisseurs et l'espace occupé par ces derniers.

Le troisième objectif est la modélisation comportementale des CANs SAR et pipeline MC. Les simulations ont été réalisées au niveau comportemental sous Matlab, fourni les performances des sous blocs. Ces derniers sont optimisés afin de respecter les spécifications du système. Puis une autre optimisation permet de dimensionner les circuits constituant le système. La première étape est la modélisation des blocs de base qui constitue le modèle comportementale idéal pour les deux types des convertisseurs comme les blocs E/B, les OPAMPs, les comparateurs et les CNAs. Concernant la deuxième étape de la modélisation, nous avons adopté un modèle comportemental des convertisseurs (SAR et pipeline MC) qui prend en considération la majorité des facteurs de bruit et imperfection du circuit. L'adoption de la modélisation comportementale grâce aux différents avantages qu'elle offre, de plus, avec l'utilisation des modèles comportementale le temps de conception par rapport aux simulateurs au niveau des transistors sera réduite

Au niveau des tests, on a eu recours à un E/B et CNA idéaux afin d'avoir un environnement de test adéquat. Les circuits des CANs ont été validés à partir d'une simulation, ceci pour les deux CANs. Nous avons utilisé le simulateur Matlab et Simulink. Dans le cas du CAN 8 bits de type SAR, avec un signal d'entrée sinusoïdal de fréquence de 100 KHz avec une fréquence d'échantillonnage de 1MHz, la valeur calculée du S/B est de 57.86 dB, ce qui correspond à un ENOB de 9.32. Au niveau du CAN à 8 bits de type pipeline, on a injecté une sinusoïde de 1MHz en entrée sous un échantillonnage de 100MHz, le S/B calculé est de 48.29 dB, ce qui correspond à un ENOB de 7.68. Nous pouvons donc dire que nos objectifs ont été atteints. La solution proposée avec l'approche mode de courant pour réduire la consommation d'énergie dans les CANs s'est montrée satisfaisante au regard des résultats obtenus. Dans le même ordre d'idée, les performances des circuits dimensionnés ont été validées par comparaison avec les résultats obtenus à partir des convertisseurs réels au niveau des transistors, Certains de ces travaux ont été publiés [111-113].

Perspectives:

Comme perspectives de notre travail :

Nous proposons comme un travail de future de modéliser les modèles comportementales en prenant en compte les autres facteurs et les erreurs non pris en charge dans les deux modèles. Un prolongement naturel de ce travail est de définir une méthode de synthèse complète d'une architecture de CAN à partir du modèle comportemental obtenue. La spécification des sous blocs nécessite d'introduire des niveaux de modélisation supplémentaire pour prendre en compte des effets secondaires ignorés par la simulation comportemental, dont le but initial est de fournir une méthodologie d'évaluation rapide des performances qui permette l'optimisation de paramètres d'implémentation les deux type SAR et pipeline MC au niveau des transistors avec l'utilisation des outils de conception à haut niveau comme cadence. Basant sur la méthode de conception et le modèle comportementale développée. Les possibilités de modélisation avec des outils de haut-niveau de plus la méthode de conception proposée peut être applicable pour les autres types des CANs. Ainsi que, nous proposons de trouver des méthodes de corrections des erreurs d'un CAN, Ces corrections peuvent être analogiques et/ou numériques afin de compenser les erreurs et calibrer les convertisseurs étudiés.

Bibliographies

- [1] Cadence Design Systems, “20 Questions on 20nm”, Cadence Design Systems, San Jose, CA, USA, 2012.
- [2] NVIDIA, “Whitepaper NVIDIA’s Next Generation CUDA Compute Architecture: Kepler GK110,” NVIDIA, Santa Clara, CA, 2012.
- [3] Intel Corporation, “Intel Xeon Processor E7 Specification”, Intel Corporation, Santa Clara, CA, USA, 2011.
- [4] catalin-adrian tugui, “Design Methodology for High-performance Circuits Based on Automatic Optimization Methods”, thesis PhD, École supérieure d’électricité (SUPELEC), 14 January 2013.
- [5] C. Toumazou, F.J. Lidgley, D.G. Haigh, Analogue, “IC Design, the current-mode approach”, IEE Circuits and Systems Series 2, Peter Peregrinus Ltd. 1998.
- [6] Nambiar, Neena Balakrishnan, “A Current-Mode Multi-Channel Integrating Analog-to-Digital Converter. ”, thesis PhD, University of Tennessee, August 2009.
- [7] Hugues achigui jeazet, “ convertisseur analogique-numérique à approximations successives opérant A I-V dans un procédé CMOS submicronique”, thèse maîtrise en génie électrique, juillet 2011.
- [8] Olivier BERNAL, “Conception de Convertisseurs Analogique-Numérique en technologie CMOS basse tension pour chaînes Vidéo CCD Spatiales”, thèse doctorat, l’Institut National Polytechnique de Toulouse, septembre 2006.
- [9] Nicolas Pillet, “conception et intégration de convertisseurs analogique/numérique, compacts, à bas bruit, adaptés aux capteurs CMOS destinés à la détection de particules chargées”, thèse doctorat, université de Strasbourg, juin 2010.
- [10] Emmanuel Allier, “interface analogique numérique asynchrone : une nouvelle classe de convertisseurs bases sur la quantification du temps”, thèse Ph.D, institut national polytechnique de Grenoble, novembre 2003.
- [11] hung dang, “nouvelle approche de conception d’un CAN parallèle 1.25-gigaéchantillons/s utilisant la technique MCML”, mémoire maîtrise es sciences appliquées, département de génie électrique école polytechnique de Montréal, juin 2005.
- [12] Franco. Maloberti, “Data Converters ”, Springer, Dordrecht, Netherlands, 2007.
- [13] Alexandre Herculano Mendes Silva, “Pipelined Analog-To-Digital Conversion Using Current-Mode Reference Shifting ”,thesis master, Faculdade de Ciências e Tecnologia, Universidade Nova de Lisboa,October 2012.
- [14] Chun-hsien su, b.s., m.s., “a multibit cascaded sigma-delta modulator with dac error cancellation techniques”, Ph.D thesis, Texas Tech University, May, 200.
- [15] Abdelghani Dendoga, “Contribution à la Modélisation et à la Conception d’un Convertisseur Analogique Numérique Sigma Delta”, thèse doctorat science, Département d’Electronique université de Batna, l’algerie, juillet 2013.
- [16] Van De Plassche, Rudy; “Integrated Analog-to-Digital and Digital-to-Analog Converters”; Kluwer Academic Publishers, 1994.
- [17] I. Iroaga and B. Murmann: “A 12-Bit 75-MS/s Pipelined ADC Using Incomplete Settling”. IEEE journal of Solid-State Circuits, Vol. 42,pp 748-756, April 2007.
- [18] L. Sumanen: “Pipelined Analog-to-Digital Converter for Wide-Band Wireless Communications”. Thèse de doctorat, Helsinki University of technology, Espoo, Finland, December 2002.
- [19] S. K. Gupta, M. A. Inerfield, J. Wang, “A 1-GS/s 11-bit ADC With 55-dB SNDR, 250-mW Power Realized by a High Bandwidth Scalable Time-Interleaved Architecture.” IEEE J. Solid-State Circuits, vol. 41, pp. 2650–2657, Dec.2006.

- [20] mokrane dahoumane, “ Conception, Réalisation et Caractérisation de l’Électronique Intégrée de Lecture et de Codage des Signaux des Détecteurs de Particules Chargées à Pixels Actifs en Technologie CMOS”, thèse doctorat, l’Université de Strasbourg, novembre 2009.
- [21] M. Dessouky and A. Kaiser: “A very low-Voltage Digital-Audio $\Sigma\Delta$ Modulator with 88-dB Dynamic Range Using Local Switch Bootstrapping”. IEEE journal of Solid-State Circuits, Vol. 36, pp.349-355, March 2001.
- [22] L. Samid, Y. Manoli: “A micro power continuous-time $\Sigma\Delta$ modulator”. Solid- State Circuits Conference, ESSCIRC’ 03. Proceedings of the 29th European 2003.
- [23] S-K. Tewksbury and R-W. Hallok: “Oversampled, Linear Predictive and Noise-Shaping Coders of Order $N>1$ ”. IEEE Transactions on Circuits and Systems, Vol. CAS-25, pp. 436–447, July 1978.
- [24] J-P. Troadec : “Principes de conversions analogique-numérique et numérique- analogique”. Dunod, 2003.
- [25] C-C. Shih, P-W. Li and Paul Gray: “Ratio independent Cyclic A/D and D/A Conversion Using a Recirculating Reference Approach”. IEEE Transactions on Circuits and Systems, Vol. CAS-30, October 1983.
- [26] N Nambiar et al, “A Current mode multi-channel wilkinson ADC”, IEEE ICSES, september 2008.
- [27] O.B Milgrome et al, “A 12 bit analog to digital converter for VLSI Applications in Nuclear science”, IEEE Transacation on nuclear science, august 1992.
- [28] ROUBIK GRIGORIAN, “Introduction to the cmos op-amps and comparator”, wiley, july 1999.
- [29] C. Toumazou, A. Payne, D. “Haigh. Analogue IC design: The current mode approach”. Peter Peregrinus, London, 1990.
- [30] G. A. Rincon-Mora. “Active capacitor multiplier in Miller-compensated circuits”. IEEE, Transactions on Solid-State Circuits; vol. 35, pp. 26-32, 2000.
- [31] A. S. Sedra G. W. Roberts. “Current conveyor theory and practice”. In Analogue IC design: The current mode approach. Peter Peregrinus, London, 1990.
- [32] Q. Zhu, F. Lidgey, W. Su, “High CMRR, second generation current-mode instrumentation amplifiers,” in Proc. IEEE Int. Symposium on Circuits and Systems (ISCAS-93), Chicago, pp. 1326-1328, 1993.
- [33] F. Lidgey, W. Su, K. Hayatleh, “Novel current-feedback operational amplifier design based on a floating circuit technique,” IEE Colloquium on Analog Signal Processing, Oxford, pp. 91 -94, 1998.
- [34] S. Lee, R. Zele, “CMOS continuous-time current-mode filter for high-frequency applications,” IEEE J. of Solid-State Circuits, vol. SC-28, pp. 323-329, March 1993.
- [35] Salah Hanfoug, smail toufik, Nour-Eddine Bouguechal, “A new high performance of low voltage low power current conveyor in CMOS technology 0.25 μm ” the 5th international conference on electronics engineering, November 20-21, 2013, Oran, Algeria.
- [36] E. Bruun. “Class AB CMOS first generation current conveyor”. Electronics Letters, Vol 31; pp. 422-423, 1995.
- [37] A. Sedra, K. C. Smith. “A second generation current conveyor and its applications”. IEEE Transactions on Circuit Theory. CT-17; pp. 132-134; 1970.
- [38] Giuseppe Ferri, Nicola C. Guerrini, “ Low-Voltage Low-Power CMOS Current Conveyors”, boston, kluwer academic publishers, 2003.
- [39] alain fabre, “electronique analogique rapide circuit et applications, paris, éditions ellipses, 2009.
- [40] Gregorian R. “Introduction to CMOS OP-AMPS and comparators”. Canada: A Wiley Interscience Publication; 1999.
- [41] E. Bruun , “A High Speed CMOS Current Opamp for Very Low Supply Voltage Operation”, proc, IEEE ISCAS94, London, 1994.

- [42] Lee SY, Cheng CJ. "A low-voltage and low-power adaptive switched-current sigma-delta ADC for bio-acquisition microsystems". *IEEE Trans Circuits Syst I*, vol 53, pp 2628–2664, 2006.
- [43] Traff H. "Novel approach to high speed CMOS current comparators". *Electron Lett*, vol 28, pp 310-312, 1992
- [44] Tang X, Pun KP. "High performance CMOS current comparator". *Electron Lett*, vol 45, pp 1007–1016, 2009.
- [45] H. Lin, J. Huang, S.C. Wong, "A simple high speed low current comparator", *IEEE International symposium on circuit and system (ISCAS)*, Geneva, Switzerland, pp 713–719, May 2000.
- [46] D Freitas and K Current, "CMOS current comparator circuit," *Electron Lett*, vol 19, pp 695-697, August 1983.
- [47] K Wong, K Chao, "current-mode cyclic A/D conversion Technique", *electronics letters*, vol 29, pp 249-250, Feb 1993.
- [48] K Fong, C Salama, "low-power current-mode algorithmic ADC", *Proc IEEE ISCAS 94*, May 1994.
- [49] G. Palmisano, G. Palumbo, S Pennisi, "A High-Accuracy, High-Speed CMOS Current Comparator", *Proc IEEE ISCAS 94*, May 1994.
- [50] Chavoshisani R, Hashemipour O. "High speed current conveyor based current comparator". *Microelectron*, vol 42, pp 28–32, Juin 2011.
- [51] Reza Chavoshisani, Omid Hashemipour, "Differential current conveyor based current comparator", *Int J Electron Commun (AEÜ)*, vol 42, N of Pages 5, 2011.
- [52] Sedighi B, Sharif Bakhtiar M. "Variable gain current mirror for high-speed applications". *IEICE Electron Exp*, vol 8, pp 277–358, 2007.
- [53] Azhari SJ, Baghtash HF, Monfaredi K. "A novel ultra-high compliance, high output impedance low power very accurate high performance current mirror". *Microelectron*; vol 42, pp 432–441, J 2011
- [54] Palumbo G, Palmisano S, Pennisi S. "CMOS current amplifiers". Boston: Kluwer Academic Publishers; 1999.
- [55] Giuseppe Palmisano, Gaetano Palumbo, and Salvatore Pennisi, "High-Drive CMOS Current Amplifier", *IEEE journal of solid-state circuits*, vol. 33, pp 228-236, February 1998
- [56] T Kaulberg, "A CMOS Current-Mode Operational Amplifier", *IEEE journal of solid state circuits*, vol 28, pp 849-852, July 1993.
- [57] Bengt Jonsson, "Switched-Current Circuits: from Building Blocks to Mixed Analog-Digital Systems", PhD thesis, school of Electrical Engineering, Royal Institute of Technology, Stockholm, Sweden, 25 January 1999.
- [58] LEI Jian-ming DAI Xiao-wu, ZOU Xue-cheng, ZOU Zhi-ge "Modeling Non-idealities of Sigma Delta ADC in Simulink" *IEEE*, pp 1040-1043, 2008.
- [59] Y.-Z. Lin, C.-C. Liu, G.-Y. Huang, "A 9-Bit 150-MS/s Subrange ADC Based on SAR Architecture in 90-nm CMOS", *IEEE Transactions on Circuits and Systems-I*, vol. 60, March, pp. 570-581, 2013.
- [60] N. Nambiar, B. J. Blalock and M. N. Ericson, "A Novel Current-mode Multi-channel Integrating ADC", *Analog Integr Circ Sig Process*, vol. 63, pp.283–291, 2010.
- [61] X. Tang and K. P. Pun, "A Novel Switched-Current Successive Approximation ADC", *Journal of Circuits Systems, and Computers*, vol. 20, pp.15-27, 2011.
- [62] W. Hu, Donald, Y.C. Lie, and Y.-T. Liu, "An 8-bit Single-Ended Ultra-Low-Power SAR ADC with a Novel DAC Switching Method", *IEEE Transactions on Circuits and Systems-I*, vol. 60, pp. 1726–1739, 2013.
- [63] S. Heydarzadeh, A. Kadivar, and P. Torkzadeh, "Implemented 5-bit 125-MS/s Successive Approximation Register ADC on FPGA", *World Academy of Science, Engineering and Technology*, vol. 69, pp. 394-397, 2012.

- [64] R. Dlugosz and K. Iniewski, "Flexible Architecture of Ultra-low-power Current-mode Interleaved Successive Approximation Analog-to-digital Converter for Wireless Sensor Networks", *VLSI Design*, vol 20, pp.1–13, 2007.
- [65] O. Hashemipour, and S. G. Nabavi, "A 1.5V 100 MS/S 12 Bit Current-mode CMOS Sample and hold", *World Academy of Science, Engineering and Technology*, Vol. 18, pp.128-131, 2006.
- [66] Y. Sugimoto, "A 1.5-V Current-Mode CMOS Sample-and-Hold IC with 57-dB S/N at 20 MS/s and 54-dB S/N at 30 MS/s", *IEEE Journal of Solid-State Circuits*, vol. 36, pp 696-700, April 2001.
- [67] E. Bilhan, P. C. Estrada-Gutierrez, A. Y. Valero-Lopez and F. Maloberti, "Behavioral Model of Pipeline ADC by Using Simulink", *Southwest Symposium on Mixed-Signal Design SSMDS*, pp 147-151, 2001.
- [68] S. Barra, A. Dendouga, S. Kouda and N.-E. Bouguechal, "Contribution to the Analysis and Modeling of the Non Ideal Effects of Pipelined ADCs using MATLAB", *Journal of Circuits Systems and Computers*, vol. 22, p. 1250085 (14 pages), February, 2013.
- [69] Y. Tsvividis, "Operation and Modeling of the MOS Transistor, 2nd ed.", Boston: McGraw-Hill, 1999.
- [70] J. M. de la Rosa, B. P. Verdú and A. R. Vázquez, "Systematic Design of CMOS Switched-Current Bandpass Sigma-Delta Modulators for Digital Communication Chips", *Kluwer Academic Publishers*, New York, pp 179, 2002.
- [71] M. Helfenstein and George S. Moschytz, "Improved Two Step Compensation Technique for Switched-currents", *IEEE Trans, on Circuits and Systems*, vol. 45, pp. 739-743, 1998.
- [72] L.J. Sander., G. Eric, A. M. Klumperink, A. P. V. der Wel, G. Hoogzaad, E. van Tulji, and B. Nauta, "Intrinsic 1/f Device Noise Reduction and its Effect on Phase Noise in CMOS Ring Oscillators", *IEEE Journal of Solid-State Circuits*, vol. 34, pp.1022-1025, 1999.
- [73] G. Knoblinger, P. Klein, and M. Tiebout, "A New Model for Thermal Channel Noise of Deep-Submicron MOSFETS and its Application in RF-CMOS Design", *IEEE Journal of Solid-State Circuits*, vol. 36, pp 831-837, 2001.
- [74] D. D. Venuto, D. T. Castro, Y. Ponomarev and E. Stikvoort, "0.8 mW 12-bit SAR ADC Sensors Interface for RFID Applications", *Microelectronics Journal*, vol.41, pp.746–751, 2010.
- [75] M.S. Bhat and H.S. Jamadagni, "Power Optimization in Current Mode Circuits", *Proceeding of 18th International Conference on VLSI Design*, pp.1063-9667, 2005.
- [76] I. Myderrizi, and A. Zeki, "Behavioral Model of Segmented Current-Steering DAC by Using SIMULINK", in the *Proceeding of Ph.D Research in Microelectronics and Electronics*, pp.156 – 159, 2009.
- [77] O. Andersson, "Mismatch Modeling and Design of CMOS Current-Steering Digital-to-Analog Converters", *Thesis for Degree of Master of Science*, Department of Electrical Engineering, Linköping University, Sweden, pp. 08-09, November, 1999.
- [78] W. Hu, D. Y.C. Lie and Y.-T. Liu, "An 8-bit Single-Ended Ultra-Low-Power SAR ADC with a Novel DAC Switching Method", *Journal on Electrical Engineering, Special Issue on VLSI Design Methodologies/Embedded Systems*, vol. 4, pp. 17-22, 2011.
- [79] J. Ruiz-Amaya, M. Delgado-Restituto, A. Rodriguez- Vazquez. "Behavioral modeling of pipeline ADC building blocks". *International Journal of Circuit Theory and Applications*, vol. 40, pp. 571-594, 2012.
- [80] A. Dendouga, N. E. Bouguechal, S. Kouda, S. Barra, B. Lakehal. "Contribution to the modeling of a non-ideal Sigma-delta modulator". *Journal of Computational Electronics*, vol. 11, pp. 321-329, 2012.
- [81] Piero Malcovati, Simona Brigati, Fabrizio Francesconi, Franco Maloberti, Paolo Cusinato and Andrea Baschiroto, "behavioral modeling of switched-capacitor sigma–delta modulators", *IEEE Transactions on Circuits and Systems - fundamental theory and applications*, vol. 50, pp, march 2003.
- [82] R.A. Ju, D.H. Lee and S.D. Yu, "High-Speed low Power CMOS Pipelined Analog-to Digital Converter", *IEICE Trans. Fundamentals*, vol. E82A(6), pp 981-986, 1999.

- [83] C. S. G. Conroy, D. W. Cline and P. R. Gray. "An 8-b 85 MS/s parallel pipeline converter in 1- μ m CMOS", IEEE J. of Solid-State Circuits, vol.28, no 4, 1993.
- [84] K. Wawryn, R. Suszyński and B. Strzeszewski, "Low power current mode pipelined A/D converter", in proc. 52nd IEEE International Midwest Symposium on Circuit and Systems, Cancun, Mexico, 2009.
- [85] B. E. Jonsson, H. Tenhunen, "A 3V wideband CMOS switched-current A/D-converter suitable for time-interleaved operation", Kluwer Academic Publishers, vol. 23, pp. 127-139, 2000.
- [86] J. Li, F. Maloberti, "Pipeline of successive approximation converters with optimum power merit factor", Analog Integrated Circuits and Signal Processing, vol. 45, pp. 211–217, 2005.
- [87] Khurram Shahzad, "Low-power 8-bit Pipelined ADC with current mode Multiplying Digital-to-Analog Converter (MDAC)", Master Thesis, Department of Electrical Engineering Linköpings universitet, Linköping, 17 August, 2009.
- [88] C. H. Huang, "Design and Diagnosis of High Speed Pipelined A/D Converters," Master Thesis, National Cheng Kung University, Taiwan, 2004
- [89] D. Miyazaki : "A 10-b 30-MS/s Low-Power Pipelined CMOS A/D Converter Using a Pseudo differential Architecture", IEEE journal of Solid- State Circuits Circuits, Vol. 38, pp. 369-373, February 2003.
- [90] Razavi, Behzad; "Principles of Data Conversion System Design"; IEEE Press, 1995.
- [91] I.Iroaga and B. Murmann: "A 12-Bit 75-MS/s Pipelined ADC Using Incomplete Settling ", IEEE journal of Solid-State Circuits, Vol. 42, pp. 748-756, April 2007.
- [92] zhaohul huang, "a switched current CMOS only parallel pipelined A/D converter, Afin d'avoir la meilleure performance en termes de vitesse, la puissance et la complexité", a thesis master of science in electrical engineering, Texas Tech University, August, 2003.
- [93] Krzysztof Wawryn, Robert Suszyński and Bogdan Strzeszewski, "Low Power Low Voltage Current Mode Pipelined A/D Converters", World Academy of Science, Engineering and Technology, vol 41, pp 1051-1056, 2010.
- [94] S.-C. Huang, "High Speed Pipelined ADC Using Opamp Sharing and Scaling Techniques for Display Interface", Master thesis, National Chung Cheng University (NCKU), Tainan, Taiwan, 2006.
- [95] G. Chien, High-Speed, " Low-power, Low-voltage, Pipelined Analog-to-Digital Converter", UC Berkeley MS Thesis, 1996.
- [96] Y. Chiu, P. R. Gray, and B. Nikolic, "A 14-b 12-MS/s CMOS pipeline ADC with over 100-dB SFDR", IEEE Journal of Solid-State Circuits, vol. 39, pp. 2139-2151, Dec 2004.
- [97] B.-G. Lee, B.-M. Min, G. Manganaro, and J. W. Valvano, "A 14-b 100-MS/s Pipelined ADC With a Merged SHA and First MDAC", IEEE Journal of Solid-State Circuits, vol. 43, pp. 2613-2619, Dec 2008.
- [98] zhaohul huang, b.s, "a switched-current cmos-only parallel pipelined a/d converter", master thesis of science in electrical engineering, texas tech university, august, 2003.
- [99] C. Toumazou, J. B. Hughes, N. C. Battersby, (Eds.) "switched-currents an analogue technique for digital technology", IEE Circuits and Systems series 5, 1993.
- [100] J.M. De la Rosa, B Péres-verdu, F.Mederio, R. del Rio and A. Rodrigues-vazquez, "analysis of error Mechanisms in switched-current Sigma-Delta Modulators", Analog Integrated Circuits and Signal Processing, vol 38, pp 175-201, 2004.
- [101] K. Abbes and M. Masmoudi, "a theoretical study of error mechanisms in switched-current circuits, 3rd international conference on signals", circuits and systems (SCS), 6-8 NOV. 2009.
- [102] W. Marshall Leach, JR, "Fundamentals of Low-Noise Analogue Circuit Design", In the Proceeding of the IEEE, VOL 82, October 1994.
- [103] Benaissa BELLACH, " capteurs d'images : application a l'observation et a la mesure de vitesse de phénomènes lumineux rapides", thèse doctorat l'université de bourgogne, pp38-39, décembre 2003.

-
- [104] J. Calderer, M. Moreno, M. Braam, "Integration of Phototransistor in CMOS Circuits Sensors and Materials", vol. 8, pp. 199-208, 1996.
- [105] H Tian, B. Folwer. A. El Gamal Analysis of Temporal Noise in CMOS Photodiode Active Pixel Sensor IEEE Journal of Solid State Circuits, vol. 36, pp. 92-101, Jan 2001
- [106] Richard Schreier, José Silva, Jesper Steensgaard, and Gabor C. Temes, Life Fellow, "Design-Oriented Estimation of Thermal Noise in Switched-Capacitor Circuits", IEEE Transactions on Circuits And Systems, vol. 52, pp 2358-2368,Nov. 2005.
- [107] D. A. Johns, K. Martin , "Analog Integrated Circuit Design", Ed Wiley, Univ. of Toronto, Pages 706, Cloth, 1997.
- [108] F. Maloberti, P. Estrada, A. Valero, P. Malcovati, "Behavioral Modeling and Simulation of Data Converters", in the proceeding of IMEKO, vol. 10, pp. 229-236, Sep 2000.
- [109] Y. Tsvividis: "Operation and Modeling of the MOS Transistor", McGraw-Hill, New York, 1987.
- [110] Samir barra, "contribution à la conception d'un convertisseur analogique numérique en technologie cmos", thèse doctorat ès-sciences en électronique, université de Batna, l'algerie, 2013.
- [111] Salah Hanfoug, Nour-Eddine Bouguechal and Samir Barra, "Behavioral non-ideal Model of 8-bit Current-Mode Successive Approximation Registers ADC by using Simulink ", International Journal of u- and e- Service, Science and Technology, Vol.7, pp.85-102, 2014.
- [112] Salah Hanfoug, Fateh moulahcene, Nour-Eddine Bouguechal, " Contribution to the Modeling and Simulation of Current Mode Pipeline ADC Based On Matlab", International Journal of Hybrid Information Technology, Vol 8, pp.83-96, 2015.
- [113] Salah Hanfoug, Smail Toufik, "modeling and simulation of 08-bit current-mode successive approximation Registers ADC by using simulink" 2nd international conference on computational and experimental science and engineering, 14-19 october 2015, Antalya-Turkey.