

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique



Université Batna 2
Faculté de Technologie
Département d'Électronique



Mémoire

**Présenté pour l'obtention du diplôme de
MAGISTER en Électronique**

OPTION

MICROELECTRONIQUE IC Design

Par

Hanane ATHMANI

Thème

Conception de circuits analogiques

Soutenu devant le jury composé de :

Dr. MAHAMED Ramdane	Prof.	Université de Batna	Président
Dr. DIBI Zohir	Prof.	Université de Batna	Rapporteur
Dr. BENHAYA Abdelhamid	Prof.	Université de Batna	Examinateur
Dr. CHAABI Abdelhafid	Prof.	Université de Constantine	Examinateur

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique



Université Batna 2
Faculté de Technologie
Département d'Électronique



Mémoire

**Présenté pour l'obtention du diplôme de
MAGISTER en Électronique**

OPTION

MICROELECTRONIQUE IC Design

Par

Hanane ATHMANI

Thème

Conception de circuits analogiques

Soutenu devant le jury composé de :

Dr. MAHAMED Ramdane	Prof.	Université de Batna	Président
Dr. DIBI Zohir	Prof.	Université de Batna	Rapporteur
Dr. BENHAYA Abdelhamid	Prof.	Université de Batna	Examineur
Dr. CHAABI Abdelhafid	Prof.	Université de Constantine	Examineur

Remerciement

Je tiens à exprimer mes vifs remerciements en vers Mr Zohir DIBI professeur et vice recteur de la pédagogie à l'Université de Batna pour la confiance qu'il ma accordé et pour l'aide qu'il ma apporté tout au long de ce travail autant qu'encadreur.

J'exprime ma gratitude à l'ensemble du jury qui à bien voulu juger ce travail.

Je remercie Mr Ramdane MAHAMEDI, président de jury et professeur à l'Université de Batna ainsi que mon enseignant Mr Abdelhamid BENHAYA, professeur au département d'électronique à Université de Batna, qui ma fait l'honneur d'évaluer et de corriger ce manuscrit.

Je remercie aussi Mr. Abdelhafid CHAABI professeur à l'Université de Constantine pour m'avoir honoré de sa présence au jury et qu'il a bien voulu prendre le temps de s'intéresser au sujet du présent mémoire.

Je remercie en particulier mon mari Mr Mounir DEROUAL pour ces soutiens sans faille durant ces années de mémoire.

Je remercie aussi bien mon beau frère Mr Tahar BELLAL, chargé de cours à l'institut d'électrotechnique de l'Université de Batna pour ces conseils et aides.

Enfin, je tiens à dire à mes proches qu'ils me sont très chers. Leurs confiances et soutiens ont été d'une grande utilité. Ma mère, mon mari, mes enfants ainsi que toute la famille, ce travail est dédié à vous.



A. Hanane

SOMMAIRE

RESUME

GLOSSAIRE

INTRODUCTION GENERALE

1. OBJECTIF
2. ORGANISATION DU MEMOIRE

**CHAPITRE 1 L'ECHANTILLONNEUR BLOQUEUR(E/B)
EN TECHNOLOGIE CMOS**

INTRODUCTION	4
I. L'ECHANTILLONNEUR BLOQUEUR	5
I.1. PRINCIPE DE FONCTIONNEMENT DE L'E/B	5
I.2. CARACTERISTIQUES FONDAMENTALES DE L'E/B	6
I.2.1 Fréquence d'échantillonnage	6
I.2.2 Bande - passante	6
I.2.3 Résolution	7
I.3. L'ECHANTILLONNEUR BLOQUEUR EN TECHNOLOGIE CMOS	7
I.4. PARAMETRES CARACTERISTIQUES ET LIMITANT DES CIRCUITS E/B	8
I.4.1 Représentation graphique des non-idéalités du circuit E/B	8
I.4.2 Grandeurs Temporelles	10
I.4.2.1 Temps d'acquisition en mode d'échantillonnage (Acquisition Time)	10
I.4.2.2 Temps de retard entre mode d'échantillonnage et mode de maintien	12
I.4.2.3 Temps d'établissement en mode de maintien	13
I.4.3 Sources d'erreurs de l'échantillonneur bloqueur	13
I.4.3.1 Sources d'erreurs en mode d'échantillonnage et pendant la transition	14
I.4.3.2 Sources d'erreurs en mode de maintien	17
I.5. DIFFERENTES ARCHITECTURES D'ECHANTILLONNEURS-BLOQUEURS	19
I.5.1 Architecture en boucle ouverte	19
I.5.2 Architecture en boucle fermée	20
II. STRUCTURE DU TRANSISTOR MOSFET	21
II.1. PRINCIPE DE FONCTIONNEMENT D'UN TRANSISTOR MOS DE TYPE N	22
II.2. TYPES DE TRANSISTORS MOS	25
II.3. INTERRUPTEUR A TECHNOLOGIE CMOS	26

II.4. LES CARACTERISTIQUES DU TRANSISTOR MOS	28
II.4.1 Les régions d'opération du transistor MOS	28
II.4.2 Le Régime Statique	28
II.4.2.1 Régime de faible inversion	29
II.4.2.2 Régime de forte inversion	29
II.4.3 Le régime dynamique	30
II.4.3.1 Modèle petit signal en zone de conduction	30
II.4.3.2 Modèle petit signal en zone de saturation	31
II.5. APPLICATIONS DU MOS	34
II.6. AVANTAGES ET INCONVENIENTS DES TRANSISTORS MOS	35
II.6.1 Les Avantages	35
II.6.2 Les Inconvénients	35
CONCLUSION	36

CHAPITRE 2 CONCEPTION D'UN MACROMODELE :

ECHANTILLONNEUR BLOQUEUR A TECHNOLOGIE CMOS

1. INTRODUCTION	38
2. LE SIMULATEUR PSPICE	38
3. DIFFERENTES GENERATION SPICE DES MODELES MOSFET	39
4. MODELISATION ET SIMULATION D'UN MOSFET A HAUTE FREQUENCE BASSE TENSION	39
4.1 Modèle petit signal haute fréquence d'un MOS	40
4.2 Le modèle à deux distributions	42
4.3 Résultats de simulation	44
4.4 Amélioration du circuit à deux distributions	50
CONCLUSION.....	55

CHAPITRE 3 EFFET DES MODELES SPICE DU MOSFET SUR L'E/B

1. INTRODUCTION	57
2. DESCRIPTION DU MOSFET	57
3. LES MODELES PSPICE DU TRANSISTOR MOSFET	58
3.1 TRANSISTOR MOSFET DE PREMIERE GENERATION	58
3.1.1 Modèle du niveau 1 (Level 1)	58
3.1.2 Modèle du niveau 2 (Level 2)	60
3.1.3 Modèle du niveau 3 (Level 3)	60

3.2 DEUXIEME GENERATION	61
3.2.1 Modèle du niveau 4 (Level 4)	61
3.2.2 Modèle du niveau 5 (Level 5)	61
3.3 TROISIEME GENERATION	62
3.3.1 Modèle du niveau 6 (Level 6)	62
3.3.2 Modèle du niveau 7 (Level 7)	63
4. RESULTAT DE SIMULATION POUR Ids EN FONCTION DE Vds ET Vgs D'UN MOSFET	64
4.1 LA SIMULATION	64
4.2 RESULTATS	64
4.2.1 Première Génération	65
4.2.2 Deuxième Génération	67
4.2.3 Troisième Génération	68
4.3 INTERPRETATION DES RESULTATS	71
4.3.1 Première Génération	71
4.3.2 Deuxième Génération	71
4.3.3 Troisième Génération	71
5. RESULTATS DE SIMULATION POUR UN E/B A BASE DES MODELES PSPICE D'UN MOSFET	72
5.1 LA SIMULATION	72
5.2 RESULTATS POUR DES VALEURS FIXES	73
5.2.1 Première Génération	73
5.2.2 Deuxième Génération	74
5.2.3 Troisième Génération	74
5.3 AMELIORATION	75
5.3.1 Première Génération	76
5.3.2 Deuxième Génération	76
5.3.3 Troisième Génération	77
CONCLUSION.....	80

CONCLUSION GENERALE

ANNEXE

BIBLIOGRAPHIE

RESUME

L'échantillonneur bloqueur est un élément essentiel pour la conversion d'un signal analogique en un signal numérique. Il a pour rôle de maintenir la tension constante pendant la phase de conversion.

Lors de l'utilisation d'un interrupteur en technologie CMOS des sources d'erreurs apparaissent en particulier à la fermeture. Parmi ces erreurs on a l'injection de charges qui vont agir sur la tension de sortie de l'E/B.

Notre contribution consiste en la modélisation du canal du transistor MOS afin d'étudier le phénomène d'injection de charge sur l'E/B en utilisant un modèle équivalent à base de la macro modélisation. La simulation est effectuée au moyen du logiciel PSPICE.

Afin de déterminer le plus performant des modèles utilisés par le logiciel SPICE, et le plus adéquat pour l'opération d'échantionnage-bloquage une étude comparative a été réalisée.

ABSTRACT

The sample and hold is an essential element for converting an analog signal into a digital signal. Its role is to maintain constant voltage during the conversion phase.

When using a CMOS technology switch, many sources of errors occurring in particular at the closure. Such as charges injection that will act on the output voltage of the sample and hold.

In this paper, our contribution consists of modelling the MOS transistor channel in order to study the charge injection phenomenon on the sample and hold using an equivalent model based on macro modelling. The simulation is performed using the PSPICE software.

To determine the most performant and suitable models used by SPICE for bloquing-sampling operation, a comparative study has been carried out.

ملخص

دارة نمذجة ومسك العينات هي عنصر هام لتحويل إشارة تماثلية إلى إشارة رقمية. يتمثل دورها في الحفاظ على الجهد أو التوتر ثابتا خلال مرحلة التحويل.

عند استخدام قاطع بتكنولوجيا CMOS تظهر وتنتج عدة أخطاء خاصة عند مرحلة الاغلاق، من بين هذه الأخطاء، لدينا الشحنات المحقونة التي سوف تؤثر مباشرة على الجهد الناتج عن دارة نمذجة ومسك العينات.

إسهامنا يكمن في نمذجة قناة ترانزستور من نوع MOS من أجل دراسة ظاهرة حقن الشحنات على دارة نمذجة ومسك العينات وذلك باستعمال نموذج معادل ذو أساس نمذجة كلية. و هذه المحاكاة يتم تنفيذها بواسطة برنامج PSPICE .

من أجل تحديد نموذج الترنزستور المستعمل من طرف البرنامج الأكثر كفاءة واللائق جدا من أجل عملية نمذجة ومسك العينات، أجريت دراسة مقارنة لذلك.

GLOSSAIRE

Circuit E/B

E/B	Echantillonneur/Bloqueur
S/B	Suiveur/Bloqueur
CAN	Convertisseur analogique numérique.
Aop	Amplificateur opérationnel.
T_{SAMPLE}	Période du signal de commande d'échantillonnage.
T_{HOLD}	Durée de temps en mode de maintien.
T_{ECH}	Durée de temps en mode d'acquisition.
T_i	Temps d'intégration pour un pixel.
C_H	Capacité de stockage du circuit E/B.
C_L	Capacité de charge du circuit E/B
τ_{ech}	Constante de temps dominante du circuit E/B en mode échantillonnage.
F_e	Fréquence d'échantillonnage.
T_e	Période associée à la fréquence d'échantillonnage (pas d'échantillonnage).
t_{ac}	Temps d'acquisition en mode échantillonnage pour obtenir la précision relative au codeur N bits.
t_f	Temps de basculement de l'horloge de commande.
t_{ap}	Temps d'ouverture du commutateur analogique
t_{st}	Temps d'établissement en mode de maintien.
t_{holdeff}	Temps de maintien effectif (après établissement).
N	Nombre de bits de résolution du codeur Analogique/Numérique.
η_{ech}	Coefficient d'erreur de précision en mode échantillonnage exprimé en LSB.
ϵ_{ech}	Erreur allouée au circuit E/B en mode échantillonnage exprimée en Volts.
ϕ_H	Potentiel haut de l'horloge de commande.
ϕ_L	Potentiel bas de l'horloge de commande.
V_{IN}	Valeur de l'amplitude du signal d'entrée.
$V_{\text{IN_max}}$	Valeur maximale admissible de l'amplitude du signal d'entrée.
V_{OUT}	Valeur de l'amplitude du signal de sortie.
r_{ON}	Résistance équivalente du commutateur analogique dans son régime de conduction.
$\alpha_{\text{inj_CH}}$	Rapport de charges accumulées dans le canal injectées sur l'armature haute de la capacité de stockage.
$Q_{\text{inj_CH}}$	Quantité de charges accumulées dans le canal injectée sur l'armature haute de la capacité de stockage.
ϵ_{canal}	Erreur de gain générée par l'injection des charges accumulées dans le canal.
$\Delta V_{\text{CH}(\text{canal})}$	Erreur de tension générée par l'injection des charges accumulées dans le canal.
$\Delta V_{\text{CH}(\text{clock})}$	Erreur de tension générée par le pont capacitif parasite lors du basculement de l'horloge de commande.
I_{fuite}	Somme des courants de fuite en mode de maintien.

Transistor MOS

K	Paramètre transconductance $K=\mu C_{ox}$.
μ_0	Mobilité nominale des porteurs.
μ	Mobilité des porteurs.
q	Charge de l'électron.
ϕ_p	Potentiel de surface.
V_{FB}	Tension de bande-plate (« flat-band »).
T	Température du composant.
u_T	Tension thermique $u_T=k_B T/q$.
k_B	Constante de Boltzmann.
W/L	Rapport de la largeur W et de la longueur L du canal du transistor MOS.
W	Largeur du canal du transistor MOS.
W_{eff}	Largeur du canal du transistor MOS tenant compte de la largeur W_{int} .
L	Longueur du canal du transistor MOS.
L_{eff}	Longueur du canal du transistor MOS tenant compte de la longueur L_D .
L_D	Longueur latérale sous la grille des îlots de diffusions source et drain $L_D=L_{int}$.
L_{int}	Longueur de recouvrement entre grille et îlots de diffusion.
r_{ON}	Résistance à l'état passant en zone ohmique du transistor MOS.
g_m	Transconductance petit signal de la grille du transistor MOS.
g_{DS}	Conductance petit signal drain-source du transistor MOS.
g_{mb}	Transconductance petit signal du substrat du transistor MOS.
V_{th}	Tension de seuil du transistor MOS.
V_{th0}	Tension de seuil du transistor MOS sans effet substrat.
V_{GS}	Tension statique grille-source.
V_{DS}	Tension statique drain-source.
V_{BS}	Tension statique bulk-source.
v_{BS}	Tension dynamique petit signal bulk-source.
V_{DSsat}	Tension de saturation statique au delà de laquelle le MOS est en zone saturée.
λ	Paramètre représentatif de la modulation de la longueur du canal.
V_A	Tension du MOS $V_A=1/\lambda$.
I_D	Courant drain quasi-statique du transistor MOS.
I_G	Courant de grille quasi-statique du transistor MOS.
Q_{canal}	Quantité de charges accumulées dans le canal en régime de conduction.
C_{OV}	Capacité de recouvrement grille/drain(ou source)
C_{OVs}	Capacité de recouvrement grille/source
C_{OVd}	Capacité de recouvrement grille/drain
C_{canal}	Capacité grille/canal
C_{ox}	Capacité de l'oxyde de grille par unité de surface.
C_{oxOV}	Capacité de l'oxyde de recouvrement par unité de surface.
C_{GD}	Capacité grille-drain du transistor MOS.
C_{GS}	Capacité grille-source du transistor MOS.
C_{GB}	Capacité grille-substrat du transistor MOS.
C_{DB}	Capacité drain-substrat du transistor MOS.
C_{SB}	Capacité source-substrat du transistor MOS.
C_{DS}	Capacité drain-source du transistor MOS.
p	Paramètre de répartition de la longueur du canal

Fonctions analogiques

V_{DD}	Tension d'alimentation la plus positive.
V_{SS}	Tension d'alimentation la plus négative.
V_{pp}	Amplitude du signal crête à crête.
FFT	Analyse par transformée de Fourier.
CCD	Dispositif à transfert de charges.
τ	Constante de temps localisée $\tau = RC$.

INTRODUCTION GENERALE

Dans une chaîne d'acquisition de données où l'on doit transformer un signal analogique en un signal numérique afin de pouvoir le traiter, l'élément principal est le convertisseur analogique numérique, ce dernier nécessite à son entrée un échantillonneur bloqueur.

De ce fait, la conception de l'échantillonneur bloqueur est cruciale car il doit être en mesure de répondre aux besoins du convertisseur analogique numérique.

Le principe de fonctionnement idéal de l'échantillonneur bloqueur peut être modélisé par un commutateur analogique et un condensateur. En pratique le commutateur peut être réalisé sous différente forme.

Pour réaliser la commutation pratiquement il y a plusieurs manières avec différents composants. Parmi les techniques utilisées l'interrupteur en technologie MOS, mais ce dernier a des inconvénients qui limitent les performances de l'échantillonneur bloqueur qui vont influer sur le convertisseur.

Notre travail va être basé sur la conception afin de pouvoir contribuer à une amélioration de cet interrupteur et son fonctionnement en HF :

Pour cela on prendra le modèle équivalent et on fait ressortir les équations avec leurs paramètres puis de le simuler vu que les influences d'erreurs sont excessives. On se limitera à l'étude de l'influence de l'injection des charges dans le canal lors de la fermeture de l'interrupteur.

1. OBJECTIF :

L'objectif de ce travail est d'énumérer les inconvénients de l'interrupteur en technologie MOS.

La démarche utilisée afin d'atteindre cet objectif est :

- De faire une étude sur l'échantillonneur bloqueur.
- Etudier le modèle de l'interrupteur utilisé en HF avec la technologie utilisée MOS.
- Etudier l'influence de l'injection de charges sur le signal de sortie lors de la fermeture de l'interrupteur.
- Utiliser le logiciel SPICE afin de concevoir des modèles.
- Une étude comparative entre les divers modèles afin de ressortir le plus approprié à l'une ou l'autre des applications
- Résultats, comparaison et synthèse.

2. ORGANISATION DU MEMOIRE

Après avoir fait un bref aperçu sur notre travail, le mémoire est développé en (03) trois chapitres, on trouvera dans le 1^{er} chapitre le principe de fonctionnement de l'échantillonneur bloqueur et l'utilité de son interrupteur en technologie CMOS.

Le 2^{ème} chapitre portera sur l'étude et le développement d'un modèle d'échantillonneur bloqueur avec un interrupteur en technologie CMOS.

Le 3^{ème} chapitre sera consacré à la simulation en utilisant les différents modèles MOSFET du logiciel PSPICE et d'en faire une comparaison afin de déterminer le plus adapté à leur utilisation dans l'E/B.

CHAPITRE 1

L'ÉCHANTILLONNEUR BLOQUEUR (E/B) EN TECHNOLOGIE CMOS

INTRODUCTION

L'échantillonnage et la numérisation sont les deux étapes principales qui permettent d'exploiter les données d'un signal analogique sous forme numérique. Les signaux numériques permettent de réaliser simplement et rapidement une très grande variété d'opérations usuelles (intégration, analyse FFT, filtrage...). Ce type d'opération est effectué par tous les systèmes de numérisation.

En effet un convertisseur analogique numérique (CAN) ne peut numériser qu'un signal maintenu constant pendant la conversion. La durée des paliers obtenus avec l'échantillonneur doit être suffisamment longue pour que le CAN puisse réaliser la conversion, pour cela à son entrée est placé un échantillonneur bloqueur (E/B) qui aura pour rôle de maintenir constante la tension pendant le temps nécessaire à la conversion.

L'évolution des technologies accessibles pour la conception de circuits intégrés analogiques, aujourd'hui majoritairement CMOS basse-tension grâce à la simplicité de fabrication du transistor MOSFET et à ses dimensions réduites, ce qui rend l'élément fondamental des circuits. Parmi les applications de ce composant, il trouve sa place en tant qu'interrupteur dans les circuits d'échantillonneur bloqueur.

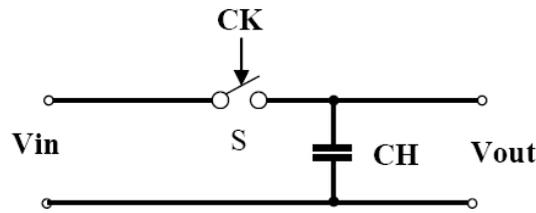


Figure 1.1 : Circuit de base d'un échantillonneur-bloqueur (E/B)

I. L'ECHANTILLONNEUR BLOQUEUR

I.1. PRINCIPE DE FONCTIONNEMENT DE L'E/B

Un échantillonnage bloqueur (S/H, simple-and-hold) est un périphérique analogique qui échantillonne (capture), la tension d'un signal analogique variant continuellement et stocke sa valeur à un niveau constant pendant une période minimale de temps spécifié [1].

Cette opération est périodique et exécutée sur des tensions plutôt que sur des courants parce que le stockage d'une tension sur un condensateur est plus facile que stockant un courant dans une inductance [2].

Ceci constitue un échantillonneur-bloqueur qui est physiquement réalisé en associant un étage de commutation (interrupteur) à une capacité de maintien (*figure1-2*) [3].

Les commandes d'ouverture et de fermeture de l'interrupteur sont assurées par une horloge générant un signal périodique rectangulaire (*figure1-2*) [4].

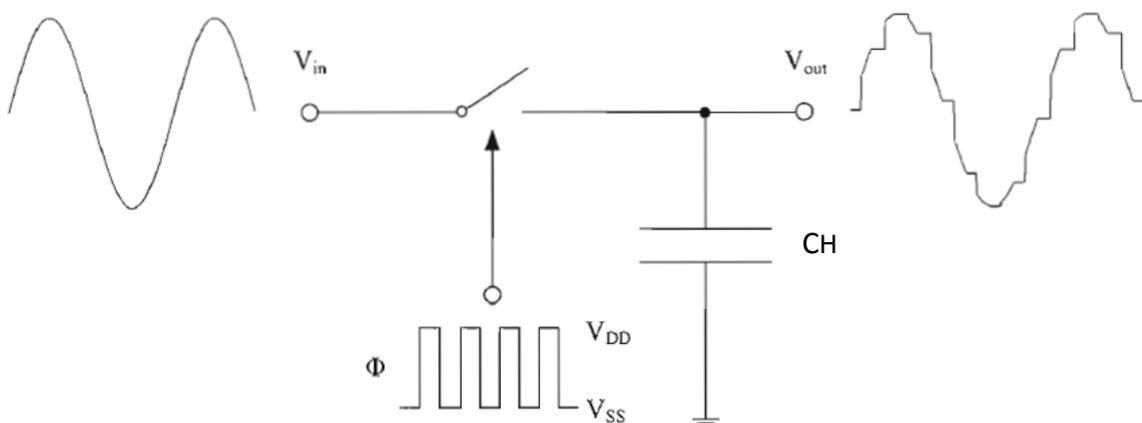


Figure 1.2 : Circuit d'un échantillonneur-bloqueur idéal

I.2. CARACTERISTIQUES FONDAMENTALES DE L'E/B

Trois paramètres définissent les performances d'un échantillonneur-bloqueur : la fréquence d'échantillonnage, la bande-passante et la résolution qui, souvent, dépend à la fois de la fréquence du signal d'entrée et de la fréquence d'échantillonnage. D'autres paramètres vont jouer un rôle primordial lors de la conception des architectures, comme par exemple l'excursion maximale du signal d'entrée, mais ne caractérisent pas spécifiquement les performances des échantillonneurs-bloqueurs [3].

I.2.1 Fréquence d'échantillonnage

Lors de l'acquisition d'un signal, l'échantillonnage est une opération essentielle. Un signal analogique V_e peut être déterminé expérimentalement point par point.

Des mesures successives à des instants $t = kT_E$ constituent l'échantillonnage de la fonction V_e : c'est le signal V_E . Un problème se pose ensuite : malgré l'absence d'information entre les divers échantillons, peut-on retrouver complètement le signal V_e à partir de V_E ? Cette reconstitution du signal V_e à partir de V_E s'appelle l'interpolation. Elle nécessite de choisir convenablement la période d'échantillonnage T_E [5].

• *Théorème de l'échantillonnage (théorème de Shannon)*

La reconstitution parfaite d'un signal analogique V_e à partir d'échantillons prélevés à la fréquence d'échantillonnage $F_E = 1/T_E$ n'est possible que si la fréquence F_E est au moins deux fois plus grande que F_m , plus grande des fréquences du spectre du signal $V(t)$: $F_E \geq 2F_m$

I.2.2 Bande-passante

La bande passante est principalement limitée par l'impédance de sortie de l'ensemble {amplificateur d'entrée ; interrupteur} et par la capacité de maintien qui forment un filtre RC. Pour augmenter la bande passante, il faut alors diminuer cette

impédance de sortie et diminuer la capacité de maintien, ce qui entraîne une augmentation des phénomènes liés aux capacités parasites et aux courants de fuites et donc une diminution de la résolution. Il y a là encore un compromis à trouver entre résolution et bande-passante. D'autres limitations de la bande passante interviennent au niveau de l'étage tampon d'entrée mais sont nettement moins importantes.

I.2.3 Résolution

La résolution de l'échantillonneur-bloqueur est limitée par des phénomènes des systèmes d'échantillonnage et pour les non-idéalités du composant : jitter (l'erreur temporelle du déclenchement), non-linéarité, bruit, courants de fuites, injection de charges, commutations des transistors... Le nombre de bits effectifs permet alors de caractériser ce paramètre et dépend de la fréquence du signal d'entrée, de sa puissance, et de la fréquence d'échantillonnage [3].

I.3. L'ECHANTILLONNEUR BLOQUEUR EN TECHNOLOGIE CMOS

La réalisation la plus simple en technologie CMOS (*figure1-3*) consiste à utiliser un transistor MOS fonctionnant en commutateur analogique (réalisant ainsi la fonction de commande de l'E/B) commandant la mémorisation de la valeur d'une tension aux bornes d'une capacité de stockage [6].

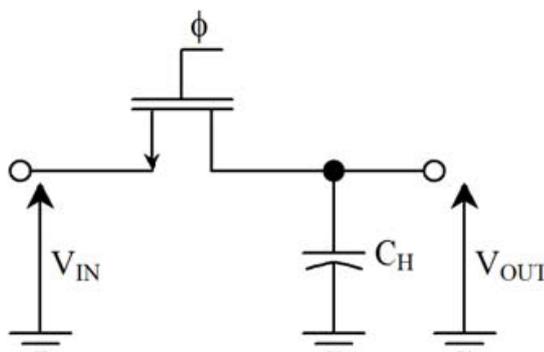


Figure1-3 : Circuit de principe E/B réalisé en technologie CMOS

I.4. PARAMETRES CARACTERISTIQUES ET LIMITANT DES CIRCUITS E/B

I.4.1 Représentation graphique des non-idéalités du circuit E/B

Nous pouvons représenter graphiquement l'ensemble des non-idéalités d'un circuit E/B en présentant l'évolution temporelle des signaux d'entrée et de sortie sur un cycle d'échantillonnage-blocage (*figure 1-4*). Cette représentation graphique présente le comportement des circuits E/B ayant un gain en tension unitaire.

Initialement, le circuit est en mode de maintien. Lorsque l'horloge de commande bascule à l'état haut ($\Phi = 1$), le circuit E/B bascule en mode d'échantillonnage. Un temps fini t_{ac} (**temps d'acquisition**) est nécessaire pour que le signal de sortie recouvre le signal d'entrée avec la précision attendue (résolution du circuit).

L'horloge de commande bascule alors à l'état bas ($\Phi = 0$) ; le circuit E/B est en mode de transition. Le temps de basculement de l'horloge de commande n'étant pas nul, un délai fini t_{ap} (temps d'ouverture, **aperture time**), en général non constant car dépendant de la valeur de l'amplitude du signal d'entrée, doit être pris en compte avant de qualifier le circuit E/B comme étant en mode de maintien. Ce délai fini est à l'origine d'une erreur d'échantillonnage (erreur de temps d'établissement, **aperture error**), la valeur du signal en mode de maintien pouvant alors être sensiblement différente de la valeur de l'amplitude du signal au début du basculement de l'horloge de commande. Néanmoins, nous remarquerons qu'appliqué à un signal CCD, cette erreur est souvent réduite de par la discrétisation du signal (ce sont des paliers qui doivent être échantillonnés donc des valeurs présentant une faible variation au cours du temps). La détermination de ce délai peut permettre de réduire ces effets en avançant temporellement le basculement de l'horloge de commande.

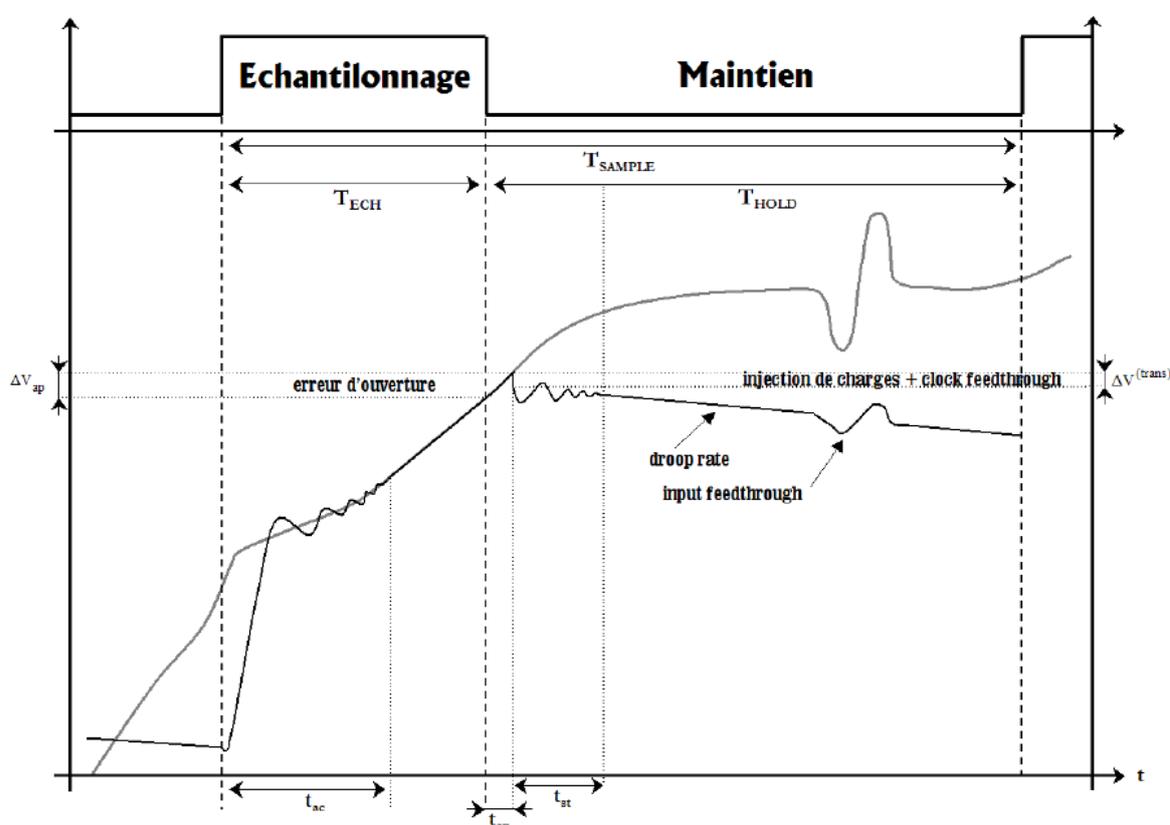


Figure 1-4 : Représentation graphique des signaux d'entrée et de sortie du circuit E/B

Le circuit entrant en mode de maintien, un **temps d'établissement** fini t_{st} est nécessaire pour stabiliser le signal de sortie. Ce n'est qu'à partir de ce délai écoulé que le circuit E/B peut être considéré comme étant en mode de maintien effectif.

Durant cette période de maintien, des courants de fuite inévitables circulent à travers la capacité de stockage et tendent à la charger ou à la décharger. Le résultat en est une erreur d'échantillonnage nommée **drooperror** (les fuites ayant un comportement linéaire au cours du temps).

Enfin, nous devons noter qu'en mode de maintien, le signal de sortie ne peut pas être entièrement décorrélé du signal d'entrée. Des couplages capacitifs entre les nœuds d'entrée et de sortie tendent à modifier l'équilibre des charges au niveau de la capacité de stockage. Donc le terme d'**input feedthrough** comme référant au couplage capacitif de l'entrée sur la sortie en mode de maintien [6].

I.4.2 Grandeurs Temporelles

I.4.2.1 Temps d'acquisition en mode d'échantillonnage (Acquisition Time)

Afin d'évaluer le temps d'acquisition en mode échantillonnage du circuit E/B, nous considérerons une modélisation au premier ordre du transistor MOS en tant que commutateur analogique. Le transistor est remplacé par une résistance équivalente r_{ON} correspondant à son comportement dans la zone ohmique du régime de forte inversion. Le générateur qui fournit le signal est représenté sous forme Thévenin (e_{in}, r_{Sin}) (*figure 1-5*) [6] :

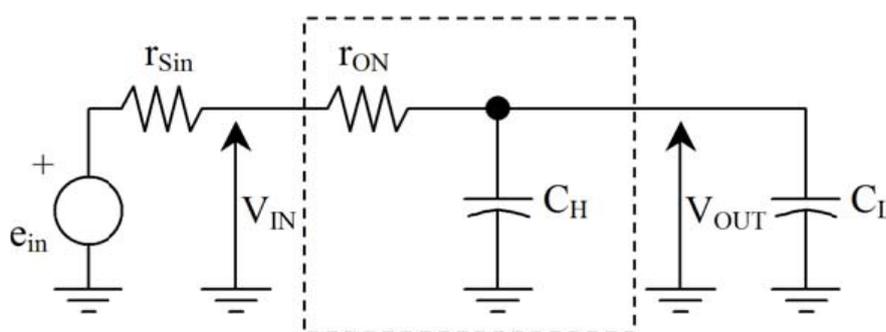


Figure 1-5 : Modélisation du circuit équivalent simplifié de l'E/B en mode échantillonnage

Le temps d'acquisition du circuit E/B correspond au temps nécessaire pour acquérir la valeur de l'amplitude du signal d'entrée à la précision attendue à partir du déclenchement du signal de commande du mode échantillonnage. Ce temps est exprimé dans le pire cas, qui correspond à la variation maximale de l'amplitude du signal en entrée V_{IN_max} pour obtenir la résolution souhaitée du circuit (fixée en nombre de bits N du codeur). On définit donc le temps d'acquisition minimal t_{acmini} pour lequel l'amplitude du signal de sortie est dans la bande de précision allouée. La (*figure 1-6*) illustre ces propos :

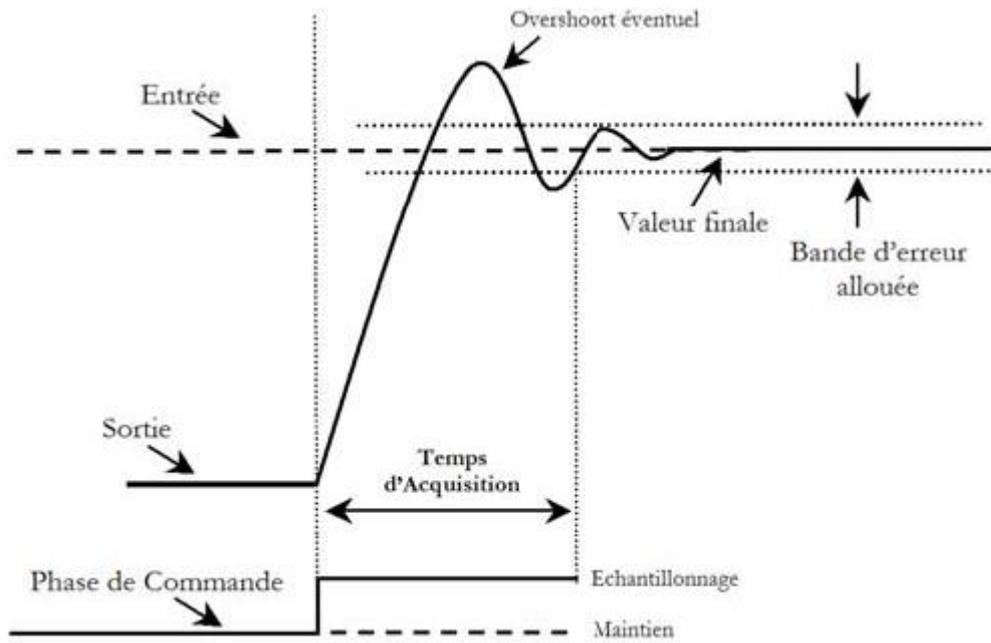


Figure 1-6 : Temps d'acquisition en mode échantillonnage

Selon le schéma simplifié « petits signaux » de la (figure 1-5), en mode échantillonnage, le comportement du circuit E/B est donc celui d'un filtre passe-bas du premier ordre de constante de temps τ_{ech} :

$$\tau_{ech} = (r_{ON} + r_{Sin})(C_H + C_L) \quad (1 - 1)$$

L'expression de la variation temporelle V_{out} du signal de sortie est exprimée par:

$$V_{OUT}(t) = V_{palier}(t_0) \left\{ 1 - \exp\left(-\frac{(t-t_0)}{\tau_{ech}}\right) \right\} + V_{OUT}(t_0) \quad (1 - 2)$$

Le temps d'acquisition équivalent est déterminé en fonction de la résolution du codeur N et du coefficient d'erreur η_{ech} ($0 < \eta_{ech} < 1$) alloué à ce mode échantillonnage. La précision désirée sur la valeur du signal à échantillonner est alors donnée par $\epsilon_{ech} = \eta_{ech}/2^N$. Le temps d'acquisition t_{ac_mini} est donc exprimé à partir de l'expression suivante :

$$t_{ac_mini} = \left(N + \frac{1}{\eta_{ech}}\right) \tau_{ech} \ln(2) = \left(N + \frac{1}{\eta_{ech}}\right) (r_{ON} + r_{Sin})(C_H + C_L) \ln(2) \quad (1 - 3)$$

Le temps d'acquisition étant calculé dans le pire cas, c'est-à-dire tel que le signal de sortie soit initialement à la valeur minimale $V_{\text{palier_min}}$ avec un passage à la valeur maximale $V_{\text{palier_max}}$, nous en déduisons l'expression pire cas de la constante de temps τ_{ech} nécessaire en mode échantillonnage :

$$\tau_{\text{ech}} \leq \frac{-Z_U}{\ln(\epsilon_{\text{ech}} + [V_{\text{palier_mini}}/V_{\text{palier_max}}])} \quad (1 - 4)$$

I.4.2.2 Temps de retard entre mode d'échantillonnage et mode de maintien

Lors de l'application du signal de commande, le circuit E/B entre en mode de transition. En raison du temps fini de basculement des horloges, cette phase de maintien est caractérisée par le retard d'ouverture t_{ap} . Nous considérerons en première approche que le commutateur analogique est constitué d'un simple transistor MOS.

Dans ce cas, celui-ci demeure passant (c'est-à-dire que le circuit E/B est en mode échantillonnage) tant que la différence de potentiel entre la grille et la source du transistor est supérieure à la tension de seuil du transistor (nous négligeons la conduction en faible inversion), ce que nous pouvons représenter par la figure suivante (*figure 1-7*) :

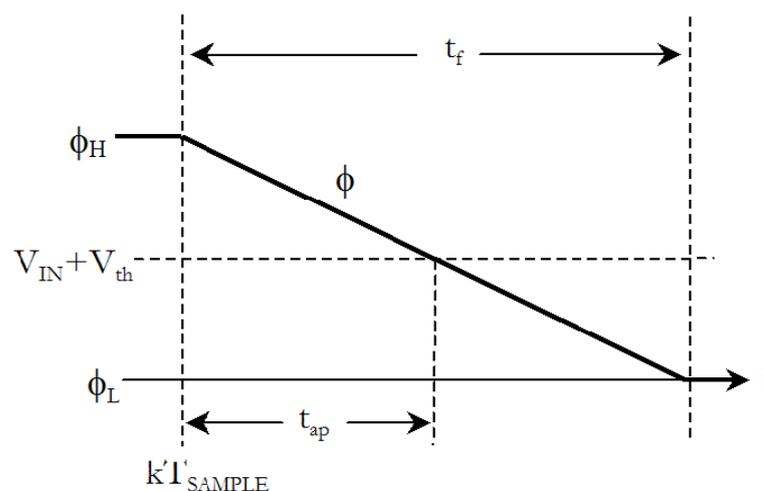


Figure 1-7 : Modélisation du temps fini de basculement de l'horloge sur la grille du commutateur analogique

Entre l'instant d'échantillonnage théorique et le temps d'échantillonnage effectif, nous pouvons donc définir le délai d'ouverture t_{ap} en fonction du potentiel appliqué sur la source du transistor (correspondant au potentiel d'entrée du circuit V_{IN}), de la tension de seuil du transistor V_{th} , des tensions de commande l'horloge et du temps de basculement de l'horloge t_f :

$$t_{ap} = t_f \frac{\phi_H - (V_{IN} + V_{th})}{\phi_H - \phi_L} \quad (1 - 5)$$

En tenant compte des effets substrats ($V_{th} > V_{th0}$), le délai d'ouverture maximal est alors borné par :

$$0 \leq t_{ap} \leq t_f \frac{\phi_H - V_{th0}}{\phi_H - \phi_L} \quad (1 - 6)$$

Le problème majeur lié à ce délai d'ouverture n'est pas tant le délai supplémentaire introduit mais l'erreur d'échantillonnage inhérente.

I.4.2.3 Temps d'établissement en mode de maintien

Comme nous l'avons présenté, lors du passage en mode de maintien, un temps d'établissement est en général nécessaire avant que la donnée ne soit disponible en sortie du circuit. Nous pouvons néanmoins remarquer que dans le cas de la structure la plus simple du circuit E/B, ce temps d'établissement peut-être négligé puisqu'il ne correspond qu'au temps nécessaire pour que les charges résultantes du phénomène d'injection de charges s'équilibrent sur les armatures de la capacité de stockage.

I.4.3 SOURCES D'ERREURS DE L'ECHANTILLONNEUR BLOQUEUR

Les sources de la non-linéarité de l'échantillonneur bloqueur sont parmi les principaux facteurs limitatifs de la performance dynamique de l'échantillonneur bloqueur. La section suivante est consacrée à la présentation des mécanismes qui contribuent à la formation de ces sources de distorsion pendant les différents modes.

I.4.3.1 Sources d'erreurs en mode d'échantillonnage et pendant la transition

a) Injection de charges

A l'état ON, le transistor opère dans la zone de conduction et présente une petite différence de potentiel entre le drain et la source. Une quantité de charge Q_{canal} est alors emmagasinée dans le canal. Lorsque le commutateur bascule à l'état OFF, avec un temps fini t_f , un mécanisme d'injection de charges intervient :

À la fermeture du commutateur, il n'y a plus de force électrique qui dirige le mouvement des électrons (respectivement des trous) dans le canal du NMOS (respectivement du PMOS). Dans ces conditions, les charges fluctuent vers la source et le drain du transistor (les termes source et drain ayant ici que peu de sens), créant ainsi le phénomène d'injection de charges schématisé à la *figure 1-8*.

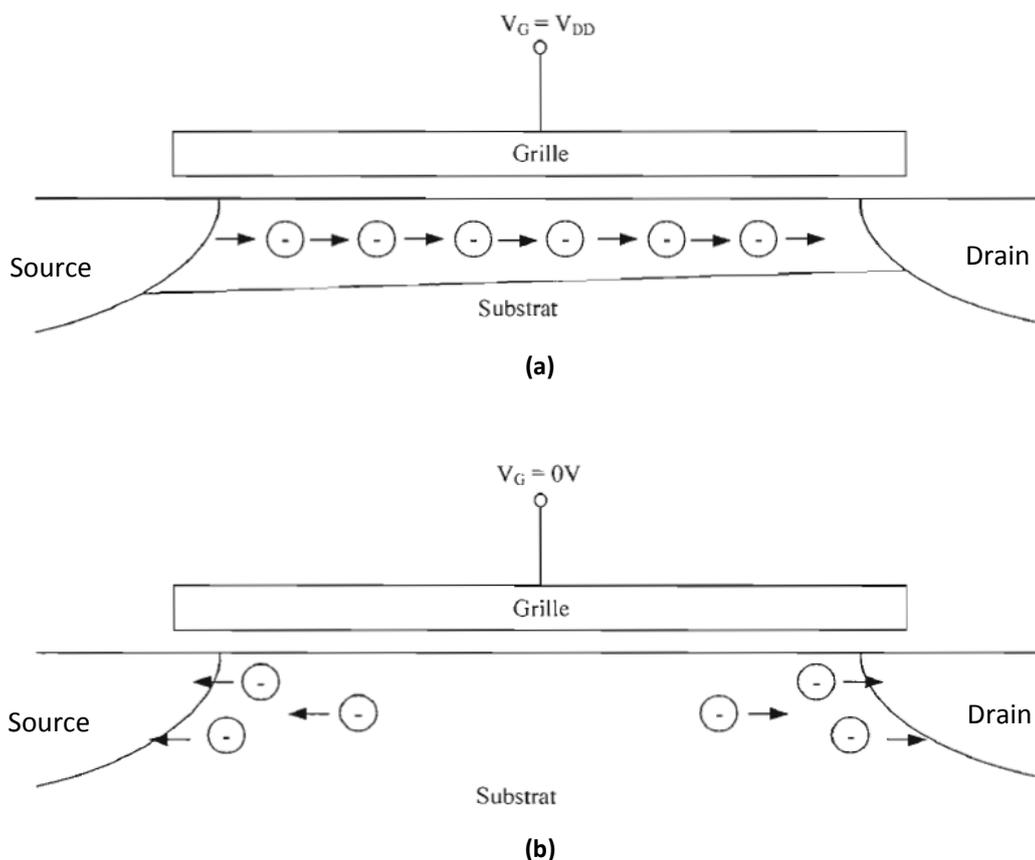


Figure 1-8 : Phénomène d'injection de charge dans un NMOS : (a) flux de courant dans le canal avant l'injection de charge ; (b) injection équitable des charges dans le drain et la source.[4]

Pour un transistor MOS ayant une différence de potentiel nulle entre drain et source ($V_{DS}=0V$), la quantité de charges accumulées dans le canal est donnée par :

$$Q_{\text{canal}} = -C_{\text{canal}}(V_{GS} - V_{th}) = -W_{\text{eff}}L_{\text{eff}}C_{OX}(V_{GS} - V_{th}) \quad (1 - 7)$$

Les charges injectées à l'entrée du commutateur sont absorbées par la source tandis que celles injectées à la sortie s'ajoutent aux charges du condensateur de charge et introduisent une erreur sur la tension de sortie [22] :

$$\Delta V_{CH}^{(\text{canal})} = \frac{Q_{\text{inj_CH}}}{C_H + C_{DB}} \approx \alpha_{\text{inj_CH}} \frac{C_{\text{canal}}}{C_H} (\phi_H - V_{IN} - V_{th}) \quad (1 - 8)$$

$$\Delta V_{CH}^{(\text{canal})} \approx \left\{ \alpha_{\text{inj_CH}} \frac{W_{\text{eff}}L_{\text{eff}}C_{ox}}{C_H} \right\} V_{IN} - \left\{ \alpha_{\text{inj_CH}} \frac{W_{\text{eff}}L_{\text{eff}}C_{ox}}{C_H} (\phi_H - V_{th0}) \right\} \quad (1 - 9)$$

Où $\alpha_{\text{inj_CH}}$, la fraction de charges transférées à la sortie du commutateur. Les recherches effectuées sur le facteur de partitionnement k ne permettent pas de définir ce paramètre de façon précise car $\alpha_{\text{inj_CH}}$ dépend de paramètres mal contrôlés, tels que le temps de transition de l'horloge, ou la tension de seuil, cependant une pratique courante consiste à utiliser un facteur $\alpha_{\text{inj_CH}} = 0.5$ pour des transitions rapides de l'horloge [23].

Ce phénomène d'injection de charge est la limitation majeure dans les performances d'un circuit E/B en termes de précision

Une façon simple de réduire l'injection de charge est d'utiliser un condensateur de charge de grande capacité. Malheureusement, une grande valeur de condensateur de charge implique une plus grande surface de silicium et une réduction de la rapidité du circuit, puisque la constante de temps est proportionnelle au condensateur de charge.

b) Clock Feedthrough

Considérons désormais la participation des capacités de recouvrement C_{OV} entre la grille et les diffusions source et drain du transistor (*figure 1-9*) lors du basculement de l'horloge à l'état bas, c'est-à-dire lorsque le commutateur analogique passe de l'état ON à l'état OFF.

La capacité de recouvrement C_{OVD} forme avec la capacité de stockage (C_H) un pont diviseur capacitif parasite. L'échelon de tension de commande du transistor se retrouve donc proportionnellement sur l'armature haute de la capacité. C'est le phénomène de **clock feedthrough** [6].

Ainsi, lors de ce basculement de l'horloge de commande de l'état haut ϕ_H à l'état bas ϕ_L , l'erreur résultante $\Delta V_{CH}(\text{clock})$ générée sur l'armature haute de la capacité de stockage est exprimée par :

$$\Delta V_{CH}^{\text{clock}} = \frac{-C_{OVD}}{C_{OVD} + C_H + C_{DB}} (\phi_H - \phi_L) \quad (1 - 10)$$

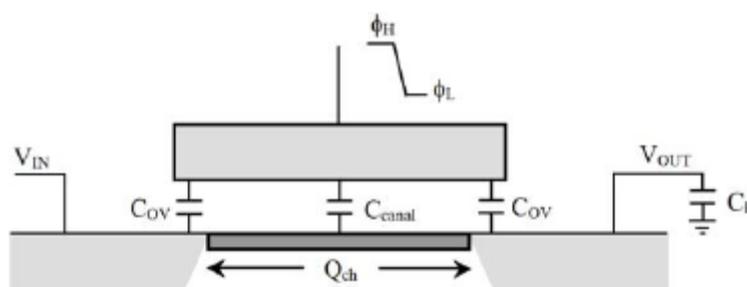


Figure 1-9 : Schéma en coupe du transistor de commande

C) Erreur d'échantillonnage

Nous avons vu que le temps fini de basculement de l'horloge devait être pris en compte dans le calcul du temps d'acquisition total du circuit E/B. La réalisation de la fonction échantillonnage montre ainsi que les instants d'échantillonnage varient de manière déterministe autour de leur valeur théorique. Cette déviation pseudo-aléatoire des instants d'échantillonnage par rapport à leur valeur théorique n'implique pas uniquement une variation du temps d'acquisition global du circuit E/B. En effet, dans le cas d'un signal variant continuellement en entrée du circuit, la variation temporelle des instants d'échantillonnage est à l'origine d'une erreur d'échantillonnage.

L'erreur d'échantillonnage étant définie par l'équation :

$$t_{ap} = t_f \frac{\phi_{H^-} - (V_{IN^+} - V_{th})}{\phi_{H^-} - \phi_L} \quad (1 - 11)$$

Evaluons la valeur du potentiel réellement échantillonnée :

$$V_{CH}(t_n) = V_{IN}(t) \otimes \delta(t_0 - nT_{SAMPLE} - t_{ap}) = V_{palier}(t_0 - nT_{SAMPLE} - t_{ap}) \quad (1 - 12)$$

$$V_{CH}(t_n) = V_{palier}(t_0 - nT_{SAMPLE}) + \frac{\Delta V_U}{\Delta t}(t_{ap}) \quad (1 - 13)$$

L'erreur d'échantillonnage $\Delta V_{CH}(\text{ouverture})$ introduite par le temps d'ouverture du commutateur analogique est donc :

$$\Delta V_{CH}^{(\text{ouverture})}(t_n) = \frac{\Delta V_U}{\Delta t} t_f \frac{\phi_{H^-} - (V_{palier}(t_0 + nT_{SAMPLE}) + V_{th})}{\phi_{H^-} - \phi_L} \quad (1 - 14)$$

Cette expression générale montre que le temps d'ouverture intrinsèque du commutateur analogique provoque une erreur d'échantillonnage dépendante de l'amplitude du signal en entrée. Cette erreur peut être décomposée en deux termes (1-15): un terme de gigue et une tension de décalage [6].

$$\Delta V_{CH}^{(\text{ouverture})}(t_n) = - \left\{ \frac{\Delta V_U}{\Delta t} \frac{t_f}{\phi_{H^-} - \phi_L} \right\} V_{IN}(t_n) + \left\{ \frac{\Delta V_U}{\Delta t} t_f \frac{\phi_{H^-} - V_{th}}{\phi_{H^-} - \phi_L} \right\} \quad (1 - 15)$$

Avec :

$$V_{IN}(t_n) = V_{palier}(t_0 - nT_{SAMPLE}) \quad (1 - 16)$$

I.4.3.2 Sources d'erreurs en mode de maintien

a) Droop Rate

Lorsque le circuit E/B est en mode de maintien, le commutateur analogique est OFF. Néanmoins, la jonction formée par la diffusion n+ du drain et le substrat p- crée une diode polarisée en inverse (dans le cas d'un transistor NMOS).

En phase de maintien, un courant de fuite est généré par cette jonction, ce qui va provoquer la décharge de la capacité de maintien CH.

Au premier ordre, l'erreur de tension générée par ce courant de fuite I_{fuite} s'exprime alors temporellement à partir de l'équation suivante :

$$\Delta V_{\text{CH}}^{\text{fuite}}(t) = \frac{I_{\text{fuite}}}{C_{\text{H}}} t \quad (1 - 17)$$

En posant t_{holdoff} , le temps total effectif du mode de maintien, nous pouvons exprimer la valeur finale, en fin de mode de maintien, de l'erreur générée par le courant de fuite :

$$\Delta V_{\text{CH}}^{\text{fuite}}(t) = \frac{I_{\text{fuite}}}{C_{\text{H}}} t_{\text{holdoff}} \quad (1 - 18)$$

Le courant de fuite dépend principalement des paramètres technologiques donnés qui sont : l'aire de la jonction pn, de la tension inverse appliquée et de la température.

B) Input Feedthrough

L'« input feedthrough » caractérise le couplage de signaux dynamiques en entrée du circuit E/B sur la sortie en mode de maintien. Comme le clock feedthrough, ce couplage est principalement lié aux capacités parasites du commutateur analogique. Néanmoins, d'autres paramètres, comme l'implantation, la géométrie du layout à l'intérieur du circuit intégré peuvent participer à augmenter le couplage non désirable du signal d'entrée sur la sortie.

C) Perturbation de l'horloge en mode de maintien

En mode de maintien, le signal de sortie peut être perturbé par le ou les signaux horloge de commande. En raison d'un couplage capacitif éventuel entre le signal de commande et le signal de sortie, un signal perturbateur cohérent avec le signal de commande, est alors superposé au signal utile.

Des précautions doivent alors être prises lors de l'implantation, notamment en vérifiant la géométrie du layout aux points critiques de maintien du signal.

I.5. DIFFERENTES ARCHITECTURES D'ECHANTILLONNEURS-BLOQUEURS

Les résistances d'entrée et de sortie ont pour effet de modifier la vitesse d'échantillonnage et la capacité à maintenir la tension de sortie de l'échantillonneur.

Deux architectures conventionnelles permettant de s'affranchir de ces limitations : l'architecture en boucle ouverte et l'architecture en boucle fermée [7][8].

I.5.1 Architecture en boucle ouverte

L'architecture en boucle ouverte, illustrée à la *figure 1-10*, est réalisée par l'adjonction d'amplificateurs de gain unitaire en amont et en aval de l'E/B [7][8].

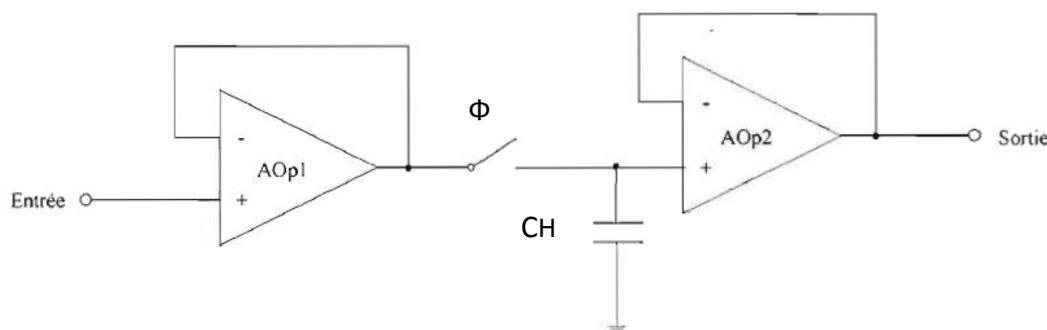


Figure 1-10 : Architecture conventionnelle en boucle ouverte

Le tampon d'entrée élimine le problème d'adaptation d'impédance et les effets de la résistance de sortie du générateur en amont de l'échantillonneur par sa forte résistance d'entrée. Le tampon de sortie estompe les effets du CAN placé en aval. Bien que cette topologie soit simple et rapide, sa précision est limitée par la distorsion harmonique de l'amplificateur de gain unitaire. Par ailleurs, elle présente une erreur de tension de décalage égale à la somme algébrique des tensions de décalage d'entrée des deux amplificateurs qui peut être réduite en utilisant une architecture en boucle fermée [8].

I.5.2 Architecture en boucle fermée

Une réalisation conventionnelle de l'architecture en boucle fermée est illustrée à la *figure 1-11*. Pendant l'acquisition, le circuit fonctionne comme un amplificateur à deux étages compensé par le condensateur de charge CL. Lorsque le gain de l'amplificateur d'entrée est suffisamment élevé pendant la phase d'échantillonnage, la masse virtuelle permet à la tension aux bornes de CL de suivre les variations de la tension d'entrée.

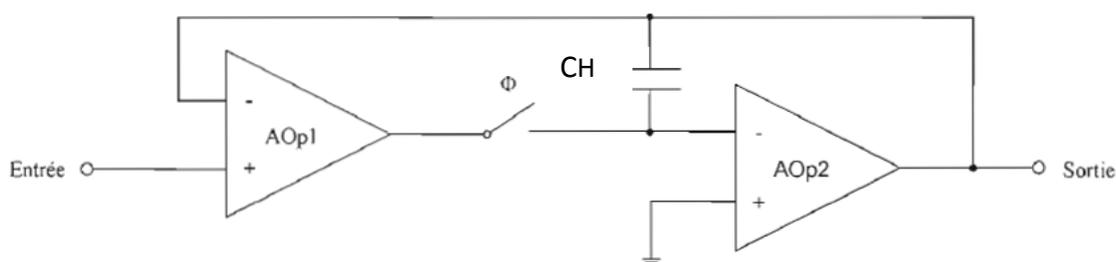


Figure 1-11 : Architecture conventionnelle en boucle fermée

À l'ouverture de l'interrupteur, l'entrée est déconnectée du condensateur et la tension est mémorisée. Les effets non linéaires des charges injectées par AOp1 sont limités par la masse virtuelle mais une erreur de décalage indépendante de la tension d'entrée est introduite.

Cette architecture autorise une plus grande résolution que l'architecture en boucle ouverte grâce à la compensation mais elle est moins rapide [8].

II. STRUCTURE DU TRANSISTOR MOS

Le transistor MOSFET (Transistor à effet de champ Métal-Oxyde-Semi-conducteur), est organisé autour d'une structure MOS, est un composant à quatre électrodes : grille (G), source (S), drain (D) et « bulk » (B) qui contrôlent le nombre de porteurs présents dans le canal. Les deux types fondamentaux de transistor MOSFET sont les MOSFET à appauvrissement (D-MOSFET, D pour Déplétion) et les MOSFET à enrichissement (E-MOSFET, E pour Enhancement).

Pour chaque type de MOSFET, on peut alors distinguer le MOSFET à canal N (le courant provient du déplacement d'électrons)(*figure. 1.12*) et le MOSFET à canal P (le courant provient du déplacement de trous)(*figure. 1.13*).

Lorsque nous parlerons par la suite de transistor MOSFET ou MOS, nous nous référerons au transistor MOSFET à enrichissement car le plus représentatif des technologies actuelles.

Le transistor MOS à canal N présente deux îlots de diffusion source et drain dopés n^+ reliés par un court canal du même type (*figure 1.12*). La grille est généralement réalisée en silicium polycristallin fortement dopé n. Elle est isolée du canal par une faible couche de dioxyde de silicium (SiO_2 , «oxyde de grille»).

Le substrat du transistor est alors de type silicium dopé p-. Le transistor MOS à canal P présente ces deux îlots de diffusion source et drain dopés p^+ reliés par un court canal du même type (*figure 1.13*). Le substrat est alors de type dopé n- [6].

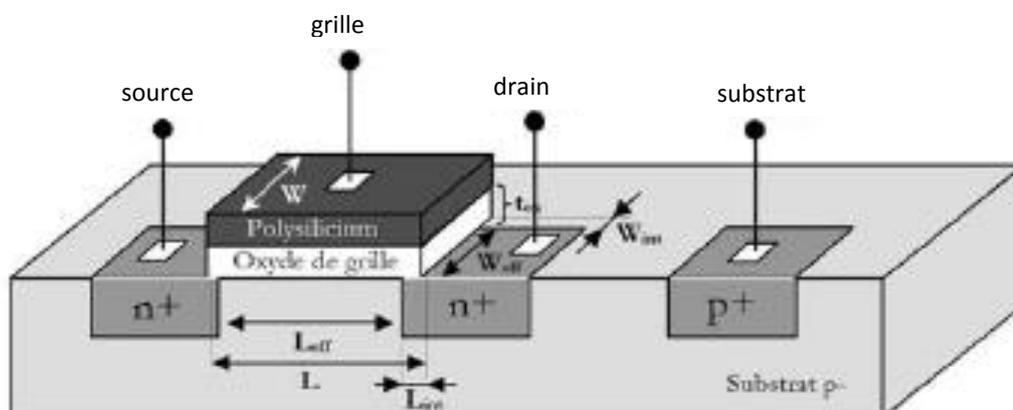


Figure 1.12 : vue en trois dimensions d'un transistor MOSFET à enrichissement à canal N (représentation des paramètres géométriques)

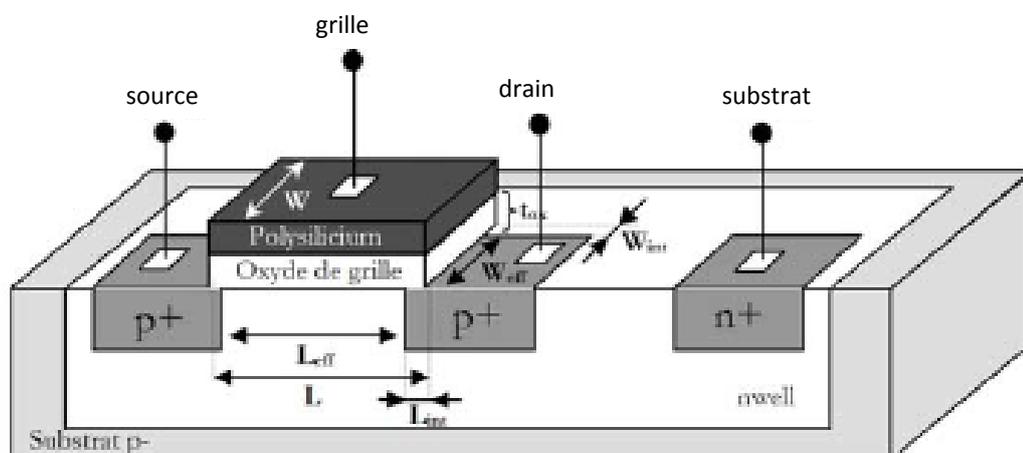


Figure 1.13 : vue en trois dimensions d'un transistor MOSFET à enrichissement à canal P (représentation des paramètres géométriques)

II.1. PRINCIPE DE FONCTIONNEMENT D'UN TRANSISTOR MOS DE TYPE N

Le transistor MOS est un composant unipolaire, la conduction est assurée par un seul type de porteurs dont le nombre est contrôlé par la tension grille (*figure1.14*).

Quelque soit le type du MOSFET, les porteurs se déplacent toujours de la source vers le drain.

De manière idéale, le principe de fonctionnement du transistor MOS est comparable à celui d'un interrupteur. En effet pour un MOS de type N par exemple, l'application sur la grille d'une tension positive par rapport au substrat fait apparaître une charge d'espace négative en surface du semi-conducteur.

Dès que la tension grille dépasse un certain seuil V_{th} une couche d'inversion est créée et le canal N ainsi formé, de même type donc que la source et le drain et d'autant plus conducteur que V_{GS} est grand, autorise le passage d'un courant entre les deux îlots de source et de drain.

Hors de la présence de ce canal, c'est-à-dire pour $V_{GS} < V_{th}$ les îlots de source et de drain forment avec le substrat des jonctions PN dont une obligatoirement se

trouve être non passante quelle que soit la polarité de la tension de drain ; la conduction entre drain et source se trouve donc interrompue. Nous supposons que la source et le drain sont à la masse ($V_{SB} = V_{DB} = 0$) ; dans ce cas, trois situations peuvent être distinguées (dans la région du canal) : accumulation, déplétion et inversion [9].

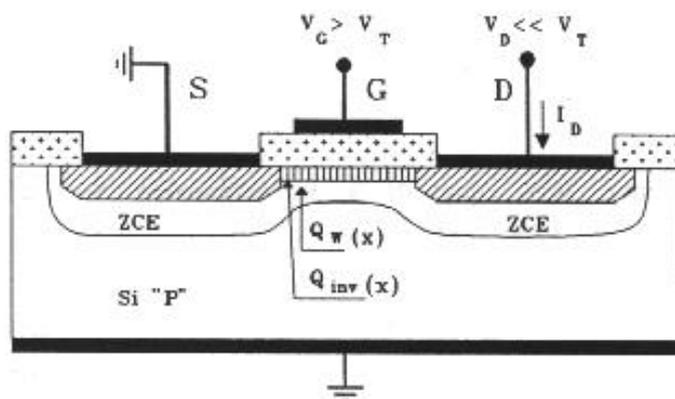


Figure 1.14 : Principe d'un MOSFET à canal N : les zones hachurées sont de type N

Pour des tensions de grille négatives, les trous sont attirés à la surface et une très fine couche de charges positives (la couche d'accumulation) est alors formée avec l'augmentation de V_{GB} , la courbure des bandes devient plus faible, jusqu'à une certaine valeur où il n'y a plus de courbure des bandes. Cette valeur particulière de tension de grille est appelée la tension de bandes plates V_{fb} . Au-delà de ce point, la courbure des bandes est opposée à celle en accumulation, une charge négative est en train de se former.

En fait, la charge positive à la grille repousse les trous de la surface de Silicium et fait apparaître une charge négative (due aux ions accepteurs immobiles), appelée charge de déplétion. Quand la tension de grille augmente encore plus, la courbure des bandes vers le bas ne devient plus prononcée.

Cette courbure peut résulter en un croisement du niveau de Fermi intrinsèque et avec le niveau de Fermi E_{fb} . Dans cette situation, la surface du semi-conducteur se comporte comme un matériau de type n, d'où le nom de région d'inversion. Une couche conductrice composée de charges négatives mobiles (électrons) est alors

formée : c'est la charge d'inversion. Cette charge écartant la couche de déplétion, cette dernière n'est alors plus que faiblement dépendante de la polarisation de la grille. En conséquence, le couplage entre l'extension de la courbure des bandes dans le Silicium et l'augmentation de la tension de grille est alors fortement réduit.

On parle d'inversion forte lorsque la densité de charge mobile dans la couche d'inversion est supérieure à la densité de charge fixe dans la couche de déplétion.

La charge d'inversion peut alors être mise en contact via les régions de source et de drain, et ainsi, un courant peut circuler dans le canal lorsqu'une différence de potentiel V_{DS} est appliquée entre le drain et la source. Puisque la charge d'inversion dépend fortement du potentiel appliqué à la grille, cette dernière peut alors être utilisée pour moduler le niveau du courant circulant dans le canal [9].

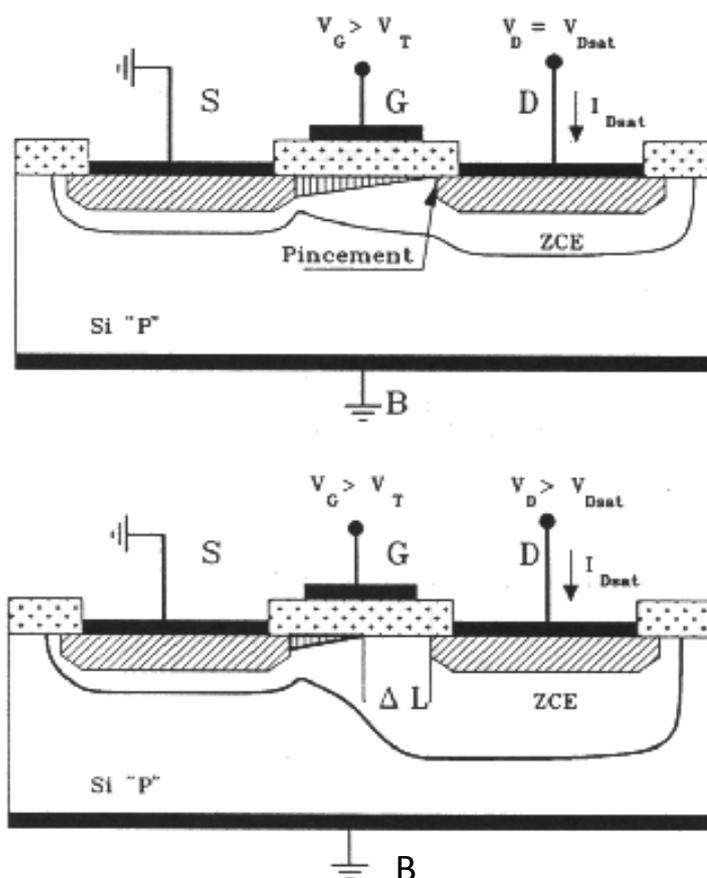


Figure 1.15 : pincement du canal en fonction de V_D

II.2. TYPES DE TRANSISTORS MOS

On distingue 4 types de transistors MOS en jouant, d'une part, sur les 2 types de substrat et d'autre part, sur le fait que le canal est réalisé par construction (diffusion) ou comme dans l'exemple ci-dessus, résulte du champ appliqué : dans le premier cas on parle de MOS à appauvrissement et dans le second, de MOS à enrichissement. La figure ci-dessous donne un résumé des caractéristiques des 4 types (*figure 1.16*).

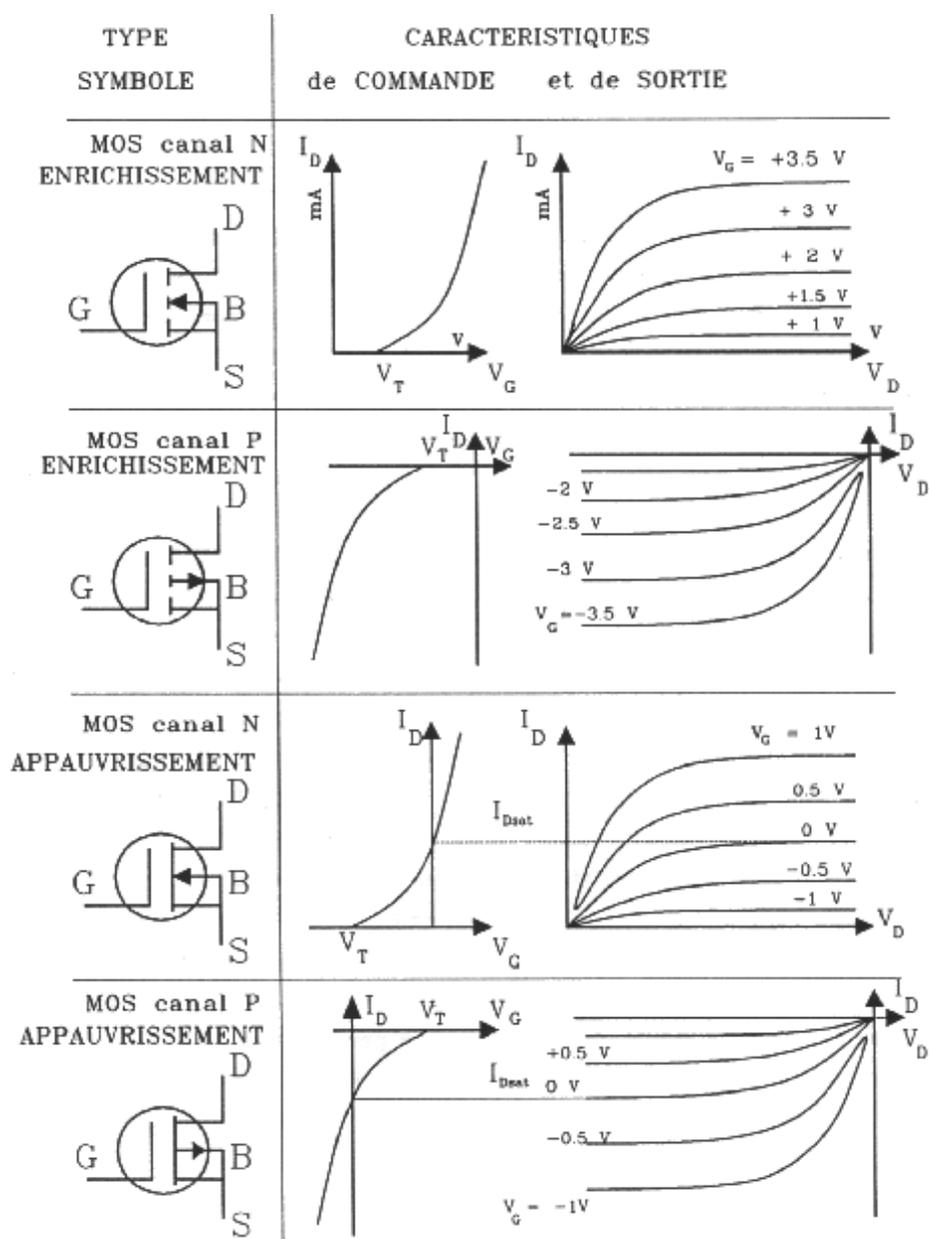


Figure 1.16 : caractéristiques des différents types de transistors MOS

- Les transistors MOSFET à enrichissement (normally-off) : Au début le canal n'existe pas et le transistor est bloqué en l'absence de signal de commande sur la grille.

Le canal est induit par l'application d'une tension suffisante et de polarité convenable (phénomène d'inversion).

- Les transistors MOSFET à appauvrissement (normally-on): Ce type de transistor est passant en l'absence de signal de commande sur la grille grâce à la présence du canal obtenu par un léger dopage.

Notons que les MOS à enrichissement sont les plus faciles à fabriquer (il n'y a qu'à diffuser la source et le drain).

- Pour une technologie CMOS donnée, la mobilité des électrons est toujours plus élevée que celle des trous.
- Le NMOS a donc une transconductance nettement plus élevée que le PMOS, pour une même taille W/L .
- A transconductance égale, le NMOS est alors plus petit, donc plus rapide car ses capacités parasites sont plus faibles.

II.3. INTERRUPTEUR A TECHNOLOGIE CMOS

Les transistors MOS sont utilisés comme interrupteurs, tant en analogique qu'en logique et en puissance. Considérons le schéma suivant (*figure 1.17*).

Le transistor MOS est utilisé comme interrupteur entre le point X et la masse. Cet interrupteur est contrôlé par la tension V_{GS} :

- Si $V_{GS} < V_{th}$ le MOS est bloqué et l'interrupteur est ouvert.
- Si $V_{GS} > V_{th}$ le MOS est conducteur.

On fixe son point de fonctionnement dans la zone "triode", l'interrupteur est fermé et il se comporte comme une résistance R_{DSon} .

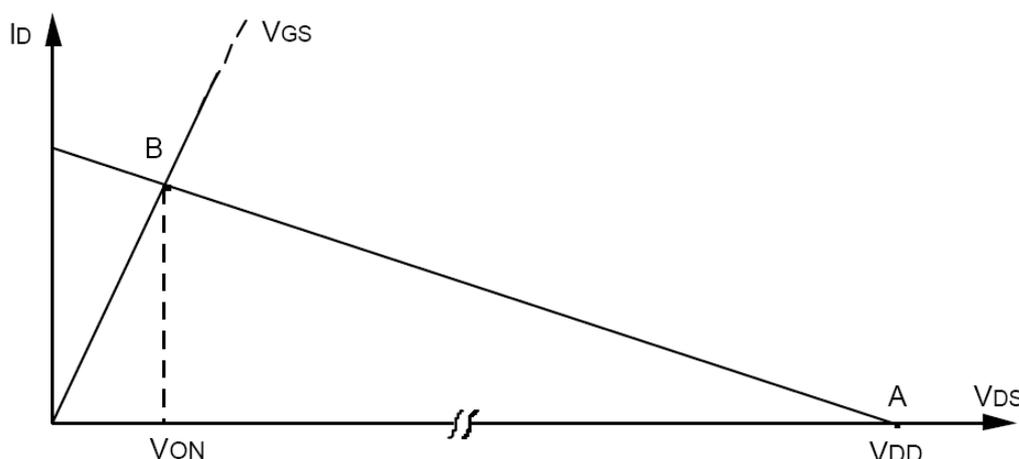


Figure 1.17 : Point de fonctionnement d'un MOSFET en commutation

Le point de fonctionnement ne peut occuper que deux positions sur la droite de charge :

- Le point A correspondant à $V_{DS} = V_{DD}$ lorsqu'il est bloqué (interrupteur ouvert).
- Le point B correspondant à $V_{DS} = V_{ON}$ lorsqu'il est conducteur (interrupteur fermé).

Dans ce dernier cas, le MOS est équivalent à une résistance R_{DSon} , on a donc un diviseur potentiométrique $R_D - R_{DSon}$. La tension V_{ON} s'écrit donc :

$$V_{DS} = V_{ON} = V_{DD} \frac{R_{DSon}}{R_D + R_{DSon}} \quad (1 - 19)$$

Durant les commutations, le point de fonctionnement se déplace rapidement sur la droite de charge de A vers B à la fermeture (turn on) et de B vers A à l'ouverture (turn off).

On pourra distinguer trois types d'interrupteurs à MOSFET :

- L'interrupteur logique dont la fonction logique est l'inverseur : $V_{DS} = \overline{V_{GS}}$
- L'interrupteur analogique qui permet de commuter un signal analogique
- L'interrupteur de puissance.

II.4.LES CARACTERISTIQUES DU TRANSISTOR MOS

II.4.1. Les régions d'opération du transistor MOS

Les différentes régions de fonctionnement du transistor **MOS** sont montrées dans la (figure 1.18), Notez que la triode région et active région sont équivalentes à la région linéaire et à la région de saturation respectivement [2].

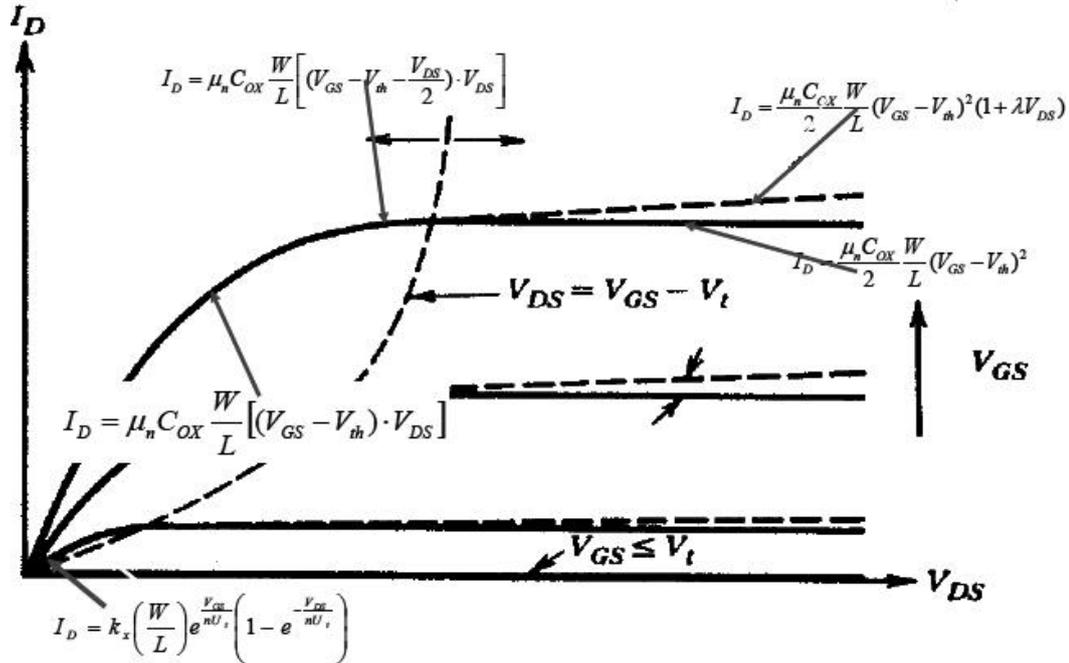


Figure 1.18 : Caractéristique I-V du transistor MOS

II.4.2. Le Régime Statique

Le régime statique du transistor MOS permet de définir son mode d'opération (point de fonctionnement) ainsi que son équation d'état qui donne l'intensité du courant drain I_D en fonction des paramètres géométriques (W , L) et des tensions appliquées à ses bornes (V_{GS} , V_{DS} , V_{BS}). Nous définissons ainsi deux types de régime de fonctionnement en fonction de la tension grille-source V_{GS} appliquée aux bornes du transistor :

-Le régime de faible inversion: dès lors que la tension grille-source V_{GS} est inférieure ou voisine à la tension de seuil V_{th} du transistor : $V_{GS} < V_{th}$.

-Le régime de *forte inversion* : dès lors que la tension grille-source V_{GS} est supérieure à la tension de seuil V_{th} du transistor : $V_{GS} > V_{th}$.

Pour chaque régime de fonctionnement (faible inversion ou forte inversion), nous définissons deux types de zone de fonctionnement en fonction de la tension drain-source V_{DS} appliquée aux bornes du transistor :

-La zone de conduction ou zone ohmique: dès lors que la tension drain-source V_{DS} est inférieure à la tension de saturation du canal avec $V_{DSsat} = V_{GS} - V_{th}$.

-La zone de saturation ou zone « source de courant » : dès lors que la tension drain source V_{DS} est supérieure à la tension de saturation du canal V_{DSsat} .

II.4.2.1. Régime de faible inversion

L'expression du courant drain I_D en régime de faible inversion en zone de saturation est donnée par l'expression [25] :

$$I_D = I_{D0} \left(\frac{W}{L} \right) \exp \left[\frac{V_{GS}}{n \cdot u_T} \right] \quad (1 - 20)$$

où $n = 1 + (qN_{fs}/C_{ox}) + (C_B/C_{OX})$ représente la pente de la courbe $I_D(V_{GS})$ en régime de faible inversion (avec C_{ox} , la capacité surfacique d'oxyde de grille N_{fs} la densité d'états de surface ; q la charge de l'électron ; et $C_B = \partial Q_B / \partial V_{BS}$) et u_T représente la tension thermodynamique.

II.4.2.2. Régime de forte inversion

a) Zone de Conduction (ou Ohmique)

L'expression du courant drain I_D en régime de forte inversion en zone de conduction est donnée par :

$$I_D = K \frac{W_{eff}}{L_{eff}} \left(V_{GS} - V_{th} - \frac{V_{DS}}{2} \right) V_{DS} \quad (1 - 21)$$

$K = \mu_0 C_{ox}$ (avec μ_0 , la mobilité nominale des porteurs)

$W_{\text{eff}}=W-2W_{\text{int}}$ représente la largeur de grille effective (avec W_{int} largeur de recouvrement entre grille et îlots de diffusion)

$L_{\text{eff}}=L-2L_{\text{int}}$ représente la longueur de grille effective (avec L_{int} longueur de recouvrement entre grille et îlots de diffusion).

b) Zone de Saturation (ou Source de Courant)

L'expression du courant drain I_D en régime de forte inversion en zone de saturation est donnée par :

$$I_D = \frac{K}{2} \frac{W_{\text{eff}}}{L_{\text{eff}}} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad (1 - 22)$$

λ est un paramètre représentatif de la modulation de la longueur du canal.

II.4.3. Le régime dynamique

Par la suite, nous ne modéliserons le transistor MOS qu'en régime de forte inversion, en zone de conduction et en zone de saturation.

II.4.3.1 Modèle petit signal en zone de conduction

Le transistor MOS en régime de forte inversion et en zone de conduction peut être modélisé par une simple conductance g_{DS} entre drain et source, raison pour laquelle on nomme parfois cette zone « zone linéaire ». En utilisant l'équation donnant le courant drain I_D en zone de conduction, nous pouvons exprimer la conductance équivalente du transistor dans ce mode de fonctionnement :

$$g_{DS} = \frac{1}{r_{DS}} = \frac{dI_D}{dV_{DS}} = K \frac{W_{\text{eff}}}{L_{\text{eff}}} (V_{GS} - V_{th} - V_{DS}) \quad (1 - 23)$$

Pour des tensions drain-source $V_{DS} \ll (V_{GS} - V_{th}) = V_{DSsat}$, l'expression précédente se simplifie :

$$g_{DS} = \frac{1}{r_{DS}} = K \frac{W_{\text{eff}}}{L_{\text{eff}}} (V_{GS} - V_{th}) \quad (1 - 24)$$

II.4.3.2 Modèle petit signal en zone de saturation

En régime de forte inversion et en zone de saturation, le transistor MOS peut être modélisé en fonction de la gamme de fréquences dans laquelle il est utilisé.

Nous distinguerons pour cette raison deux gammes de fréquences : les « moyennes » fréquences et les hautes fréquences. Dans le domaine des moyennes fréquences, nous négligerons les capacités parasites du transistor MOS et les résistances d'accès séries.

a) Modèle petit signal moyenne fréquence

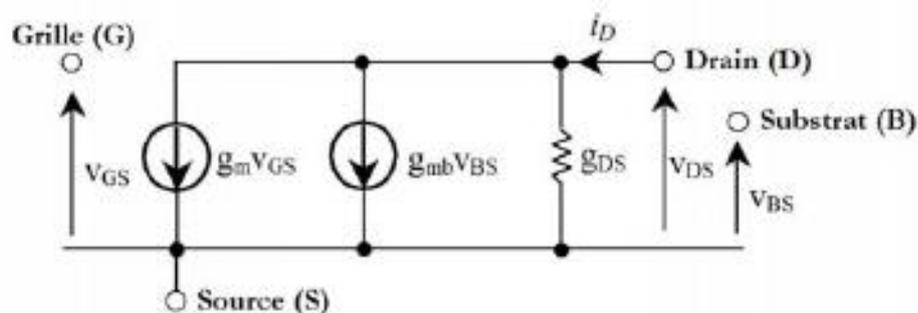


Figure 1.19: Modèle petit signal moyenne fréquence du transistor MOS en régime de forte inversion et en zone de saturation

Le modèle petit signal dans la gamme des moyennes fréquences est représenté par la *figure 1.19*. Ce modèle est simplement composé de deux sources de courants liées proportionnellement aux transconductances de grille g_m et de substrat g_{mb} , et d'une conductance g_{DS} entre les îlots de source et de drain.

L'expression du courant drain petit signal i_D est donnée par :

$$i_D = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}, V_{BS}=\text{cste}} \cdot V_{GS} + \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}, V_{BS}=\text{cste}} \cdot V_{DS} + \left. \frac{\partial I_D}{\partial V_{BS}} \right|_{V_{GS}, V_{DS}=\text{cste}} \cdot V_{BS} \quad (1 - 25)$$

Encore notée:

$$i_D = g_m \cdot V_{GS} + g_{DS} \cdot V_{DS} + g_{BS} \cdot V_{BS} \quad (1 - 26)$$

Avec :

$$g_m = K \frac{W_{\text{eff}}}{L_{\text{eff}}} (V_{\text{GS}} - V_{\text{th}}) = \sqrt{2K \frac{W_{\text{eff}}}{L_{\text{eff}}}} I_{\text{D}} \quad (1 - 27)$$

$$g_m = \lambda I_{\text{D}} = \frac{I_{\text{D}}}{V_{\text{A}}} \quad (1 - 28)$$

où V_{A} représente le tension d'Early équivalente.

La comparaison des relations (1-24) et (1-27) montre que pour la même tension ($V_{\text{GS}} - V_{\text{th}}$), la transconductance g_m en zone de saturation correspond à la conductance $g_{\text{DS}} = 1/r_{\text{ON}}$ en zone de conduction au voisinage de l'origine de la caractéristique $I_{\text{D}}(V_{\text{DS}})$ à $V_{\text{GS}} = \text{cte}$.

La transconductance de substrat est exprimée en prenant en compte la modulation de la tension de seuil V_{th} par la variation de la tension V_{BS} [24] :

$$g_{\text{mb}} = \left. \frac{\partial I_{\text{D}}}{\partial V_{\text{BS}}} \right|_{V_{\text{GS}}, V_{\text{DS}}=\text{cste}} = g_m \left. \frac{\partial V_{\text{th}}}{\partial V_{\text{BS}}} \right|_{V_{\text{GS}}, V_{\text{DS}}=\text{cste}} \quad (1 - 29)$$

En prenant pour expression de la tension de seuil V_{th} :

$$V_{\text{th}} = V_{\text{FB}} + \phi_{\text{p}} + K_1 \sqrt{\phi_{\text{p}} - V_{\text{BS}}} - K_2 (\phi_{\text{p}} - V_{\text{BS}}) \quad (1 - 30)$$

- a. V_{FB} représente la tension de bande plate « flat-band »,
- b. ϕ_{p} est le potentiel de surface,
- c. K_1 et K_2 sont respectivement, le 1er et 2ème paramètre du dopage non-uniforme.

Nous pouvons alors réécrire l'équation ci dessous sous la forme simplifiée :

$$g_{\text{mb}} = \left. g_m \frac{\partial V_{\text{th}}}{\partial V_{\text{BS}}} \right|_{V_{\text{GS}}, V_{\text{DS}}=\text{cste}} = g_m \left[\frac{K_1}{2\sqrt{\phi_{\text{p}} - V_{\text{BS}}}} - K_2 \right] = \eta g_m \quad (1 - 31)$$

b) Modèle petit signal haute fréquence :

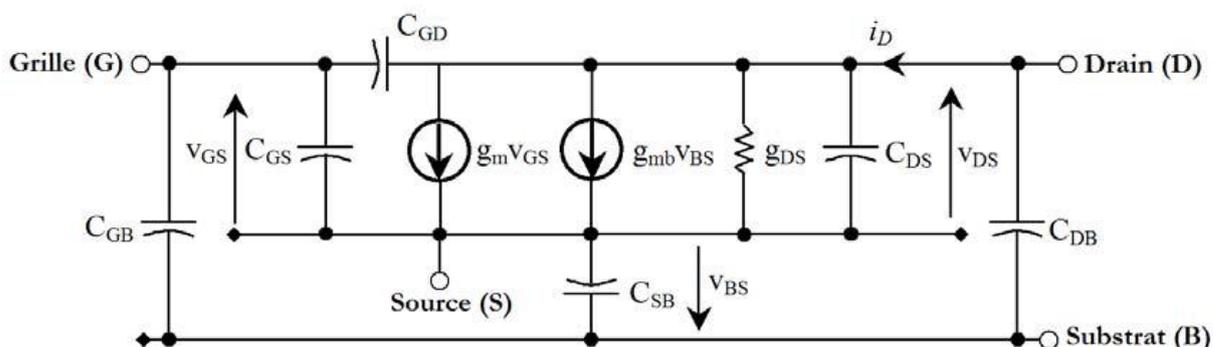


Figure. 1.20 : Modèle petit signal haute fréquence du transistor MOS en régime de forte inversion et en zone de saturation

Dans la gamme des hautes fréquences, il est nécessaire de prendre en compte les capacités parasites du transistor. Le modèle petit signal en régime de forte inversion est représenté par la *figure 1.20*.

Nous pouvons distinguer, les capacités inter-électrodes C_{GD} , C_{GS} , C_{DS} et les capacités liées au substrat C_{GB} , C_{DB} et C_{SB} .

-Capacités inter-électrodes : elles dépendent au 1er ordre de la capacité d'oxyde de grille par unité de surface C_{ox} , de la longueur effective du canal sous la grille L_{eff} , et de la longueur latérale des îlots de diffusion source et drain sous la grille L_{int} .

Dans la zone de conduction,

$$C_{GS} = C_{GD} = \frac{C_{ox} L_{eff} W_{eff}}{2} + C_{ox} L_{eff} W_{eff} = \frac{C_{canal}}{2} + C_{OV} \quad (1 - 32)$$

Dans la zone de saturation :

$$C_{GD} = C_{ox} L_{eff} W_{eff} = C_{OV} \quad (1 - 33)$$

$$C_{GS} = \frac{2}{3} C_{ox} L_{eff} W_{eff} + C_{ox} L_{eff} W_{eff} = \frac{2}{3} C_{canal} + C_{OV} \quad (1 - 34)$$

Capacités liées au substrat : au 1er ordre, les capacités C_{DB} et C_{SB} sont exprimées à partir de l'épaisseur de la zone de charge d'espace d'une jonction pn et de la surface latérale [10] :

$$C_{DB} = C_{aire} L_D W_{eff} \frac{1}{(1-[V_{BD}/\phi_p])^{MJ}} + C_{lat} 2(L_D + W_{eff}) \frac{1}{(1-[V_{BD}/\phi_p])^{MJSW}} \quad (1 - 35)$$

$$C_{SB} = C_{aire} L_S W_{eff} \frac{1}{(1-[V_{BS}/\phi_p])^{MJ}} + C_{lat} 2(L_S + W_{eff}) \frac{1}{(1-[V_{BS}/\phi_p])^{MJSW}} \quad (1 - 36)$$

où L_S et L_D représente respectivement les longueurs de diffusion des îlots drain et source ; MJ et $MJSW$, respectivement les coefficients de gradient surfacique et latérale; C_{aire} et C_{lat} , respectivement les capacités surfaciques et latérales.

La capacité C_{GB} est, elle, indépendante des conditions de polarisation :

$$C_{GB} = C_{GB0} L_{eff} \quad (1 - 37)$$

II.5. APPLICATIONS DU MOS :

- L'interrupteur analogique est à la base de techniques spécifiques aux technologies CMOS.
- En numérique, il permet de réaliser certaines fonctions avec moins de transistors.
- La technique des capacités commutées permet la réalisation de filtres dont les constantes de temps sont déterminées uniquement par le rapport de 2 condensateurs.
- Certaines techniques dynamiques où la comparaison de 2 grandeurs utilise séquentiellement le même composant au lieu d'utiliser 2 composants, afin de s'affranchir des erreurs d'appariement.
- Il permet la réalisation simple et efficace d'échantillonneur-bloqueurs entraînant une intégration efficace de convertisseurs analogiques-numériques et numériques-analogiques.

II.6. AVANTAGES ET INCONVENIENTS DES TRANSISTORS MOS

II.6.1. Les Avantages

- Sa résistance d'entrée est très importante $R_e \approx 10^{12} \Omega$, pour un transistor à effet de champ à jonction, elle est plus faible, soit de l'ordre de $10^8 \Omega$.
- Le bruit intrinsèque est toujours très faible
- Facile à fabriquer et par suite peu onéreux.
- La densité d'intégration autorisée par ce type de composant est très importante: (10^7 transistors sur une seule puce).
- Petite surface de silicium
- Impédance de sortie faible de l'ordre de 100Ω
- Ce composant est symétrique, aucune distinction du point de vue fabrication entre la source et le drain.
- Le circuit de commande très simple.
- Il supporte très bien la mise en parallèle sans dispositif particulier grâce à son coefficient de température positif.

II.6.2. Les Inconvénients

- Très sensible à la contamination lors de la fabrication.
- Très sensible aux décharges électrostatiques.
- la vitesse de commutation est très faible par rapport à celle des transistors bipolaires.

CONCLUSION

Dans ce chapitre, nous avons analysé la structure E/B constituée principalement d'un transistor MOS comme interrupteur commandé et d'une capacité de stockage.

Cette étude a permis en premier de décrire le comportement réel des circuits d'échantillonnage et de mettre en évidence les limitations intrinsèques, nous avons particulièrement insisté sur le phénomène d'injections de charges, qui actuellement est un paramètre limitant pour avoir une précision.

En passant par la présentation des caractéristiques fondamentales de l'E/B ainsi que les architectures conventionnelles pour affranchir de ces limitations, on a présenté la structure de base du transistor MOS et son principe de fonctionnement, nous avons fait un rappel de ces caractéristiques, pour arriver en dernier à définir ces différents régimes de fonctionnement, en se basant sur le modèle petit signal haute fréquence.

Enfin nous avons présenté les applications du transistor MOS ainsi que ses avantages et inconvénients.

CHAPITRE 2

CONCEPTION D'UN MACROMODELE : ECHANTILLONNEUR BLOQUEUR A TECHNOLOGIE CMOS

1. INTRODUCTION

Nous avons identifié l'injection de charges, les variations de la constante de temps et l'erreur d'échantillonnage comme sources de distorsion de l'échantillonneur bloqueur. Compte tenu des limites de performances dynamiques imposées par ces sources de distorsion, il est primordial d'évaluer la contribution des sources de distorsion avant la fabrication du circuit [3].

Dans ce chapitre nous présentons la conception du circuit équivalent d'un E/B à technologie CMOS, utilisant le circuit équivalent d'un MOS à deux distributions de premier ordre, la réponse du circuit au niveau transitoire à un signal d'entrée sinusoïdal lors de l'ouverture et de la fermeture de l'interrupteur.

Ensuite nous développons un macro-modèle associée au circuit E/B. Les résultats de simulation obtenus à partir du circuit équivalent seront comparés aux résultats obtenus en utilisant un modèle de transistor MOS de la bibliothèque SPICE.

2. LE SIMULATEUR PSPICE

La conception de circuit électronique exige des méthodes précises pour évaluer l'exécution de circuit. En raison de l'énorme complexité des circuits intégrés modernes, l'analyse de circuit assistée par ordinateur est essentielle et peut fournir des informations au sujet de l'exécution de circuit qui est impossible presque à

obtenir avec des mesures de prototype de laboratoire.

PSPICE d'acronymes (Personnel Simulation Program with Integrated Circuit Emphasis) est un logiciel de simulation de fonctionnement de circuits électriques, initialement analogiques puis numériques ou mixtes. Il est issu du logiciel **SPICE** développé en FORTRAN en 1970 par D O PEDERSON et L W NAGEL à l'université de Berkeley. Depuis cette époque si le cœur du logiciel a peu varié il n'en est pas de même de son environnement. SPICE avait une interface de type texte et le résultat des simulations était sous forme de grands tableaux de chiffres imprimés sur de longs listings déroulés dans le crépitement des télétypes.

Aujourd'hui, SPICE a donné naissance à de nombreuses versions commerciales tournant sur stations ou sur PC, nous citerons PSPICE de MICROSIM, HSPICE sur station de travail, ISPICE, et SMASH qui toutes ont le même moteur de base.

3. DIFFERENTES GENERATION SPICE DES MODELES MOSFET

SPICE est un simulateur à plusieurs niveaux qui utilise des modèles fournis par les fondateurs pour représenter le comportement des composants. Parmi ces composants il y a le MOSFET ou la progression technologique a permis de donner au cours du temps des modèles MOS de plus en plus précis et de plus en plus performant, pouvant s'adapter au besoin d'utilisation et à la miniaturisation des circuits [2]. Il existe différents niveaux de transistors MOS dont la description est développée dans le troisième chapitre.

4. MODELISATION ET SIMULATION D'UN E/B A BASE D'UN MOSFET A HAUTE FREQUENCE BASSE TENSION.

Les différents circuits actifs contenus dans les bibliothèques relatives aux simulateurs électriques de type PSPICE sont généralement représentés sous forme de macro modèles. Ces circuits sont à base de composants élémentaires tels que les éléments passifs et les sources contrôlées essentiellement. Ils permettent ainsi de réduire le temps de calcul lors des différentes simulations.

Un macromodèle sera d'autant plus représentatif du comportement réel du circuit associé que le nombre de paramètres pris en compte pour la réalisation du modèle sera important. Ainsi suivant le cas : la réponse du modèle pourra être correcte sur une partie plus ou moins grande de la plage de fréquence. Cependant, chaque modèle est validé par comparaison des résultats de simulation et ceux expérimentaux présentés par les constructeurs.

4.1 MODELE PETIT SIGNAL HAUTE FREQUENCE D'UN TRANSISTOR MOS :

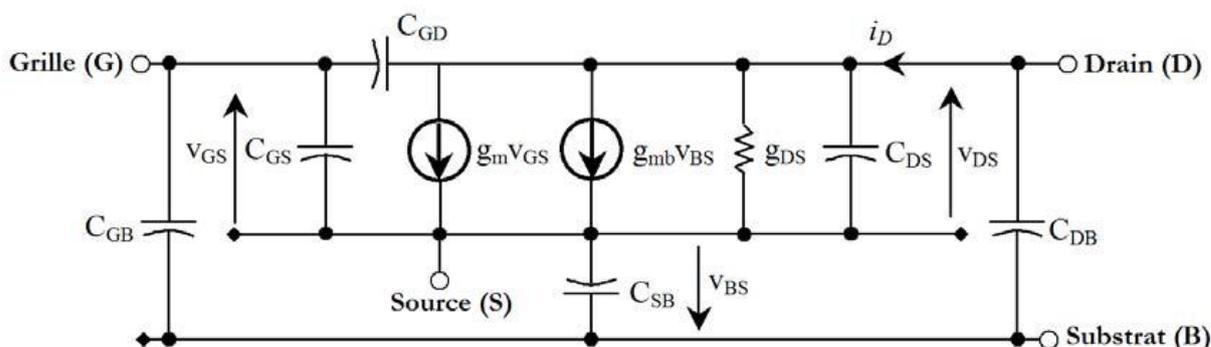


Figure 2.1 : Modèle petit signal haute fréquence du transistor MOS en régime de forte inversion et en zone de saturation

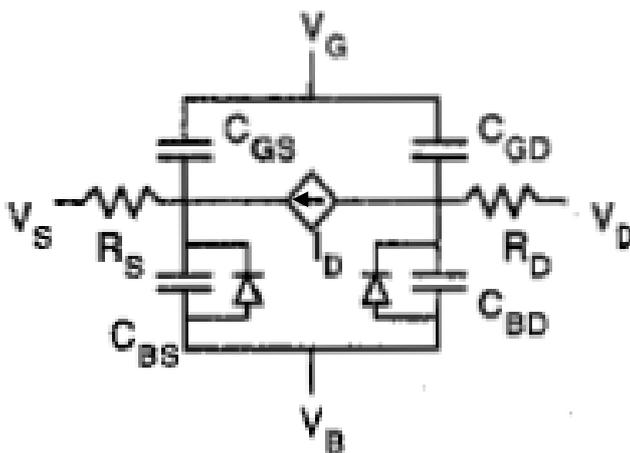
La précision du circuit E/B risque d'être largement altérée par l'injection des charges. Le déplacement des porteurs mobiles stockés dans le canal du MOS via source, drain et substrat superpose une erreur à la tension échantillonnée.

Pour analyser le problème, nous supposerons que toutes les charges du canal se déplacent à travers les diffusions source et drain du transistor. Des modèles analytiques assez complexes [11] [12] du phénomène d'injection de charges sont présentés. Néanmoins, les modèles, bien que plus représentatifs du comportement réel du transistor, ne proposent que des solutions numériques.

Ainsi, nous nous bornerons à expliquer le phénomène de manière plus « physique » plutôt que « mathématique ».

Le modèle classique « single lump » (*figure 2.2*) est validé uniquement à l'hypothèse de quasi-statique est applicable. Comme le temps de chute d'horloge

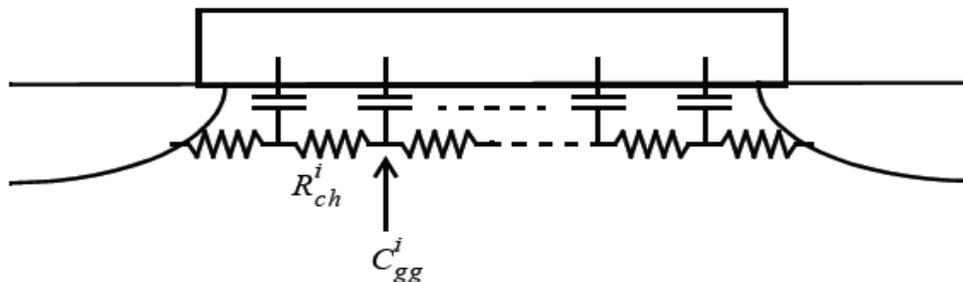
devient extrême court, le transistor passe au mode de diffusion, le modèle « single lump » ne peut pas faire l'opération de la modélisation dans cette région et peut introduire des erreurs importantes pour les applications analogiques à grande vitesse. [13]



*Figure 2.2. Le modèle à une distribution « single lump »
(Id n'a qu'un seul chemin à parcourir)*

Un nouveau modèle « distribué » du transistor à été construit dans l'analyse transitoire quand le temps de chute d'horloge se rapproche du temps de transit de canal du transistor. Afin de modéliser l'isolation des charges dans le canal, on utilise ce modèle (multiple lumps).

Une approche consiste à considérer que le canal est distribué par rapport à la capacité de grille, comme illustré sur la *Figure 2.3*. Chaque couple (R_{ch}^i, C_{gg}^i) amène un pôle dans la transadmittance de grille Y_m . [14]



*Figure 2.3 : Illustration de la structure distribuée capacité de grille/
résistance du canal du MOSFET [20]*

4.2 LE MODELE A DEUX DISTRIBUTIONS

Comme indiqué dans la section précédente, le modèle à plusieurs distributions est précis dans l'analyse transitoire où le mode de diffusion domine. Cependant, le modèle distribué n'est pas efficace par rapport au modèle « single lump » dans les simulations des circuits.

Alors un modèle à deux distribution « two-lump » a été créé pour simplifier considérablement le modèle distribué et de compenser les lacunes du modèle « single-lump ».

Utilisant ce modèle afin de modéliser l'isolation des charges dans le canal dans un circuit E/B (*figure 2.4*)

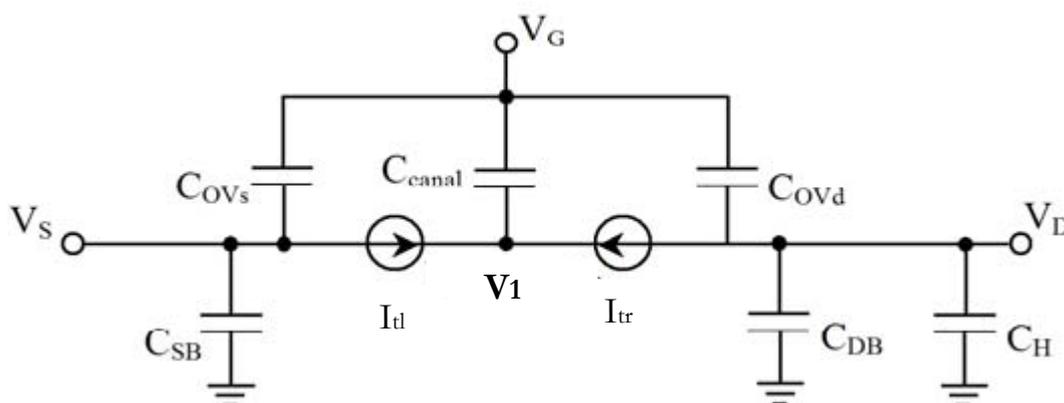


Figure 2.4. : Modèle capacitif à deux distributions du transistor MOS en E/B

Le circuit de la *Figure (2.4)* est constitué de :

- Deux capacités de recouvrement (overlap) C_{OVs} et C_{OVd} : sont dues aux surfaces conductrices de la source et du drain sous la grille de poly silicium.

La longueur de recouvrement sera notée L_D . L'expression de ces capacités, en première approche, est :

$$C_{OVs} = C_{OVd} \approx L_D W_{\text{eff}} C_{\text{oxOV}} \quad (2 - 1)$$

- Deux capacités liées au substrat CDB et CSB : sont exprimées à partir de l'épaisseur de la zone de charge d'espace d'une jonction pn et de la surface latérale [10]:

$$C_{DB} = C_{aire}L_D W_{eff} \frac{1}{(1 - [V_{BD}/\phi_p])^{MJ}} + C_{lat} 2 (L_D + W_{eff}) \frac{1}{(1 - [V_{BD}/\phi_p])^{MJSW}} \quad (2-2)$$

$$C_{SB} = C_{aire}L_S W_{eff} \frac{1}{(1 - [V_{BS}/\phi_p])^{MJ}} + C_{lat} 2 (L_S + W_{eff}) \frac{1}{(1 - [V_{BS}/\phi_p])^{MJSW}} \quad (2-3)$$

où L_S et L_D représente respectivement les longueurs de diffusion des îlots drain et source ; MJ et $MJSW$, respectivement les coefficients de gradient surfacique et latérale ; C_{aire} et C_{lat} respectivement les capacités surfaciques et latérales.

- Deux sources de courant I_{tl} , I_{tr} : Comment le canal est partagé pour le modèle à deux distributions, détermine la précision de l'analyse transitoire de deux distributions. Une fois que la séparation de la capacité est définie, les deux composantes de courant de transport correspondant peuvent être déterminées par les équations suivantes [15]:

$$I_{tl} = \mu_n C_{ox} \left(\frac{W}{pL} \right) (V_{GS} - V_1/2 - V_{th})(-V_1) \quad (2-4)$$

$$I_{tr} = \mu_n C_{ox} \left(\frac{W}{(1-p)L} \right) (V_{GS} - (V_C + V_1)/2 - V_{th}) \times (V_C - V_1) \quad (2-5)$$

Avec : p le rapport de la longueur du canal pour chaque distribution

V_C la tension aux bornes de la capacité de charge

V_1 la tension au point qui sépare les deux distributions

- La capacité C_{canal} représente la capacité grille-canal du transistor :

$$C_{canal} = W_{eff}(L - 2L_D)C_{ox} = W_{eff}L_{eff}C_{ox} \quad (2-6)$$

Soit α_{inj_CH} le rapport de charges accumulées dans le canal et injectées sur l'armature haute de la capacité de stockage CH . Dans ce cas, la quantité de charges injectées Q_{inj_CH} sur l'armature haute de la capacité est exprimée par (avec $V_S=V_{IN}$) :

$$Q_{inj_CH} = -\alpha_{inj_CH} C_{canal} (\phi_H - V_{IN} - V_{th}) \quad (2-7)$$

La différence de potentiel $\Delta V_{CH}^{(canal)}$ qui correspond à une erreur provoquée par cette injection de charges est alors :

$$\Delta V_{CH}^{(canal)} = \frac{Q_{inj_CH}}{C_H + C_{DB}} \approx -\alpha_{inj_CH} \frac{C_{canal}}{C_H} (\phi_H - V_{IN} - V_{th}) \quad (2-8)$$

Que nous pouvons réécrire sous la forme :

$$\Delta V_{CH}^{(canal)} = \varepsilon_{canal} V_{in} + V_{offcanal} \quad (2-9)$$

$$\Delta V_{CH}^{(canal)} \approx \left\{ \alpha_{inj_CH} \frac{W_{eff} L_{eff} C_{ox}}{C_H} \right\} V_{IN} - \left\{ \alpha_{inj_CH} \frac{W_{eff} L_{eff} C_{ox}}{C_H} (\phi_H - V_{th0}) \right\} \quad (2-10)$$

L'erreur liée à l'injection de charges du canal peut ainsi être vue comme étant à l'origine d'une erreur de gain en mode échantillonnage à laquelle s'ajoute une tension de décalage.

4.3 RESULTATS DE SIMULATION

Nous avons fait appel lors de nos simulations au logiciel PSPICE et nous avons réalisé le circuit de la *figure 2.5*.

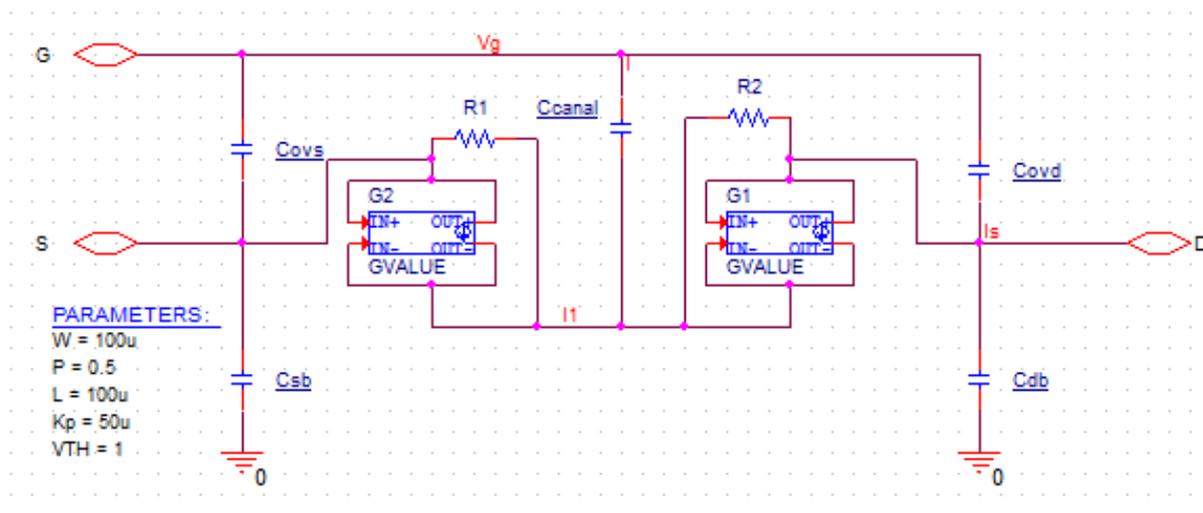


Figure 2.5. Modèle d'un MOS à deux distributions

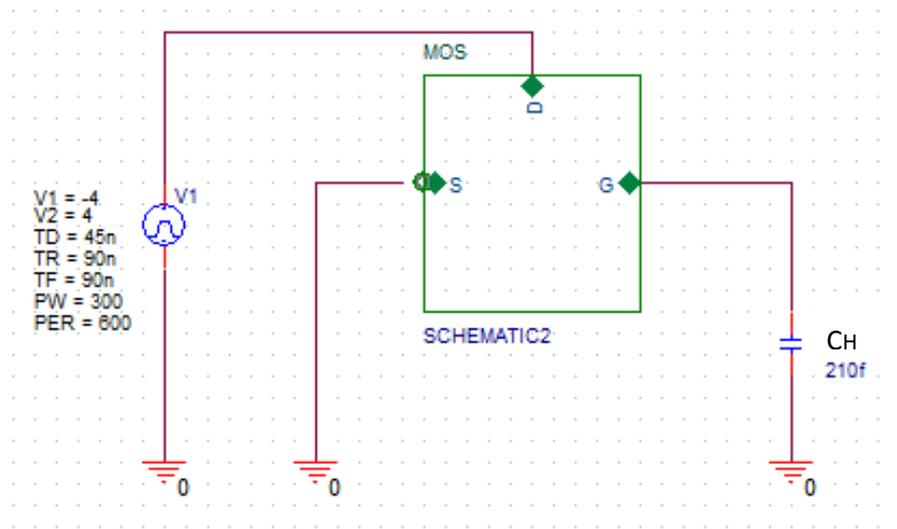


Figure 2.6. Simulation turn-off d'un MOS à deux distributions

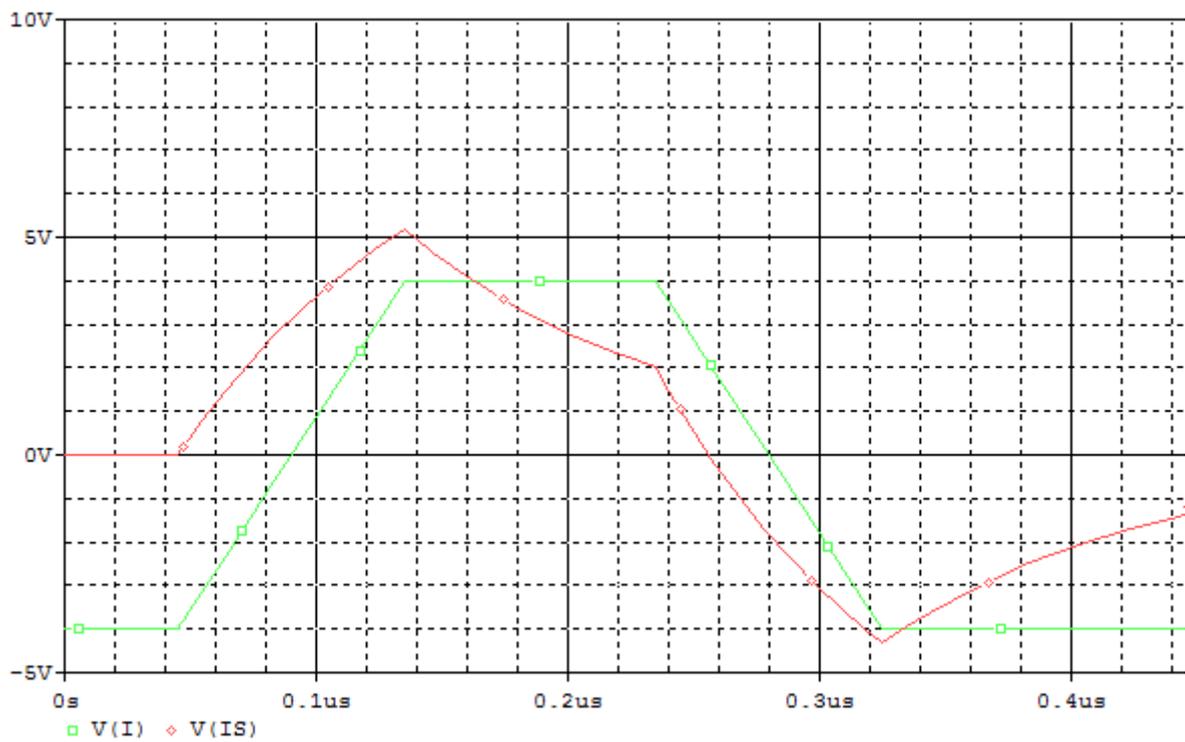


Figure 2.7. Résultat de simulation turn-off d'un MOS à deux distributions

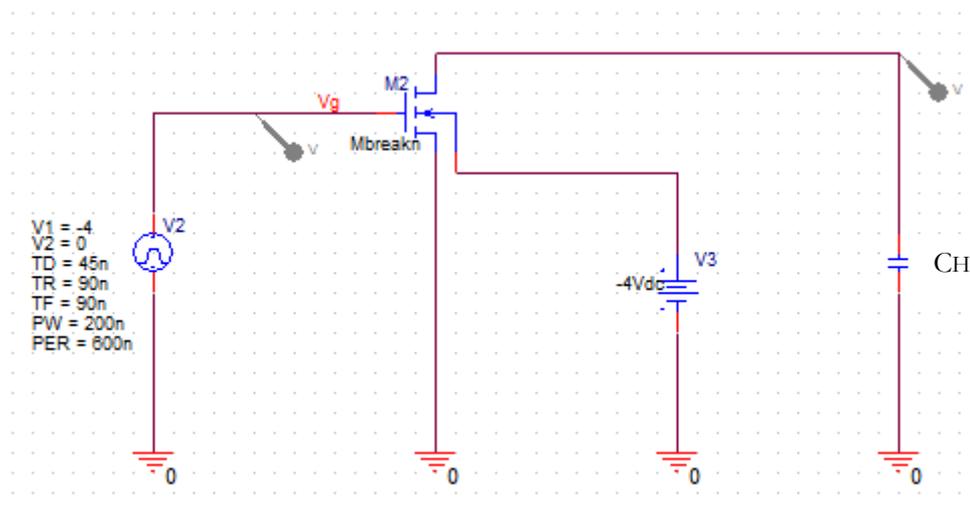


Figure 2.8. Simulation turn-off d'un MOS niveau1 de la bibliothèque PSPICE

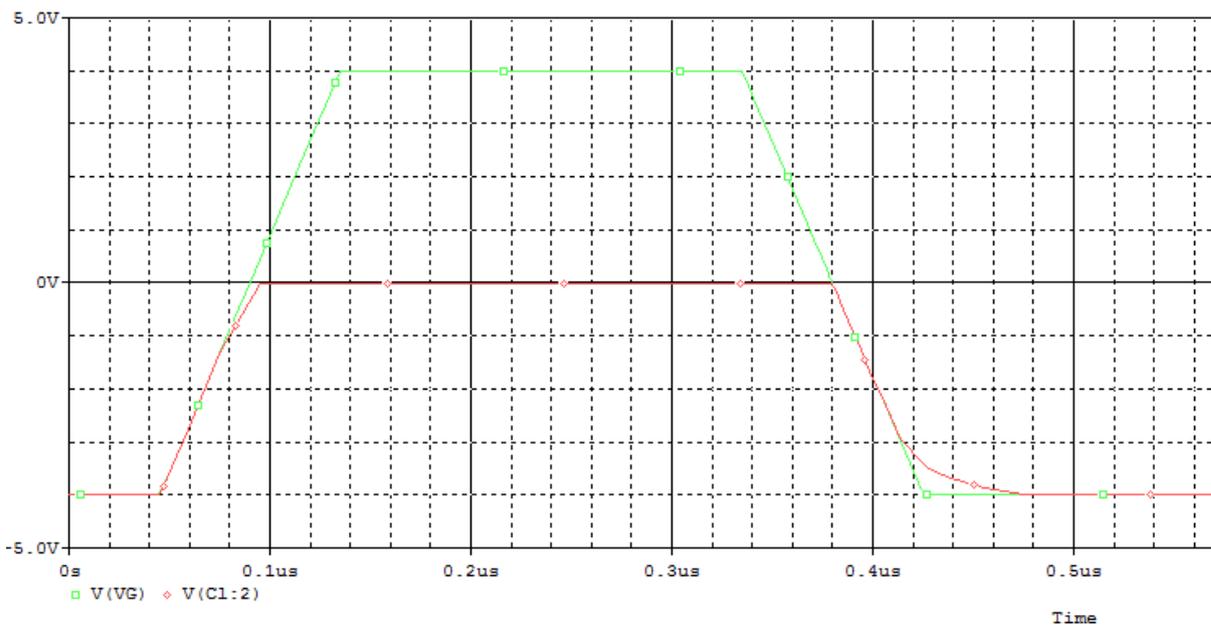


Figure 2.9. Résultat de simulation turn-off d'un MOS de la bibliothèque PSPICE

Par comparaison des résultats obtenu des simulations avec un modèle MOS de la bibliothèque PSPICE (figure 2.9) et le modèle à deux distributions (figure 2.7) on remarque la décharge rapide de la capacité de charge CH dans le modèle à deux distributions au cours de la transition turn-off, et comme la capacité est considéré fixe on distingue que cette variation est dû à la caractéristique du MOS.

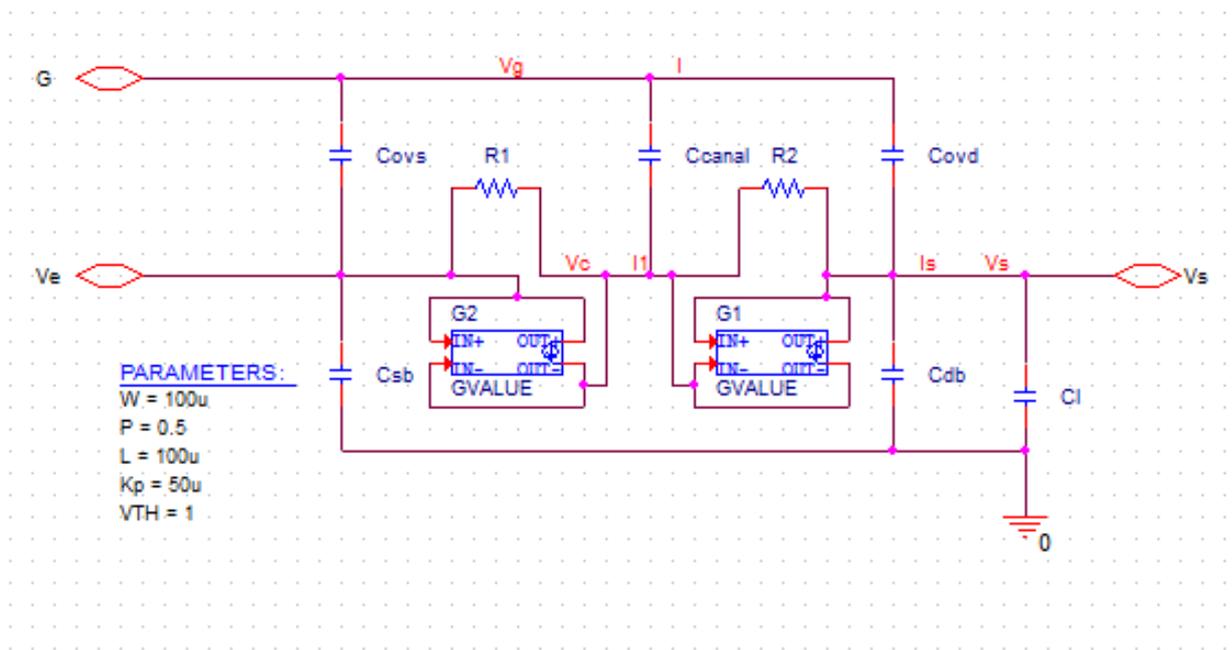


Figure 2.10. Modèle E/B à base d'un modèle MOS à deux distributions

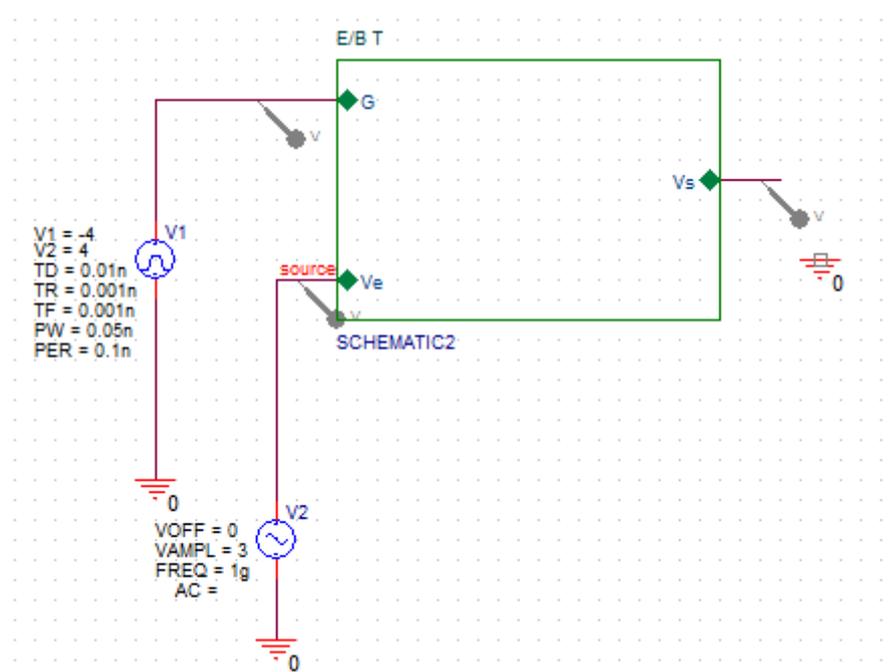


Figure 2.11. Simulation d'un E/B à base d'un modèle MOS à deux distributions

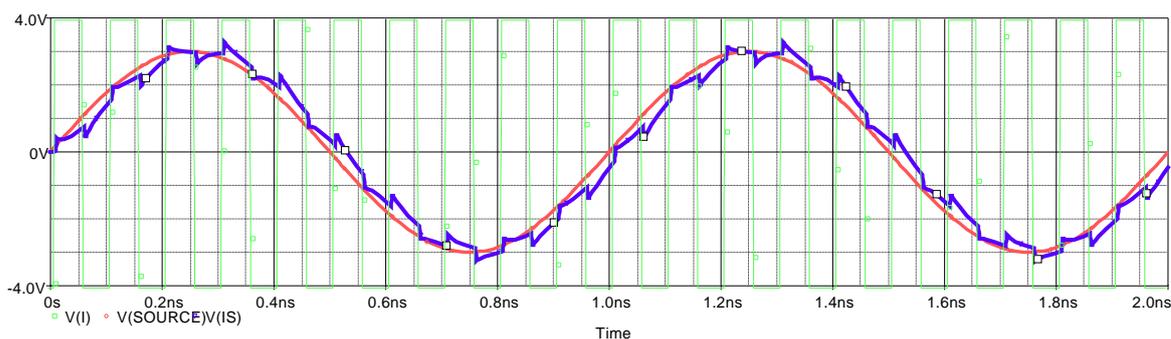


Figure 2.13. Résultat de sortie d'un E/B à base d'un modèle MOS à deux distributions

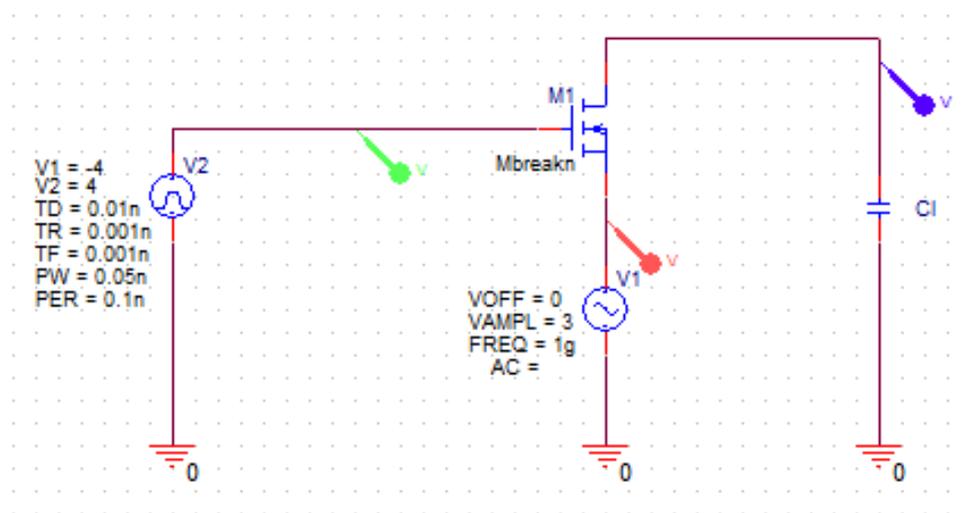


Figure 2.14. Simulation d'un E/B à base d'un modèle MOS de la bibliothèque PSPICE

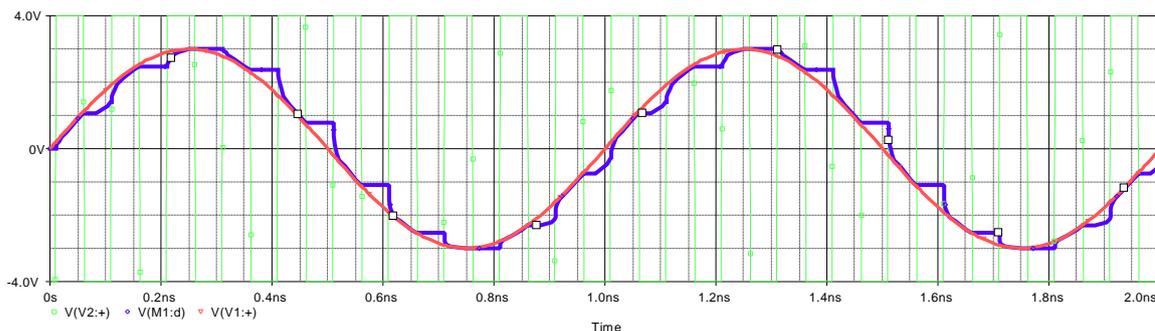
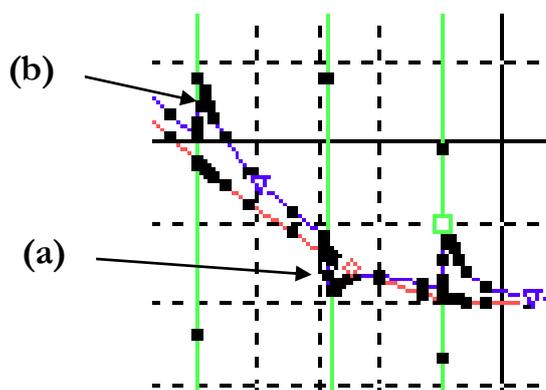


Figure 2.15. Résultat de sortie d'un E/B à base d'un modèle MOS de la bibliothèque PSPICE

Par comparaison des résultats simulés d'un échantillonneur bloqueur à base d'un modèle MOS à deux distributions (figure 2.13) et celui à base d'un modèle MOS de la bibliothèque PSPICE (figure 2.15) on observe :

- Pour le résultat du circuit E/B à base du modèle MOS de la bibliothèque SPICE, la réponse est idéale, le modèle de niveau1, simple paramètre limités, on peut alors dire qu'il est moins proche de la réalité.
 - Le modèle à base du MOS à deux distributions : pour plus de visibilité on à marquer les points de repères, le simulateur à bien repéré les signaux d'entrés et de sortie.
- Au décent de l'horloge il y a un dépassement de la tension de sortie au bornes de la capacité de charge (*figure 2.16*) dans la région indiqué par (a) une valeur de tension négative (NMOS) ajouté à la sortie qu'on peut dire l'erreur ajouté est comparable physiquement au phénomène d'injection de charge.



**Figure 2.16 : Sortie de l'E/B à base d'un modèle MOS
à deux distributions sur un cycle d'horloge**

- A l'état off le signal tend vers être stable c'est le blocage. A la transition turn-on une variation de la tension (*figure 2.16 (b)*) avant que le signal de sortie suit le signal d'entré. Il nécessite un temps fini t_{ac} c'est le temps d'acquisition (*figure 2.17*); comme on a vu au premier chapitre on peut modéliser le circuit par le remplacement du MOS avec une résistance équivalente r_{ON} correspondant à son comportement dans la zone ohmique du régime de forte inversion.
- Alors le circuit se comporte comme un filtre passe bas du premier ordre (*figure 2.17*).

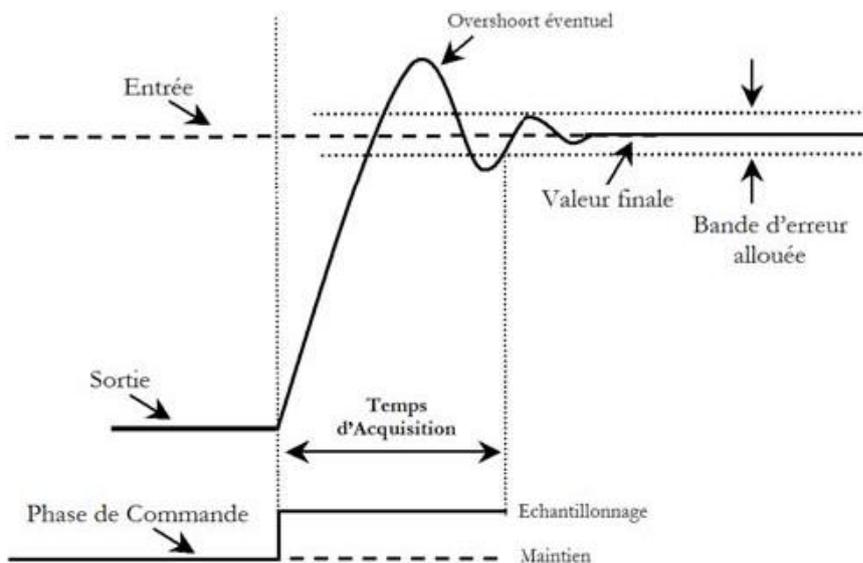


Figure 2.17 : sortie de l' E/B à base d'un modèle MOS à deux distributions sur un cycle d'horloge

4.4 AMELIORATION DU CIRCUIT A DEUX DISTRIBUTIONS

D'après les résultats obtenus par la simulation du circuit équivalent à deux distributions dans la section précédente, ce dernier fait ressortir l'erreur qui est due au phénomène d'injection de charge (vers le drain) sur l'armature haute du condensateur de charge pendant la transition turn off de l'horloge.

a) Le paramètre « p »

Dans le circuit à deux distributions le paramètre qui contrôle la quantité des charges injecté dans le canal est le paramètre « p » tel que $1-p = \alpha_{inj_CH}$ avec $0 < p < 1$. (figure 2.18)

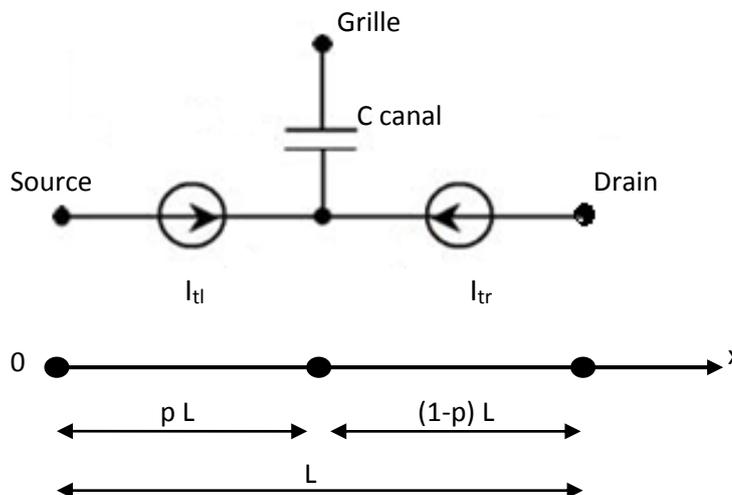


Figure 2.18 : variation du paramètre « p » sur le canal dans le modèle à deux distributions

- Pour minimiser la quantité des charges injectées vers le drain responsable de l'erreur, il faut minimiser le facteur α_{inj_CH} ce qui implique une augmentation du paramètre « p ».
- Pour confirmer cette condition on à refait la simulation du circuit à deux distributions (*figure 2.11*) avec une analyse paramétrique du paramètre « p ». Le résultat obtenu est donné par la *figure 2.19*.

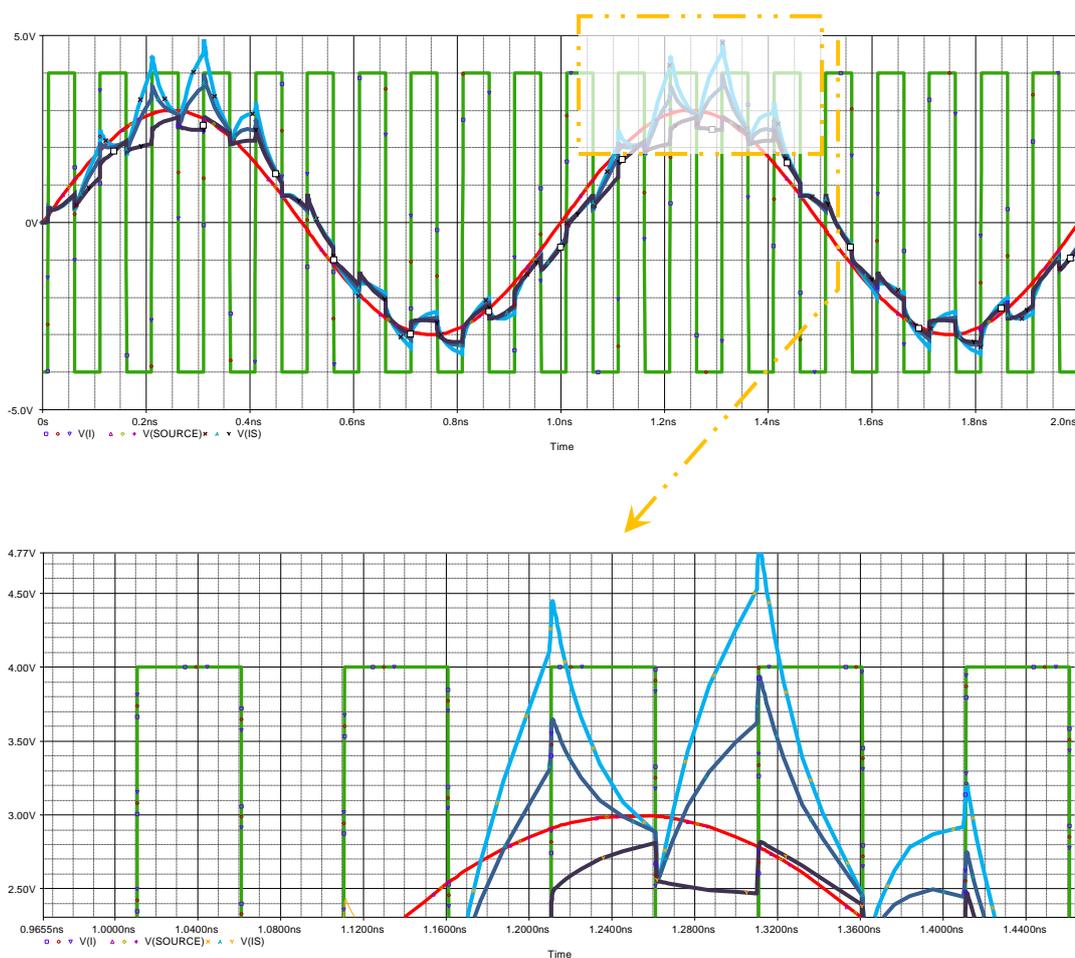


Figure 2.19 : Résultat de simulation d'un E/B à base d'un modèle MOS à deux distributions en prenant 3 variantes de $p = (0.2; 0.5; 0.8)$

- La comparaison des signaux de sorties de la *figure 2.19* montre que le meilleur résultat obtenu pour une valeur de paramètre « p » de **0.8** (lorsque $p > 0.8$ il y a un problème de convergence).

b) Le condensateur de charge CH

Dans le premier chapitre (section I.4.3.1.a) nous avons mentionné que la façon simple de réduire l'injection de charge est d'utiliser un condensateur de charge de grande capacité, mais on avait vu que malheureusement, une grande valeur de condensateur de charge implique une grande surface de silicium et une réduction de la rapidité du circuit.

- Pour voir l'influence de la capacité de charge sur notre circuit, on a fait une simulation du circuit de la *figure 2.11* (circuit d'un E/B à deux distributions) avec une analyse paramétrique du paramètre CH. Le résultat est donné par la *figure 2.20*.

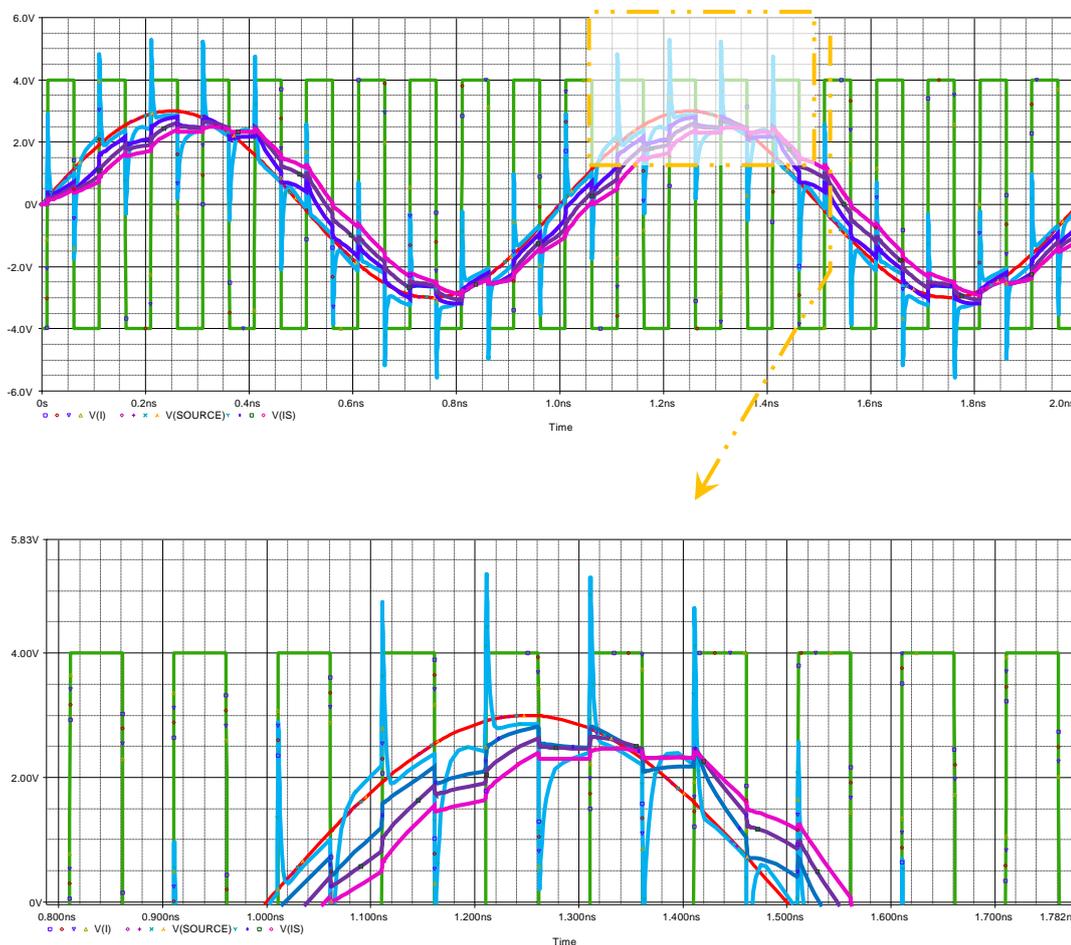


Figure 2.20 : Résultat de simulation d'un E/B à base d'un modèle MOS à deux distributions en prenant 4 variantes de CH= (10fF ; 210fF ; 410fF ; 610fF)

- La comparaison des signaux de sorties de la *figure 2.20* montre que le meilleur résultat est obtenu pour une valeur de capacité de 210fF.
- Avec des valeurs de $C_H < 210\text{fF}$: la sortie suit l'entrée (circuit rapide) mais avec une augmentation de l'erreur de la tension de sortie ($\Delta V_{CH}^{(\text{canal})} \uparrow\uparrow$).
- Avec des valeurs de $C_H > 210\text{fF}$: implique une amélioration de l'erreur de la tension de sortie ($\Delta V_{CH}^{(\text{canal})} \downarrow\downarrow$) mais avec un déphasage du signal de sortie par rapport au signal d'entrée ce qui implique une réduction de la rapidité du circuit.

c) Le paramètre lambda (λ)

Après les simulations faites pour déterminer les valeurs optimales du paramètre « p » et de la capacité de charge. Afin d'améliorer les équations des sources de courant I_{tr} et I_{tl} il fallait introduire la valeur de modulation de la longueur du canal « λ » ; avec ce paramètre Les équations deviennent :

$$I_{tl} = \mu_n C_{ox} \left(\frac{W}{pL} \right) (V_{GS} - V_1/2 - V_{th})(-V_1)(1 + \lambda V_C) \quad (2 - 11)$$

$$I_{tr} = \mu_n C_{ox} \left(\frac{W}{(1-p)L} \right) (V_{GS} - (V_C + V_1)/2 - V_{th})(V_C - V_1)(1 + \lambda V_C) \quad (2 - 12)$$

Les résultats obtenus par simulation de ces nouvelles équations en faisant varier le paramètre « λ » sont donnés par la *figure 2.21*.

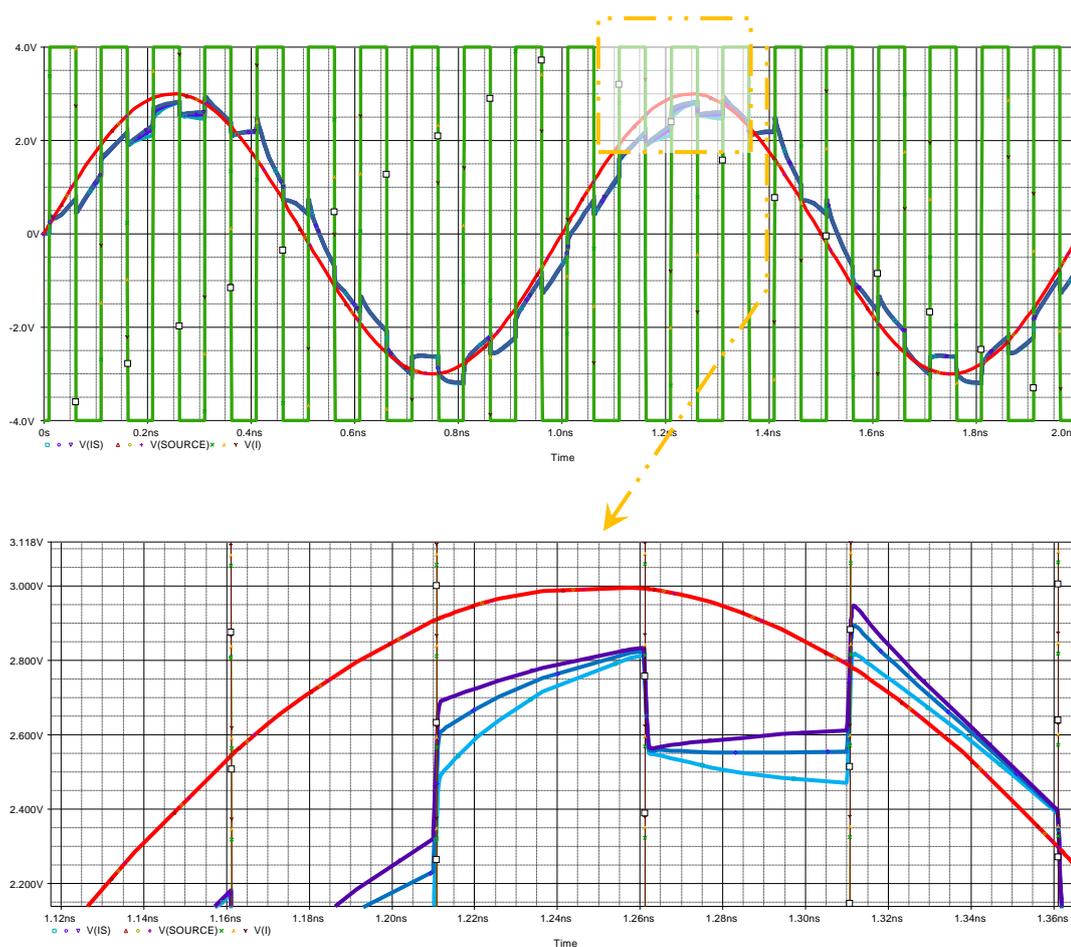


Figure 2.21 : Résultat de simulation d'un E/B à base d'un modèle MOS à deux distributions en prenant 3 variantes de $\lambda = (0 ; 0.04 ; 0.08)$

Remarque : d'après SHICHMAN HODGES (de l'université de Berkeley) qui utilise le modèle à une seule distribution la valeur typique de lambda est de 0.02.

- La comparaison des signaux de sorties de la figure 2.21 montre que le meilleur résultat obtenu est donné lorsque une valeur de $\lambda = 0.04$ avec cette valeur on voit une amélioration du signal de sortie.

Remarque : $\lambda = 0.04$ valeur optimale obtenu pour notre circuit à deux distributions est deux fois la valeur optimale du circuit à une seule distribution.

CONCLUSION

Le circuit à deux distributions (Two-lump) est un circuit représentatif du transistor MOS, nous avons pu avec ce circuit faire une bonne modélisation du phénomène d'injection de charge à cause de sa distribution du canal et sa simplicité, mais d'après les résultats obtenus par la simulation du circuit E/B, on constate qu'un circuit approximatif du transistor MOS ne représente pas vraiment toutes les caractéristiques du MOS réel et ne peut le remplacer que partiellement.

Pour cela l'introduction de nouveaux paramètres dans les équations de sources de courant nous fera rapprocher de plus en plus du MOS réel.

CHAPITRE 3

EFFET DES MODELES SPICE DU MOSFET SUR L'E/B

1. INTRODUCTION

Pour arriver à un modèle d'échantillonneur bloqueur performant ; il sera intéressant de simuler dans le circuit les différents modèles du MOSFET utilisés dans la bibliothèque du logiciel PSPICE. Une comparaison sera effectuée pour en tirer le modèle qui convient le plus à notre travail et se rapproche du cas réel.

Pour cela notre étude dans ce chapitre va se faire sur les modèles du MOSFET en utilisant les paramètres et les équations de simulation du logiciel et d'en faire une étude comparative des modèles sur la réponse de l'E/B.

2. DESCRIPTION DU MOSFET

Dans le modèle représentatif du transistor MOSFET il y a des résistances ohmiques en série avec le drain, la source, la grille et le substrat. Il possède une résistance de shunt en parallèle avec le canal entre le drain et la source, nous pouvons distinguer aussi, les capacités inter-électrodes et les capacités liées au substrat (*figure 3.1*).

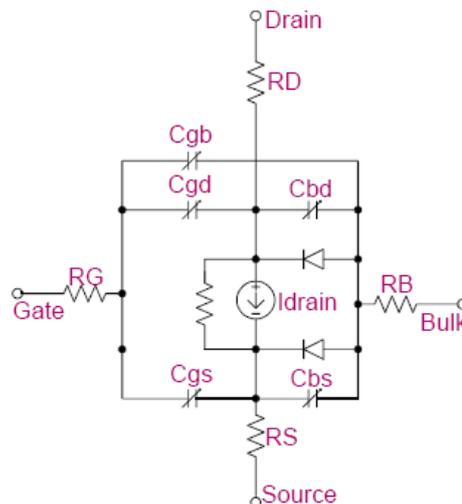


Figure 3.1 :Modèle équivalent en SPICE d'un transistor MOSFET[16]

3. LES MODELES PSPICE DU TRANSISTOR MOSFET

Le simulateur PSPICE fournit sept modèles de dispositif de transistor MOSFET avec complexité et exactitude variables qui diffèrent dans la formulation de la caractéristique courant-tension qui sont classés en trois générations. Ces différents modèles peuvent être activés par un paramètre appelé LEVEL.

Pour tous les niveaux du modèle : Les paramètres communs et les plus importants sont les valeurs des éléments principalement parasites telles que la résistance en série et la capacité de jonction de chevauchement [16].

3.1. TRANSISTOR MOSFET DE PREMIERE GENERATION

-SPICE niveaux 1, 2,3(1980). Ce sont des modèles analytiques physiques donnant des informations sur la géométrie des dispositifs dont les expressions décrivant le fonctionnement des transistors. Ces transistors sont limités par leurs paramètres.

3.1.1. Modèle du niveau 1(Level 1) :

Le modèle du niveau 1 est souvent désigné comme le modèle Shichman-Hodges[27]. C'est le plus simple des modèles MOSFET dans SPICE, il est précis seulement pour les dispositifs ayant un long canal. Il doit être utilisé lorsque la précision est moins importante que le temps d'exécution lors de la simulation, ce temps est de moitié que celui du niveau 2. L'accord dans la synchronisation est approximativement de 10%. Le modèle du niveau 1, cependant a comme conséquence des inexactitudes graves dans des fonctions de transfert de courant continu.

Si nous comprenons le modèle du niveau 1, nous pouvons mieux comprendre les autres modèles. Ce modèle qui est développé par Shichman-Hodges, utilise les équations de base de la physique du dispositif pour la tension de seuil du MOSFET et le courant de drain dans les régions de fonctionnements de saturation et non-saturation.

Idrain

mode normale : $V_{ds} > 0$

- pour la région de coupure : $V_{gs} - V_{to} < 0$

Alors : $I_{drain} = 0$

- pour la région linéaire (non-saturation) : $V_{ds} < V_{gs} - V_{to}$ et $V_{gs} > V_{to}$

alors : $I_{drain} = (W/L) \cdot (KP/2) \cdot (1 + LAMBDA \cdot V_{ds}) \cdot V_{ds} \cdot (2 \cdot (V_{gs} - V_{to}) - V_{ds})$

Pour la région de saturation : $0 < V_{gs} - V_{to} < V_{ds}$

alors : $I_{drain} = (W/L) \cdot (KP/2) \cdot (1 + LAMBDA \cdot V_{ds}) \cdot (V_{gs} - V_{to})^2$

Avec :

- Une tension de seuil $V_{to} = V_{TO} + GAMMA \cdot ((\Phi_s - V_{bs})^{1/2} - \Phi_s^{1/2})$
- $V_{TO} = \Phi_{ms} - q \cdot N_{SS} / C_{ox} + / - 2[\Phi_F] + / - 2 (q \epsilon_s N_{SUB} [\Phi_F])^{0.5} / C_{ox}$
Avec : +(NMOS) / -(PMOS)
- paramètre de seuil du substrat $GAMMA (\gamma) = [2q \cdot \epsilon_{rsi} \cdot \epsilon_o \cdot N_{SUB} / C'_{ox^2}]^{1/2}$
- Paramètre de transconductance $KP = UO \cdot COX' = UO \cdot \epsilon_r \cdot \epsilon_o / TOX$
- LAMBDA le paramètre de modulation de la longueur du canal (λ) est équivalent à l'inverse de la tension d'early pour le transistor bipolaire. LAMBDA est une mesure de la conductance de sortie à la saturation. Quand ce paramètre est spécifié, le transistor MOSFET a une conductance de sortie finie ($\lambda_{optimale} = 0.02$). Si la valeur de LAMBDA n'est pas affectée, le modèle de niveau 1 suppose une conductance de sortie égale à zéro.
- Ce qui suit est le modèle pour MbreakN : c'est un modèle NMOS de niveau un de la bibliothèque PSPICE, les valeurs des paramètres sont par défaut données par le simulateur.

```
.MODEL Mbreskn NMOS (LEVEL = 1 VTO=1 KP=50U LAMBDA=.033
+ GAMMA=.6 PHI=0.8 TOX=1.5E-10 CGDO=5E-10 CGSO= 5e-10
+ CJ=1E-4 CJSW=5E-10 MJ=0.5 PB=0.95
```

3.1.2. Modèle du niveau 2 (Level 2) :

Le modèle de niveau 2 incorpore plusieurs effets de second ordre pour les dispositifs de petites tailles. Il peut modéliser une gamme raisonnable de la taille des périphériques, mais le calcul est assez complexe et il est considéré comme un modèle physique [17].

Le modèle niveau 2 utilise une équation de Grove améliorée [19] de PSPICE. C'est le plus commun pour des équations MOS dans tous les simulateurs.

3.1.3. Modèle du niveau 3 (Level 3) :

C'est un modèle semi-empirique qui inclut la plupart des effets du second degré décrit dans le modèle du niveau 2 [17].

Il est plus empirique et moins analytique que le niveau 2 ; convergence améliorée et calcul plus simple par contre il est peu exacte car dans ce modèle on ne retrouve pas certains paramètres qui sont au niveau 2 (NEFF, UCRIT, UEXP, et UTRA).

Les caractéristiques du Courant de la première génération des modèles sont définies par les paramètres VTO, KP, lambda, PHI, et GAMMA. Celles-ci sont calculées par le simulateur si les paramètres de processus (par exemple, TOX, et les NSUB) sont donnés. VTO est positif (négatif) pour un N-MOS (P-MOS).

La valeur par défaut pour TOX est 0.1µm pour les niveaux 2 et 3, mais il est non spécifiée pour le niveau 1.

La longueur (L_{eff}) et la largeur (W_{eff}) effective pour le dispositif des paramètres sont calculés par les formules :

$$L_{\text{eff}} = L - (LD * 2)$$

$$W_{\text{eff}} = W - (WD * 2)$$

3.2. DEUXIEME GENERATION

-SPICE niveaux 4 BSIM (1990), 5 EKV : ce sont des modèles mathématiques. Les résultats donnés par le simulateur permettent de faire l'extraction des paramètres SPICE du modèle conçu.

Un calcul manuel avec ce type de modèle s'avère impossible vu sa complexité et le nombre important de paramètres obtenu après extraction et permettant de définir le modèle du point de vue physique et géométrique.

3.2.1. Modèle du niveau 4(Level 4) :

Appelé le BSIM (Berkeley Short-channel IGFET Model), qui est un modèle basé de paramètre [17]. A la différence des autres modèles de PSPICE de la première génération, le modèle BSIM est conçu pour une utilisation avec un système de caractérisation de processus utilisant tous les paramètres. Par conséquent, il n'y a pas de valeurs par défaut spécifiées pour les paramètres, et en laissant une sortie qui peuvent causer des problèmes [16].

Le modèle de niveau 4 MOS est le même que le modèle de niveau 2, avec les exceptions suivantes :

- Aucun effet de largeur étroites : $\eta = 1$
- Pas d'effets de canal court : $\gamma = \text{GAMMA}$.
- Pour la diffusion latérale, $LD_{\text{mesuré}} = LD \times XJ \times \text{SCALM}$. Le LD par défaut = 0,75 si XJ est spécifié et 0 si XJ est pas spécifié.
- TPG, le paramètre de ce niveau pour le type de matériaux de grille, il est défaut à zéro (grille AL). La valeur par défaut est 1 pour les autres niveaux. Ce paramètre calcule VTO si ce paramètre de modèle n'est pas spécifié.

3.2.2. Modèle du niveau 5(Level 5) :

Ce modèle est la version 2.6 d'EKV qui est un modèle extensible et compact construit sur les propriétés physiques fondamentales du dispositif.

Il est employé pour la conception des circuits analogique de basse tension et à faible intensité, et les circuits mixtes analogiques-numériques qui utilisent la technologie submicroniques [16].

Cette version 2.6 à pour modèle des effets suivants :

- Aspects relatifs géométriques de processus du dispositif (épaisseur d'oxyde, profondeur de jonction, longueur et largeur effectif du canal effectif, et ainsi de suite)
- Effets de dopage et du substrat
- Effets de la mobilité dus aux champs et à la saturation de la vitesse de porteur
- La modulation de la longueur du canal et l'effet du canal court, le partage de la charge de source et de drain
- Modélisation de courant ascendant et du bruit.

Remarque: Ce modèle utilise des unités micrométriques.

Les unités et les valeurs par défaut sont souvent uniques au niveau 5.

L'option SCALM est inefficace pour ce niveau [20].

3.3. TROISIEME GENERATION

SPICE niveaux 6, 7 BSIM (2000), BSIM4, EKV avec ces modèles on revient à la physique des composants semi-conducteurs, objectif initial était de redécouvrir la simplicité ... maintenant plus de 100 paramètres ont été utilisé dans cette génération [21].

3.3.1 Modèle du niveau 6 (Level 6) :

Ce modèle qui est la deuxième version de BSIM3 est un modèle physique qui inclut les effets principaux qui sont importants pour modéliser les transistors MOSFET, tels que la réduction de la tension de seuil, le dopage non-uniforme, la réduction de mobilité due au champ vertical, l'effet de charge, la saturation de vitesse de porteur, la modulation de la longueur de canal (CLM), la réduction de

résistance de sortie, la conduction sous seuil, la résistance parasite de source/drain, et la réduction de la tension de drain [16].

3.3.2 Modèle du niveau 7 (Level 7) :

C'est une version 3.1 du BSIM3 qui a été développé par l'Université de Californie, Berkeley, comme modèle profond de transistor MOSFET de submicron avec la même base physique que le modèle BSIM3 de la version 2. Mais avec un certain nombre de perfectionnements importants, tels qu'une expression courant-tension simple pour décrire la conductibilité de courant et de rendement dans toutes les régions de fonctionnement, d'une meilleure modélisation des dispositifs de largeur étroite, d'un modèle reformulé des capacités, d'un nouveau modèle de temps de relaxation pour améliorer la modélisation de l'étape transitoire, et l'ajustement de la précision en utilisant un ensemble de paramètres du rapport W/L.

BSIM3 la version 3.1 maintient les dépendances intégrées étendues des paramètres et de dimensions de traitement de BSIM3 la version 2 [16].

4. RESULTAT DE SIMULATION POUR I_{ds} EN FONCTION DE V_{ds} ET V_{gs} D'UN MOSFET

4.1. LA SIMULATION :

Le circuit de la *figure 3.2* est utilisé pour tracer les caractéristiques du transistor MOSFET $I_{ds}=f(V_{ds})$ et $I_{ds}=f(V_{gs})$.

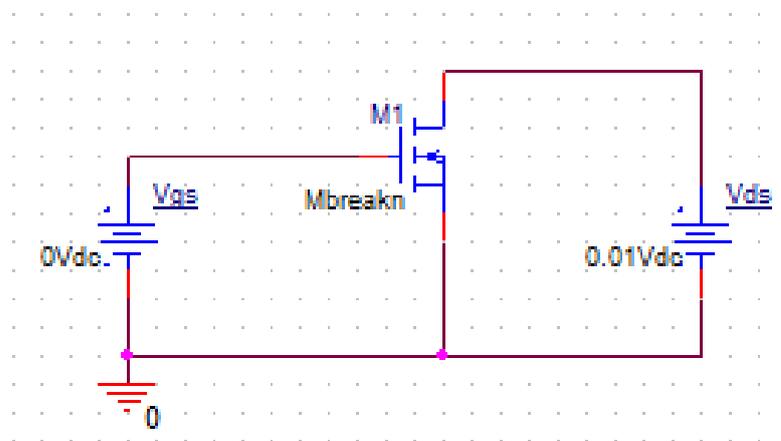


Figure3.2 : schéma permettant de tracer les caractéristiques du MOS

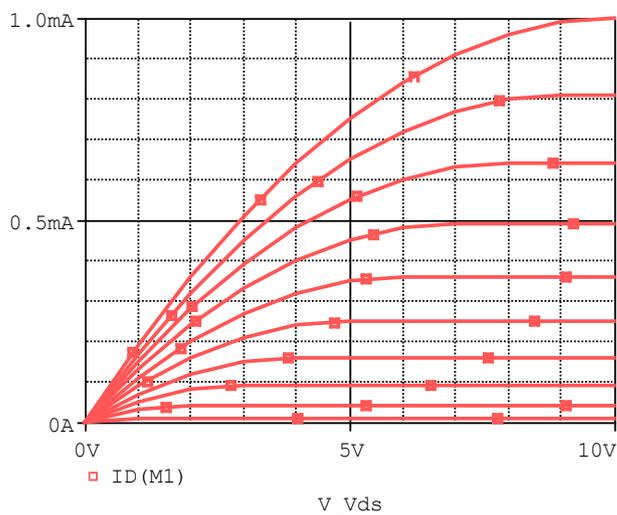
- Pour plusieurs valeurs de V_{gs} en faisant varier V_{ds} on trace les caractéristiques de $I_{ds}=f(V_{ds})$.
- Puis on fixe V_{ds} et en faisant varier V_{gs} , on trace la caractéristique $I_{ds}=f(V_{gs})$, de là on détermine :
 - la conductance (g_m) en prenant le rapport des dérivées : $d(I_{ds})/d(V_{gs})$.
 - la variation du courant dans la région sous seuil on utilise le logarithme décimal de I_{ds} .

4.2. RESULTATS :

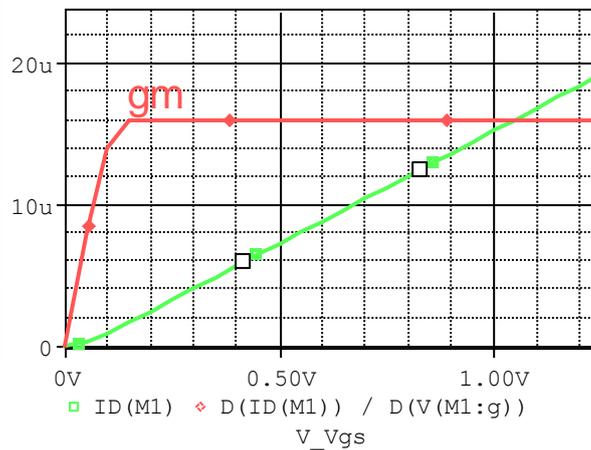
Pour chaque génération on va tracer les caractéristiques de I_{ds} en fonction de V_{ds} et I_{ds} en fonction de V_{gs} . Les courbes obtenues sont les suivantes pour ($L=2\mu m$, $W=16\mu m$ est fixe pour tous les modèles) :

4.2.1. Première génération :

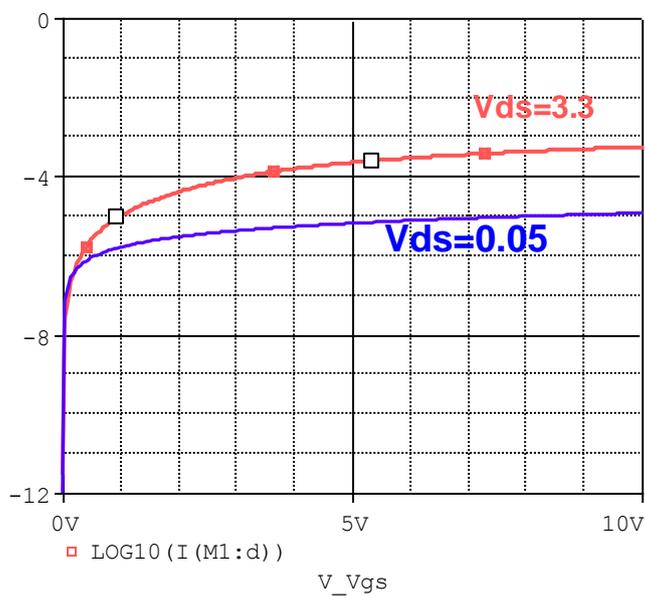
Niveau 1 :



(a)



(b)



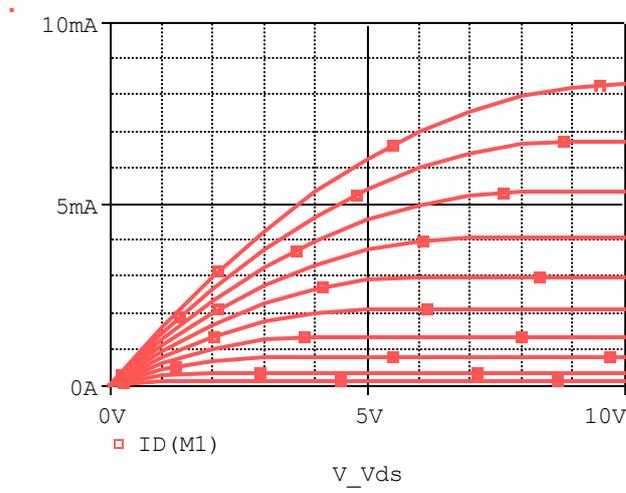
(c)

Figure 3.3 : (a) $I_d=f(V_{ds})$

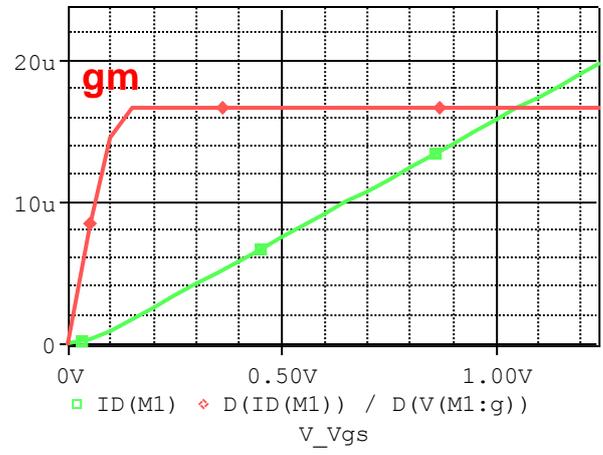
(b) $I_d=f(V_{gs})$

(c) $\text{Log}(I_d)=f(V_{gs})$

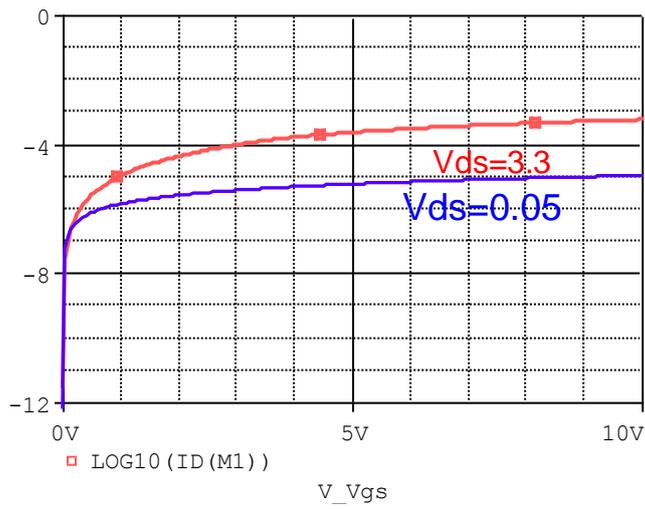
Niveau 3 :



(a)



(b)



(c)

(a) $I_D = f(V_{ds})$

(b) $I_D = f(V_{gs})$

(c) $\text{Log}(I_D) = f(V_{gs})$

4.2.2. Deuxième génération

Niveau 5 :

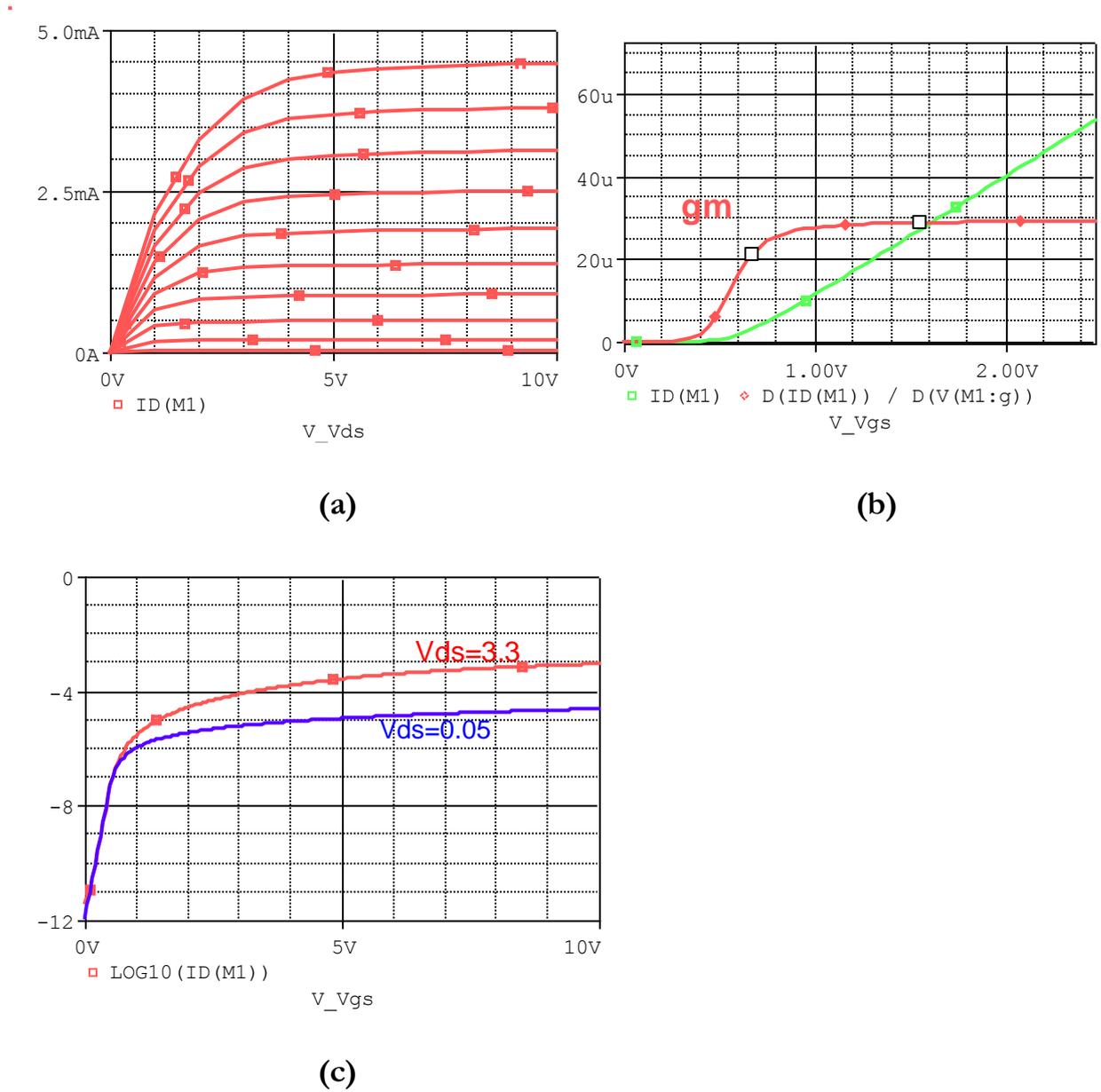


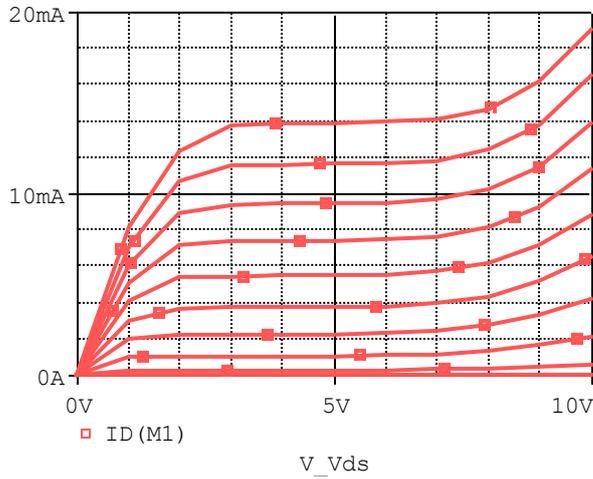
Figure 3.4 : (a) $I_d=f(V_{ds})$

(b) $I_d=f(V_{gs})$

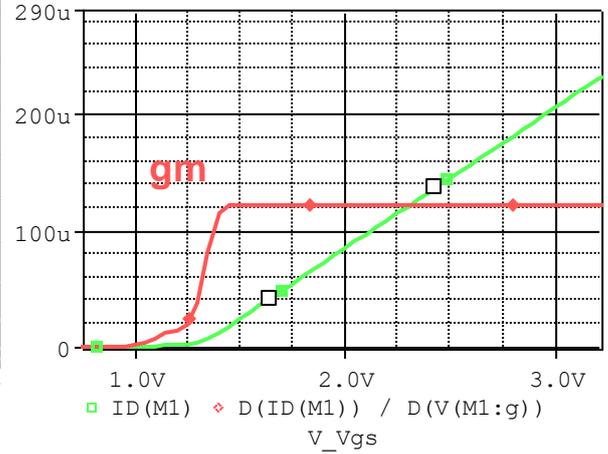
(c) $Log(I_d)=f(V_{gs})$

4.2.3. Troisième génération

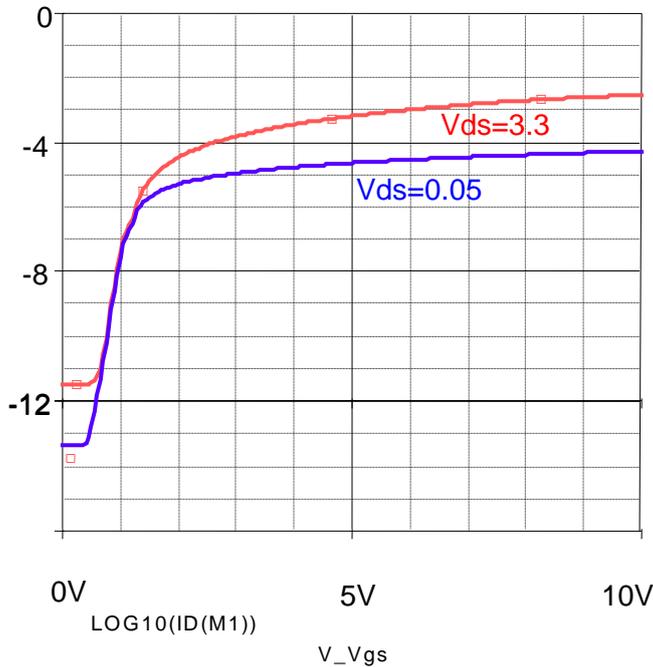
Niveau 6 :



(a)



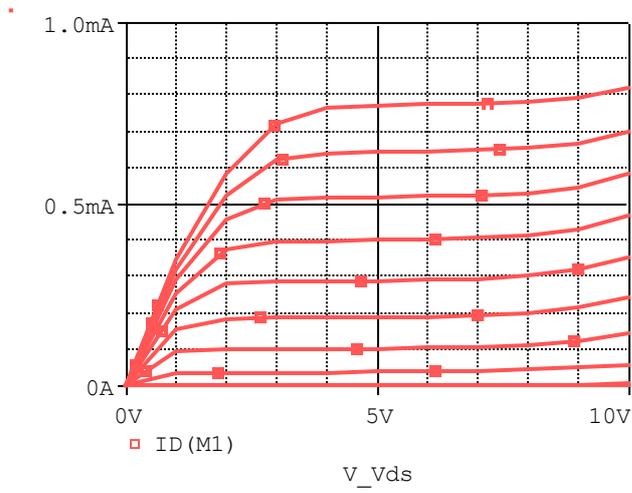
(b)



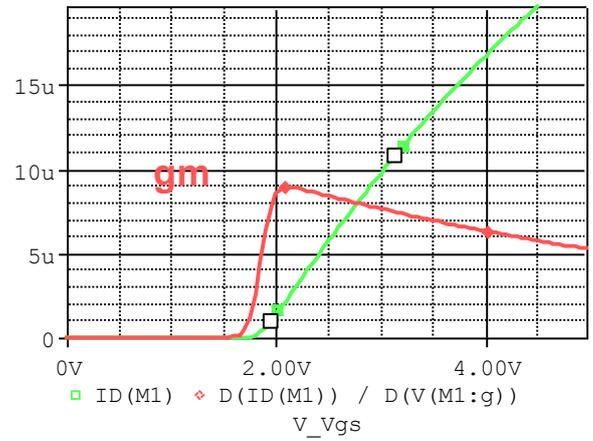
(c)

- (a) $I_d=f(V_{ds})$
- (b) $I_d=f(V_{gs})$
- (c) $\text{Log}(I_d)=f(V_{gs})$

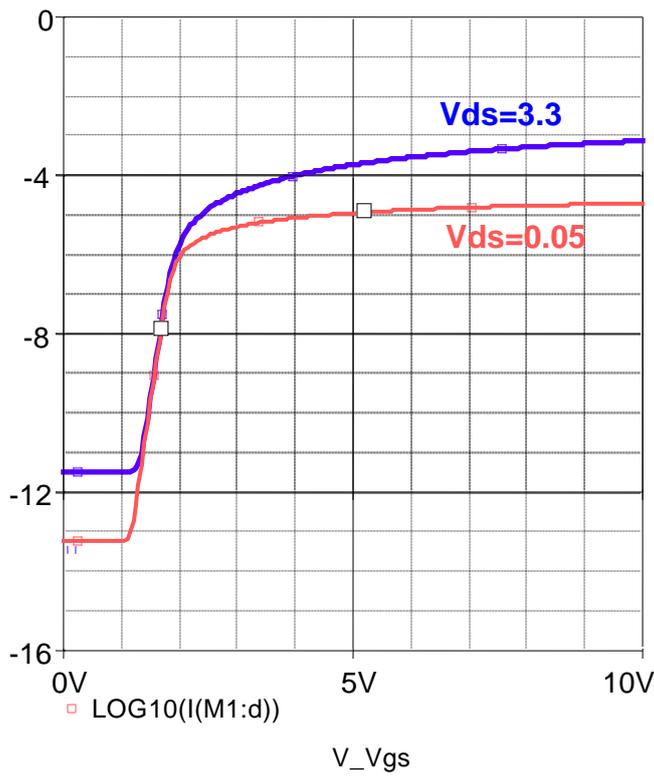
Niveau 7 :



(a)



(b)



(c)

Figure 3.5 (a) $I_d=f(V_{ds})$
 (b) $I_d=f(V_{gs})$
 (c) $\text{Log}(I_d)=f(V_{gs})$

Le BSN10A/PLP : (modèle réelle implémenté dans le simulateur PSPICE)

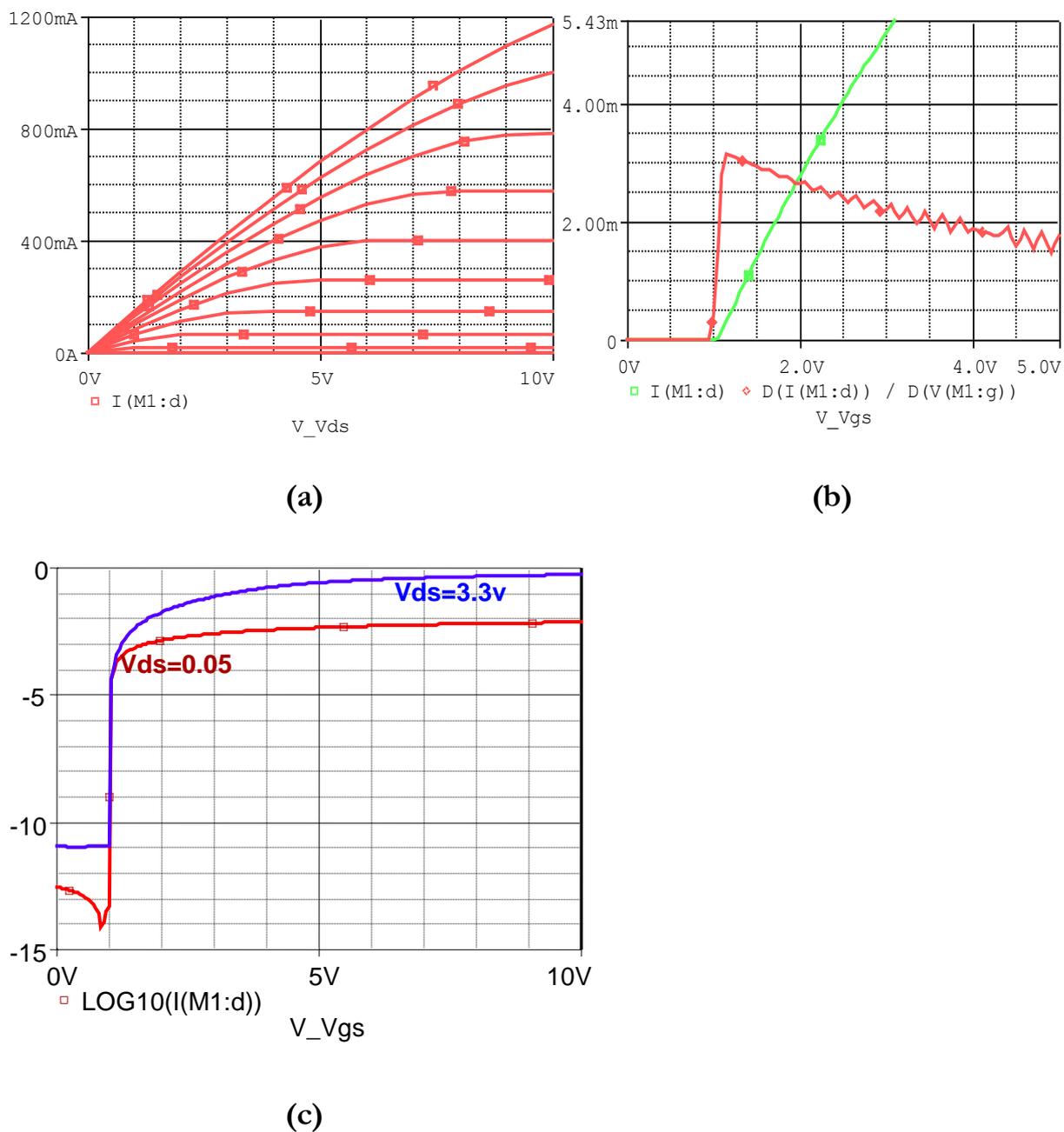


Figure 3.6 : (a) $I_d=f(V_{ds})$
 (b) $I_d=f(V_{gs})$
 (c) $\text{Log}(I_d)=f(V_{gs})$

Le BSN10A/PLP est un modèle (PSPICE niveau 3) incorrecte dans la région sous le seuil. La pente sous le seuil n'est pas possible.

4.3. INTERPRETATION DES RESULTATS

4.3.1. PREMIERE GENERATION

On remarque sur la *figure 3.3(a)* $I_{ds} = f(V_{ds})$ les courbes de la zone ohmique sont comprises de 0V à presque 5V de V_{ds} . Pris au-delà de cette valeur elles deviennent constante ; c'est la zone de saturation.

Sur la caractéristique $I_{ds} = f(V_{gs})$ (*figure 3.3(b)*), on constate qu'elle est linéaire à partir de $V_{gs} = 0.1V$ donc la tension de seuil V_{th} est très faible pratiquement nulle (*figure 3.3 (c)*) ce qui fait que ce modèle est plus idéal que réel, donc il ne peut pas convenir pour notre application d'échantillonneur bloqueur.

Il y a peu de paramètres dans notre équation qui ne nous permettent pas de ce rapproché d'un cas réel.

4.3.2 DEUXIEME GENERATION

En prenant la caractéristique $I_{ds} = f(V_{ds})$ du niveau 5 (*figure 3.4(a)*) on constate que la zone ohmique est comprise entre 0V et 1V ce qui est moins important que celle de la première génération donc il y a amélioration, puis les courbes deviennent constantes pour une tension presque de 2V mais avec un courant inférieur à 2.5mA par contre pour un courant supérieur à cette valeur elles ne deviennent constante qu'à partir d'une tension de 4V.

Quant à la caractéristique $I_{ds} = f(V_{gs})$ (*figure 3.4(b)*) on remarque une amélioration de la tension de seuil qui est de l'ordre de 0.3V qui se rapproche d'un cas réel par contre la caractéristique de la conductance est nulle jusqu'à la tension de seuil. Elle devient constante à partir de 1V. La *figure 3.4(c)* montre un début d'apparition de la linéarité dans la zone sous seuil.

4.3.3 TROISIEME GENERATION

En utilisant le modèle du niveau 7, les caractéristiques obtenues de $I_{ds} = f(V_{ds})$ (*figure 3.5(a)*) sont très proches de celle d'un cas réel, elles sont pratiquement constante entre 2V et 9V pour un courant I_d de 0A à 1mA.

Par contre la tension de seuil sur la caractéristique $I_{ds} = (V_{gs})$ (*figure 3.5(b)*) est plus importante qui est de l'ordre de 1.5V comparé à un cas réel tel que le MOSFET BSN10A (*voir Annexe*) qui a une caractéristique similaire. Dans la courbe de la *figure 3.5(c)* on peut voir la continuité complète de la zone sous seuil ainsi que la linéarité de la caractéristique dans cette zone. Donc ce modèle nous convient parfaitement pour son utilisation dans notre simulation d'échantillonneur bloqueur.

5. RESULTATS DE SIMULATION POUR UN E/B A BASE DES MODELES PSPICE D'UN MOSFET

On a fait des simulations pour un E/B avec les modèles MOSFET de PSPICE étudié précédemment.

5.1 LA SIMULATION

Le circuit de la *figure 3.7* peut être utilisé pour tracer les caractéristiques d'un échantillonneur bloqueur :

- Un signal d'entrée sinusoïdale appliquée à la source d'une tension max de 3Vet de fréquence de l'ordre de 1GHz.
- Une commande d'horloge sur la grille avec une tension max de 4V et une fréquence $f_e = 10 \text{ GHz} \geq 2f_{\text{max}} = 2 \text{ GHz}$
- La sortie se fera par le drain.

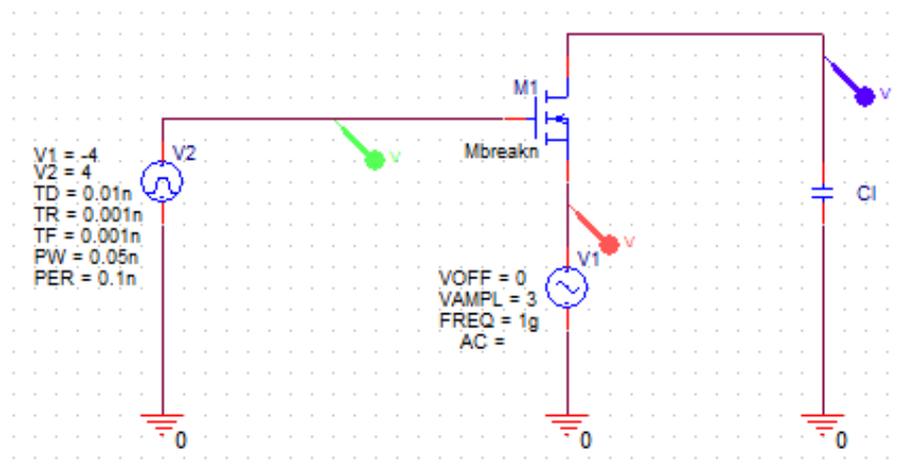


Figure 3.7. Simulation d'un E/B à base d'un modèle MOS de la bibliothèque PSPICE

5.2 RESULTATS POUR DES VALEURS FIXES (PARAMETRES GEOMETRIQUES FIXES) :

On considère pour tous les modèles $L=2\mu\text{m}$ $W=16\mu\text{m}$)

5.2.1 Première génération

Niveau 1

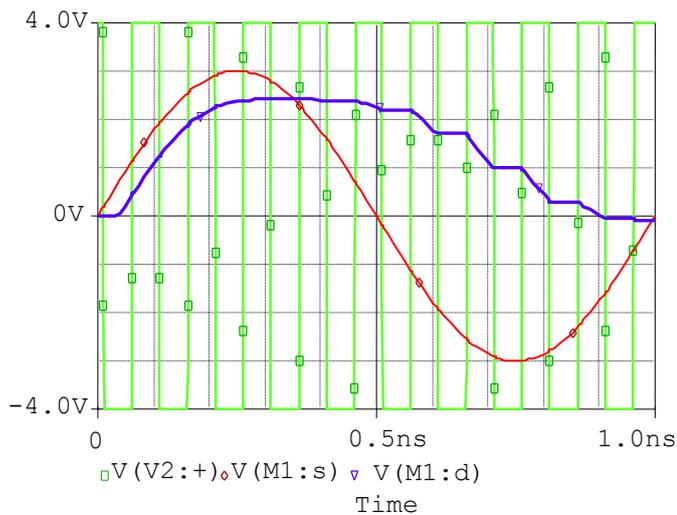


Figure 3.8

Niveau 3

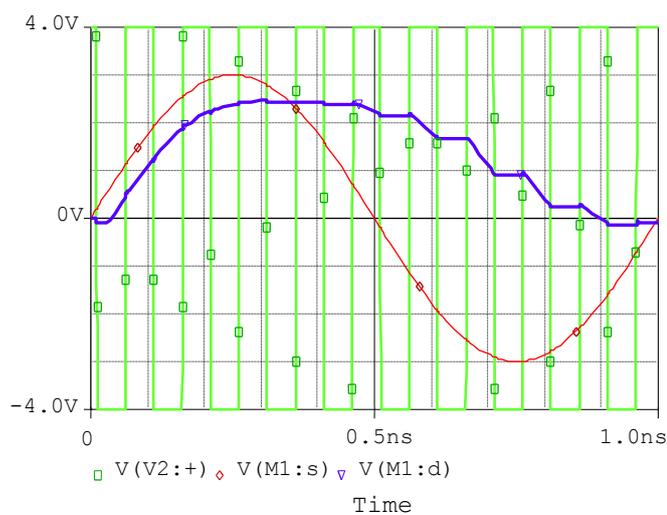


Figure 3.9

5.2.2 Deuxième génération

Niveau 5

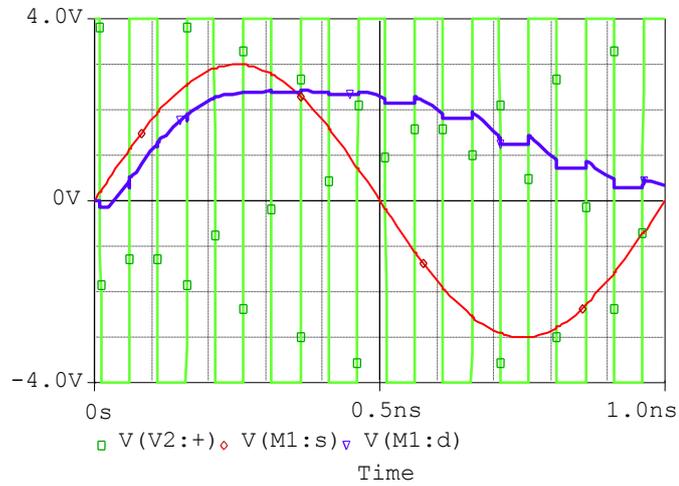


Figure 3.10

5.2.3 Troisième génération

Niveau 6

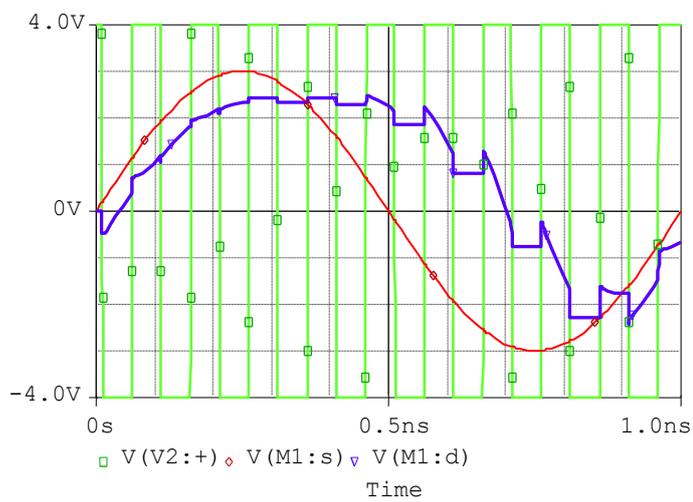


Figure 3.11

Niveau 7

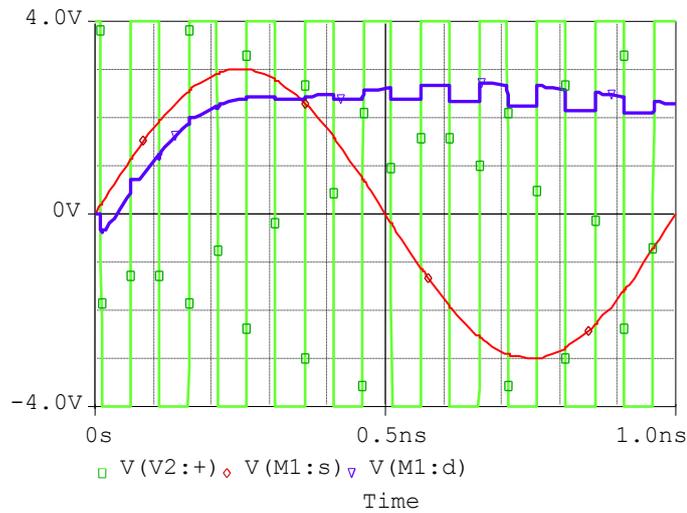


Figure 3.12

5.3 AMELIORATION

Afin d'améliorer les résultats de sortie de notre échantillonneur bloqueur, les modèles du MOSFET doivent être modifiés pour améliorer les caractéristiques par variation des paramètres géométriques agissant sur la tension $\Delta V_{CH}(\text{canal})$ qui correspond à l'erreur provoquée par l'injection de charges.

$$Q_{\text{canal}} = -C_{\text{canal}}(V_{GS} - V_{th}) = -W_{\text{eff}}L_{\text{eff}}C_{OX}(V_{GS} - V_{th}) \quad (3 - 1)$$

Avec : $C_{ox} = \epsilon_{ox} / T_{ox}$

$$\Delta V_{CH}^{(\text{canal})} = \epsilon_{\text{canal}} V_{in} + V_{\text{offcanal}} \quad (3 - 2)$$

$$\Delta V_{CH}^{(\text{canal})} \approx \left\{ \alpha_{inj_CH} \frac{W_{\text{eff}}L_{\text{eff}}C_{ox}}{C_H} \right\} V_{IN} - \left\{ \alpha_{inj_CH} \frac{W_{\text{eff}}L_{\text{eff}}C_{ox}}{C_H} (\phi_H - V_{th0}) \right\} \quad (3 - 3)$$

Pour minimiser cette erreur on agit sur les paramètres géométriques du modèle (L et W) ou on obtient les résultats suivant :

5.3.1 Première génération

Niveau 3 : pour $L \leq 200\text{nm}$ on obtient la courbe suivante :

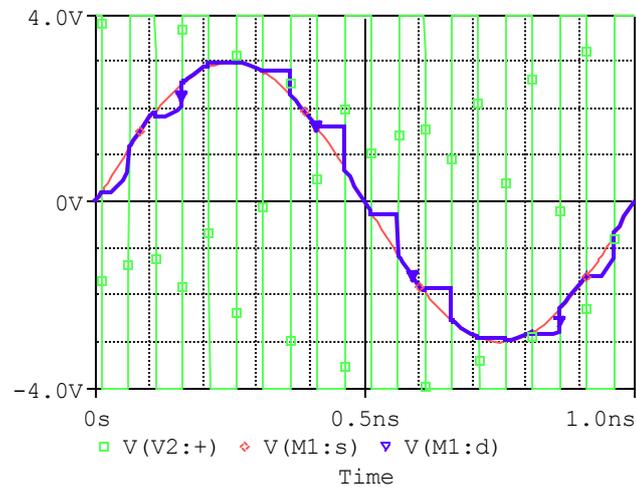


Figure 3.13

5.3.2 Deuxième génération

Niveau 5 : pour $L \leq 20\text{nm}$, $W=100\text{nm}$ on obtient :

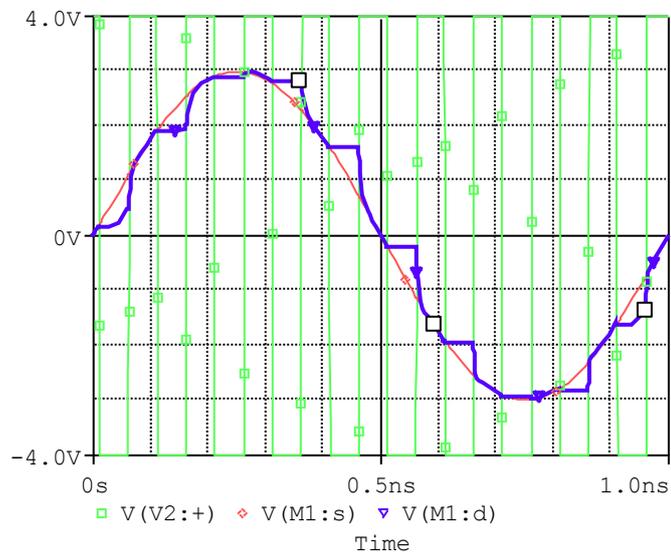


Figure 3.14

5.3.3 Troisième génération

Niveau 6 : pour $L \leq 2\text{nm}$, $W=10\text{nm}$

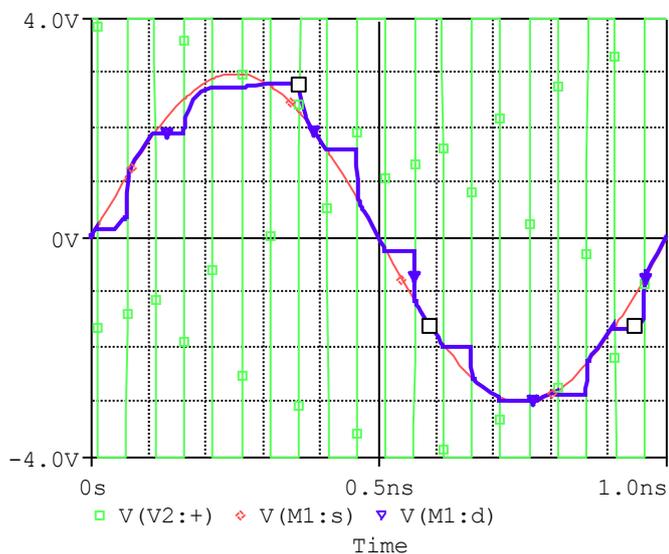


Figure 3.15

Niveau 7

D'après les résultats de simulation de la *figure 3.5* le niveau 7 c'est le modèle le plus proche du transistor réel, pour diminuer les injections de charges on utilise le circuit de la *figure 3.16*. Ce montage comporte principalement un commutateur analogique composé de deux transistors de la bibliothèque PSPICE NMOS (MbreakN niveau 7) et PMOS (MbreakP niveau 7) en parallèle.

Le principe en est le suivant : en dimensionnant de manière équivalente les deux transistors MOS, c'est-à-dire avec le même rapport géométrique W/L et même L , l'effet d'injection de charges s'annulera globalement par la compensation mutuelle des injections de charges des deux transistors dans le circuit.

Cette expression démontre que la compensation rigoureuse des charges de canal injectées sur l'armature haute de la capacité n'a lieu que dans un cas précis, correspondant à un potentiel d'entrée situé en milieu de bande $V_{IN} = (\phi_H + \phi_L)/2$.

L'hypothèse précédente sur l'égalité des coefficients d'injection α_{inj_CH} impose de plus l'utilisation de fronts d'horloges très rapides pour faire coïncider les deux fronts d'horloge.

En pratique, le résultat n'est pas des plus convaincants. Premièrement, les horloges ont un temps fini de basculement. Les temps de basculement de chaque transistor dépendront donc des signaux d'horloge, et, en général, le temps de basculement du transistor NMOS sera sensiblement différent de celui du transistor PMOS (en raison d'un rapport des mobilités de porteurs majoritaires voisin d'un facteur 3). Physiquement, le résultat de l'équation (3-4) s'explique par une valeur différente de charges accumulées dans le canal des transistors dès lors que le signal d'entrée possède une amplitude se rapprochant d'une des deux extrémités de la bande de tension d'alimentation. Par exemple, si le signal d'entrée se rapproche de la borne supérieure de la tension d'alimentation VDD, la différence de potentiel grille-source du transistor PMOS sera largement inférieure à celle du transistor NMOS, où il en découlera des charges accumulées dans le canal du transistor PMOS beaucoup moins nombreuses.

CONCLUSION

Les courbes obtenues du point de vue comparatif et leur utilisation dans un échantillonneur bloqueur montre que pour chaque génération et à chaque niveau on a un nombre important de paramètres qui interviennent.

Ces caractéristiques ont été améliorées au fur et à mesure qu'une nouvelle génération de PSPICE apparaît. On remarque sur les caractéristiques I_{ds} en fonction de V_{gs} et V_{ds} que celles de la première génération tendent vers un cas idéal par contre pour la 2^{ème} et 3^{ème} génération on se rapproche plus vers des cas réel grâce à l'ajout de paramètres dans l'équation.

Les modèles de premier et de deuxième génération ont l'avantage d'être simples et de posséder un petit jeu de paramètres mais font face à des problèmes de performance. Dans le cas des modèles de la première génération il s'agit de problèmes de convergence. Quant à la seconde génération, la description essentiellement empirique des paramètres fait perdre aux modèles leurs sens physique.

La troisième génération de modèles compacts se pose comme une alternative aux deux premières est basée sur une formulation simple de ses équations qui laisse présumer de son efficacité.

Compte tenu des remarques précédentes, notre choix de modèle se tourne vers les modèles de troisième génération et plus particulièrement BSIM3 qui offre un niveau de précision suffisant pour les fins du présent travail.

CONCLUSION GENERALE

Lorsque le transistor à effet de champs est utilisé comme commutateur dans l'échantillonneur bloqueur, compte tenu de la sensibilité de ces applications, il est essentiel d'évaluer les niveaux de distorsion avant la fabrication et il est souhaitable de prendre en compte les effets qui limitent sa performance. Une simulation de ce composant a été élaborée le long de ce mémoire et une confrontation avec des travaux antérieurs a été réalisée.

Les techniques de caractérisation par simulation analogique sont une alternative de conception qui offre une meilleure estimation des performances dynamiques de l'échantillonneur bloqueur.

Dans notre étude, les effets parasites du condensateur de charge ont été négligés seul les distorsions d'injection de charges ont été pris en compte.

Ce phénomène d'injection de charges crée un décalage de la valeur stockée sur la capacité de maintien. Cette limitation est facilement atténuée, par la variation des paramètres internes du MOS ou l'utilisation d'une architecture différentielle par exemple, mais n'est jamais complètement supprimée du fait des dispersions technologiques.

Pour cette étude on a utilisé un modèle d'E/B à base d'un modèle MOS à deux distributions qui est un modèle efficace pour la modélisation de l'isolation des charges dans le canal. Avec l'introduction du paramètre de modélisation de la longueur du canal « λ » on a approché au modèle réel et le paramètre « p » donne une évolutivité au modèle (possibilité de modéliser le dispositif sur une large plage de longueur du canal).

Néanmoins la conception par la mise en œuvre de procédures des caractérisations du MOSFET que nous avons effectué à l'aide de simulateurs analogiques de la famille SPICE donne une bonne estimation afin de pouvoir faire étude comparative et d'un tiers de modèle qui est le plus performant pour notre E/B, et plus tard, il serait nécessaire de comparer ces résultats avec un circuit réel.

Comme perspectives de ce travail :

- *Identifier le paramètre interne du transistor MOS qui agit sur le paramètre de partition du canal « p ».*
- *Arriver à un modèle le plus proche au transistor MOS réel qui nous permet la bonne modélisation afin d'améliorer les erreurs en particulier ce dues, au phénomène d'injection de charges.*
- *La finalité est d'aboutir à un E/B le plus précis, le plus rapide avec minimum d'erreurs.*

ANNEXE

DATA SHEET

BSN10; BSN10A N-channel enhancement mode vertical D-MOS transistors

Product specification
File under Discrete Semiconductors, SC13b

April 1995

N-channel enhancement mode vertical D-MOS transistors

BSN10; BSN10A

FEATURES

- Direct interface to C-MOS, TTL, etc.
- High-speed switching
- No secondary breakdown.

DESCRIPTION

N-channel enhancement mode vertical D-MOS transistor in a TO-92 envelope, intended for use in general purpose fast switching applications.

PINNING - TO-92

PIN	DESCRIPTION
BSN10	
1	gate
2	drain
3	source
BSN10A	
1	source
2	gate
3	drain

QUICK REFERENCE DATA

SYMBOL	PARAMETER	MAX.	UNIT
V_{DS}	drain-source voltage	50	V
I_D	DC drain current	175	mA
$R_{DS(on)}$	drain-source on-resistance	15	Ω
$V_{GS(th)}$	gate-source threshold voltage	1.8	V

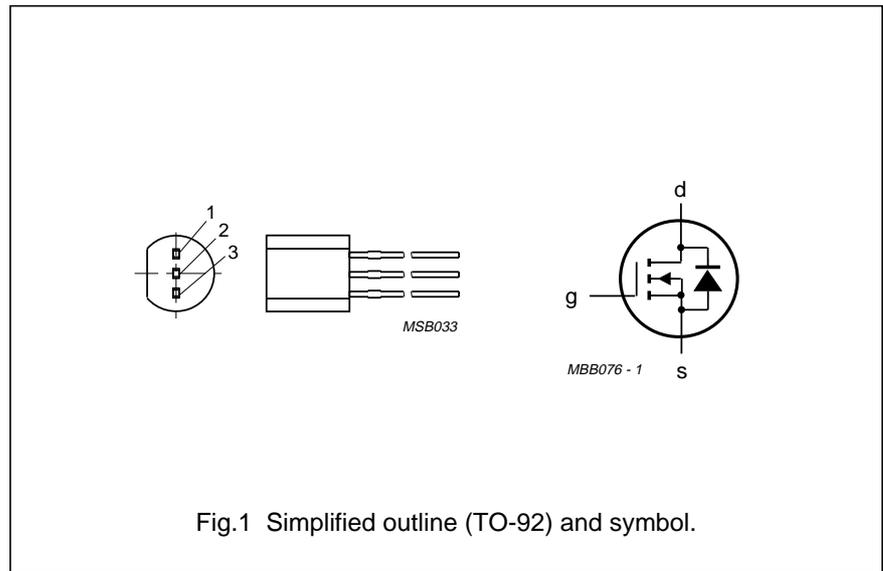


Fig.1 Simplified outline (TO-92) and symbol.

LIMITING VALUES

In accordance with the Absolute Maximum System (IEC 134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{DS}	drain-source voltage		–	50	V
$\pm V_{GSO}$	gate-source voltage	open drain	–	20	V
I_D	DC drain current		–	175	mA
I_{DM}	peak drain current		–	300	mA
P_{tot}	total power dissipation	up to $T_{amb} = 25\text{ }^\circ\text{C}$ (note 1)	–	830	mW
T_{stg}	storage temperature range		–65	150	$^\circ\text{C}$
T_j	junction temperature		–	150	$^\circ\text{C}$

THERMAL RESISTANCE

SYMBOL	PARAMETER	THERMAL RESISTANCE
$R_{th\ j-a}$	from junction to ambient (note 1)	150 K/W

Note

1. Device mounted on a printed circuit board, maximum lead length 4 mm.

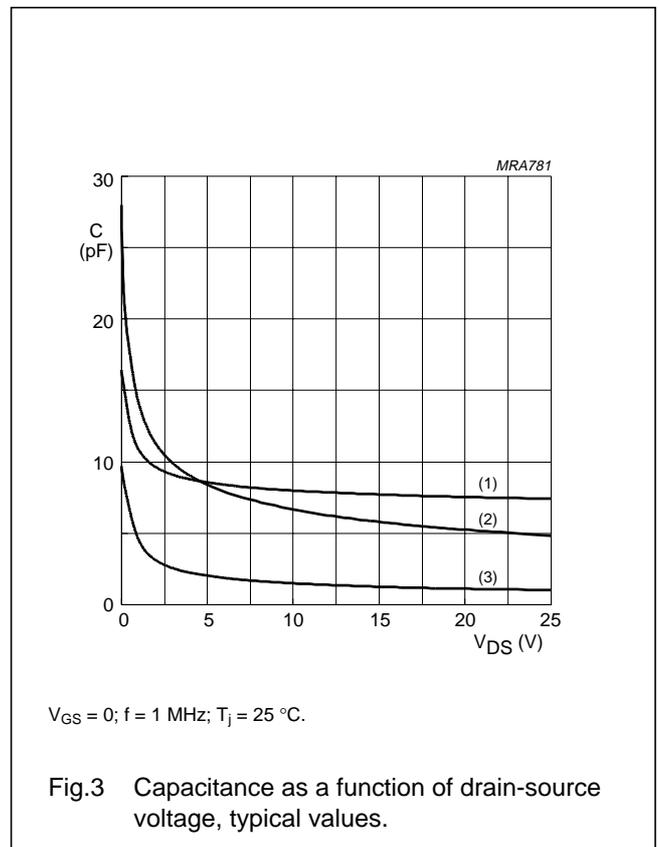
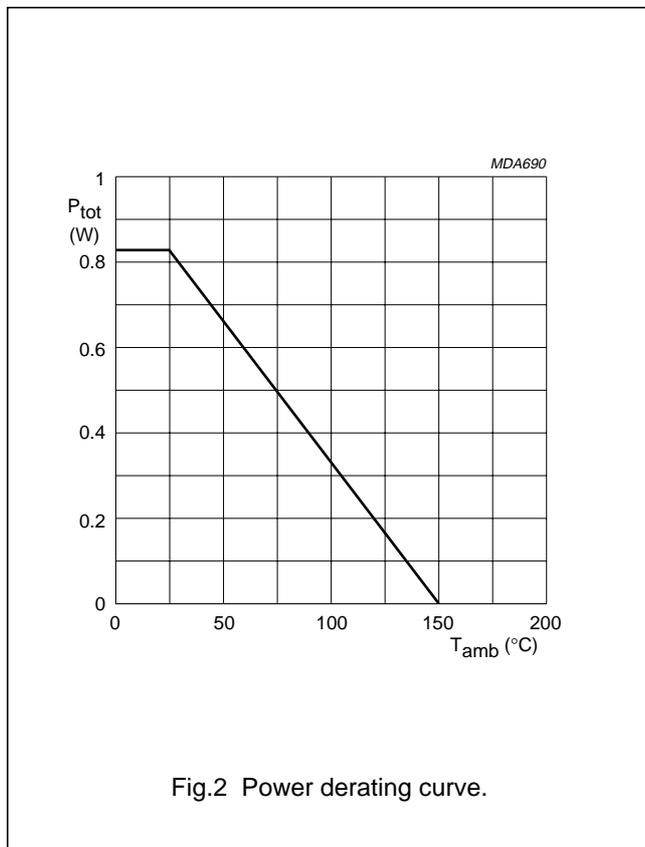
N-channel enhancement mode vertical D-MOS transistors

BSN10; BSN10A

CHARACTERISTICS

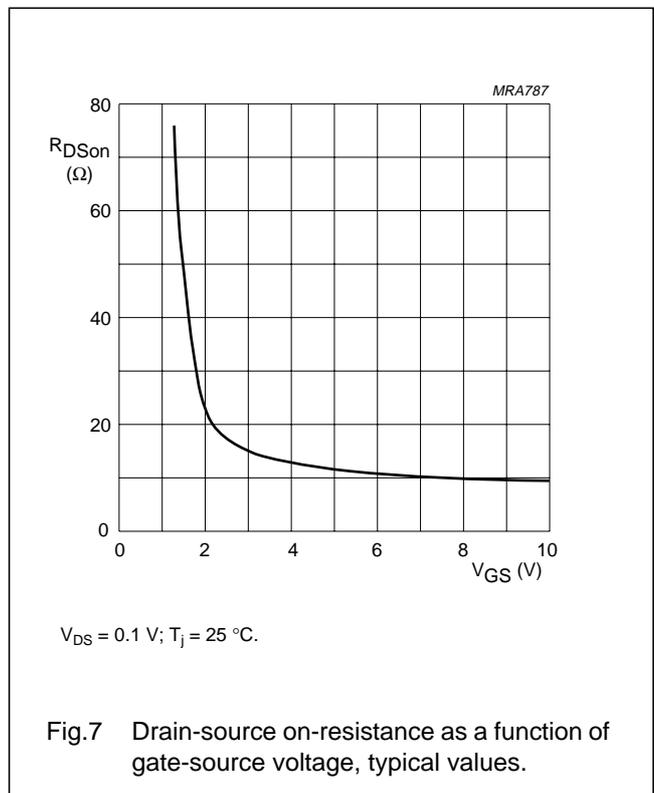
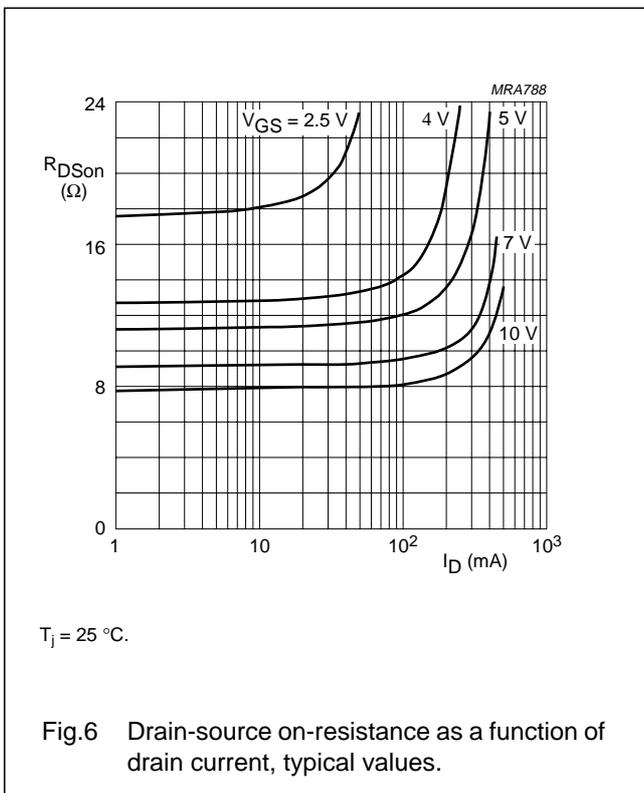
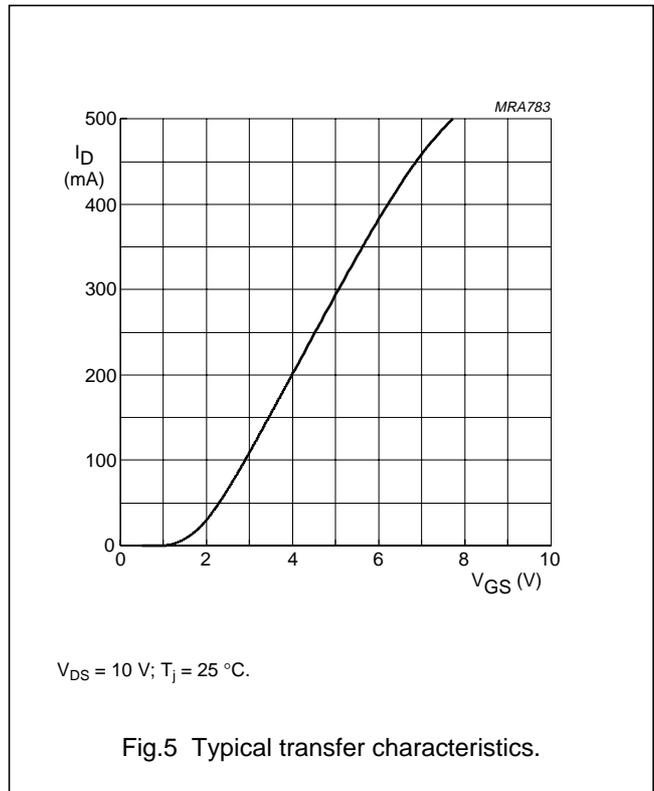
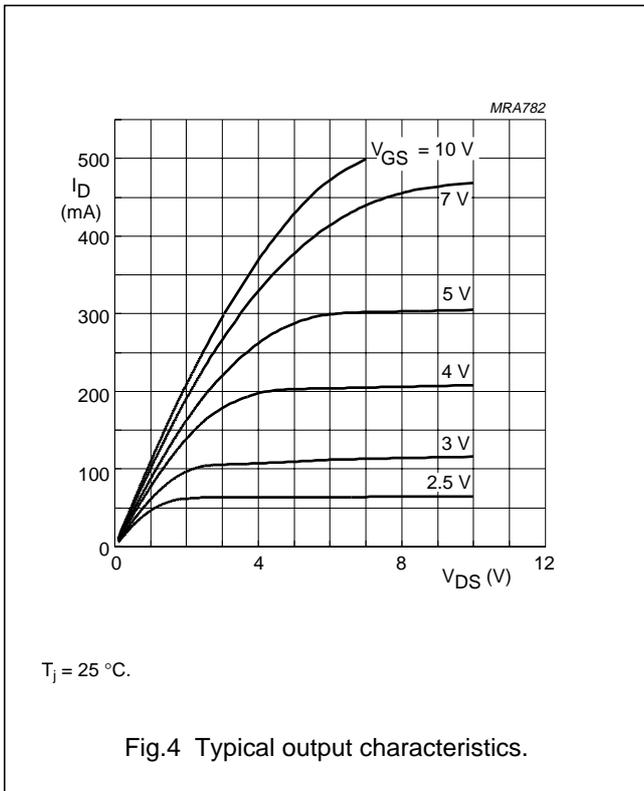
$T_j = 25\text{ }^\circ\text{C}$ unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
$V_{(BR)DSS}$	drain-source breakdown voltage	$I_D = 10\text{ }\mu\text{A}; V_{GS} = 0$	50	–	–	V
I_{DSS}	drain-source leakage current	$V_{DS} = 40\text{ V}; V_{GS} = 0$	–	–	1	μA
$\pm I_{GSS}$	gate-source leakage current	$\pm V_{GS} = 20\text{ V}; V_{DS} = 0$	–	–	100	nA
$V_{GS(th)}$	gate-source threshold voltage	$I_D = 1\text{ mA}; V_{GS} = V_{DS}$	0.4	–	1.8	V
$R_{DS(on)}$	drain-source on-resistance	$I_D = 100\text{ mA}; V_{GS} = 10\text{ V}$	–	8	15	Ω
		$I_D = 100\text{ mA}; V_{GS} = 5\text{ V}$	–	12	20	Ω
		$I_D = 10\text{ mA}; V_{GS} = 2.5\text{ V}$	–	18	30	Ω
$ Y_{fs} $	transfer admittance	$I_D = 100\text{ mA}; V_{DS} = 10\text{ V}$	40	80	–	mS
C_{iss}	input capacitance	$V_{DS} = 10\text{ V}; V_{GS} = 0; f = 1\text{ MHz}$	–	8	15	pF
C_{oss}	output capacitance	$V_{DS} = 10\text{ V}; V_{GS} = 0; f = 1\text{ MHz}$	–	7	15	pF
C_{rss}	feedback capacitance	$V_{DS} = 10\text{ V}; V_{GS} = 0; f = 1\text{ MHz}$	–	2	5	pF
Switching times						
t_{on}	turn-on time	$I_D = 100\text{ mA}; V_{DD} = 20\text{ V}; V_{GS} = 0\text{ to }10\text{ V}$	–	2	5	ns
t_{off}	turn-off time	$I_D = 100\text{ mA}; V_{DD} = 50\text{ V}; V_{GS} = 0\text{ to }10\text{ V}$	–	5	10	ns



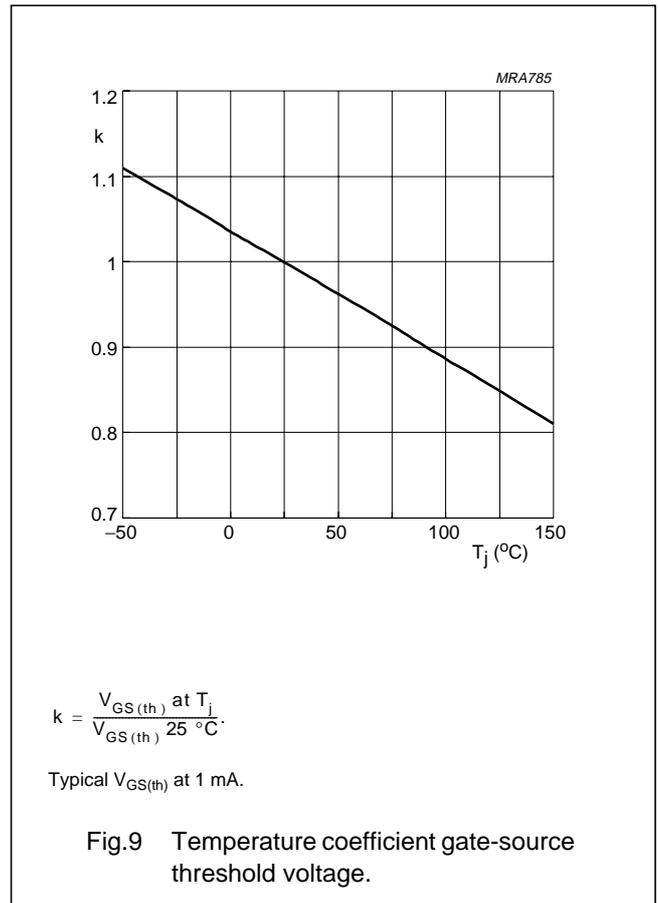
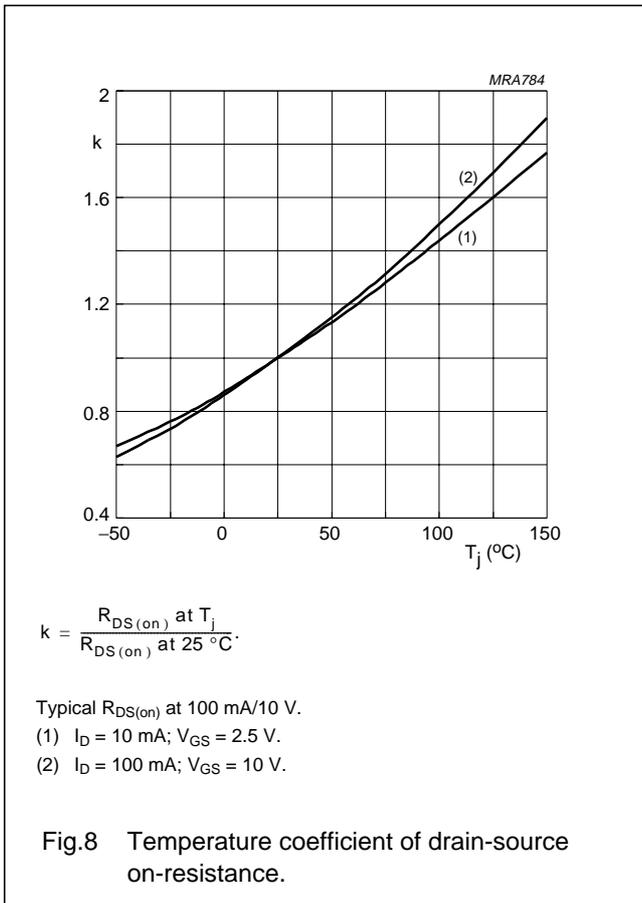
N-channel enhancement mode vertical D-MOS transistors

BSN10; BSN10A



N-channel enhancement mode vertical D-MOS transistors

BSN10; BSN10A



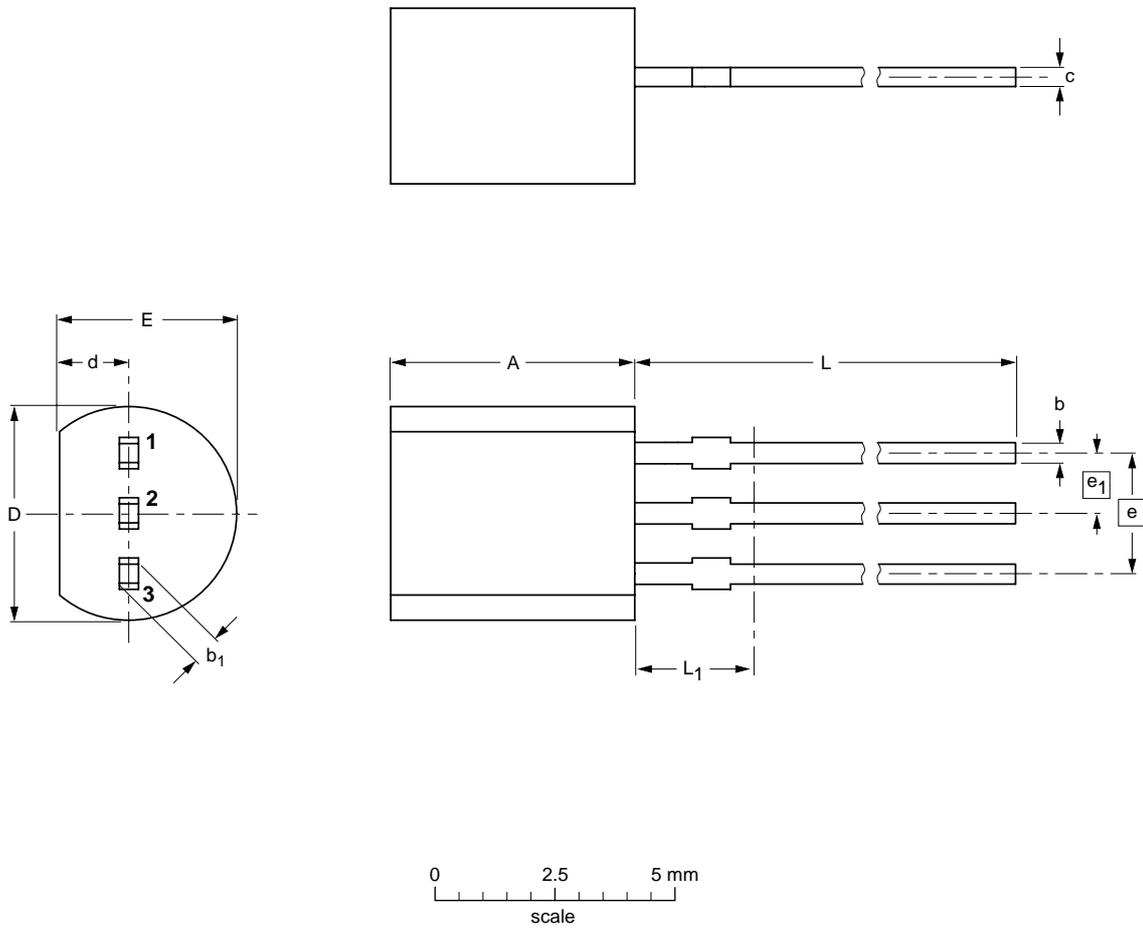
N-channel enhancement mode vertical
D-MOS transistors

BSN10; BSN10A

PACKAGE OUTLINES

Plastic single-ended leaded (through hole) package; 3 leads

SOT54



DIMENSIONS (mm are the original dimensions)

UNIT	A	b	b ₁	c	D	d	E	e	e ₁	L	L ₁ ⁽¹⁾
mm	5.2 5.0	0.48 0.40	0.66 0.56	0.45 0.40	4.8 4.4	1.7 1.4	4.2 3.6	2.54	1.27	14.5 12.7	2.5

Note

1. Terminal dimensions within this zone are uncontrolled to allow for flow of plastic and terminal irregularities.

OUTLINE VERSION	REFERENCES			EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ		
SOT54		TO-92	SC-43		97-02-28

**N-channel enhancement mode vertical
D-MOS transistors**

BSN10; BSN10A

DEFINITIONS

Data sheet status	
Objective specification	This data sheet contains target or goal specifications for product development.
Preliminary specification	This data sheet contains preliminary data; supplementary data may be published later.
Product specification	This data sheet contains final product specifications.
Application information	
Where application information is given, it is advisory and does not form part of the specification.	

LIFE SUPPORT APPLICATIONS

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.

Philips Semiconductors – a worldwide company

Argentina: see South America

Australia: 34 Waterloo Road, NORTH RYDE, NSW 2113,
Tel. +61 2 9805 4455, Fax. +61 2 9805 4466

Austria: Computerstr. 6, A-1101 WIEN, P.O. Box 213,
Tel. +43 1 60 101, Fax. +43 1 60 101 1210

Belarus: Hotel Minsk Business Center, Bld. 3, r. 1211, Volodarski Str. 6,
220050 MINSK, Tel. +375 172 200 733, Fax. +375 172 200 773

Belgium: see The Netherlands

Brazil: see South America

Bulgaria: Philips Bulgaria Ltd., Energoproject, 15th floor,
51 James Bourchier Blvd., 1407 SOFIA,
Tel. +359 2 689 211, Fax. +359 2 689 102

Canada: PHILIPS SEMICONDUCTORS/COMPONENTS,
Tel. +1 800 234 7381

China/Hong Kong: 501 Hong Kong Industrial Technology Centre,
72 Tat Chee Avenue, Kowloon Tong, HONG KONG,
Tel. +852 2319 7888, Fax. +852 2319 7700

Colombia: see South America

Czech Republic: see Austria

Denmark: Prags Boulevard 80, PB 1919, DK-2300 COPENHAGEN S,
Tel. +45 32 88 2636, Fax. +45 31 57 0044

Finland: Sinikalliontie 3, FIN-02630 ESPOO,
Tel. +358 9 615800, Fax. +358 9 61580920

France: 4 Rue du Port-aux-Vins, BP317, 92156 SURESNES Cedex,
Tel. +33 1 40 99 6161, Fax. +33 1 40 99 6427

Germany: Hammerbrookstraße 69, D-20097 HAMBURG,
Tel. +49 40 23 53 60, Fax. +49 40 23 536 300

Greece: No. 15, 25th March Street, GR 17778 TAVROS/ATHENS,
Tel. +30 1 4894 339/239, Fax. +30 1 4814 240

Hungary: see Austria

India: Philips INDIA Ltd, Shivsagar Estate, A Block, Dr. Annie Besant Rd.
Worli, MUMBAI 400 018, Tel. +91 22 4938 541, Fax. +91 22 4938 722

Indonesia: see Singapore

Ireland: Newstead, Clonskeagh, DUBLIN 14,
Tel. +353 1 7640 000, Fax. +353 1 7640 200

Israel: RAPAC Electronics, 7 Kehilat Saloniki St, PO Box 18053,
TEL AVIV 61180, Tel. +972 3 645 0444, Fax. +972 3 649 1007

Italy: PHILIPS SEMICONDUCTORS, Piazza IV Novembre 3,
20124 MILANO, Tel. +39 2 6752 2531, Fax. +39 2 6752 2557

Japan: Philips Bldg 13-37, Kohnan 2-chome, Minato-ku, TOKYO 108,
Tel. +81 3 3740 5130, Fax. +81 3 3740 5077

Korea: Philips House, 260-199 Itaewon-dong, Yongsan-ku, SEOUL,
Tel. +82 2 709 1412, Fax. +82 2 709 1415

Malaysia: No. 76 Jalan Universiti, 46200 PETALING JAYA, SELANGOR,
Tel. +60 3 750 5214, Fax. +60 3 757 4880

Mexico: 5900 Gateway East, Suite 200, EL PASO, TEXAS 79905,
Tel. +9-5 800 234 7381

Middle East: see Italy

Netherlands: Postbus 90050, 5600 PB EINDHOVEN, Bldg. VB,
Tel. +31 40 27 82785, Fax. +31 40 27 88399

New Zealand: 2 Wagener Place, C.P.O. Box 1041, AUCKLAND,
Tel. +64 9 849 4160, Fax. +64 9 849 7811

Norway: Box 1, Manglerud 0612, OSLO,
Tel. +47 22 74 8000, Fax. +47 22 74 8341

Philippines: Philips Semiconductors Philippines Inc.,
106 Valero St. Salcedo Village, P.O. Box 2108 MCC, MAKATI,
Metro MANILA, Tel. +63 2 816 6380, Fax. +63 2 817 3474

Poland: Ul. Lukiska 10, PL 04-123 WARSZAWA,
Tel. +48 22 612 2831, Fax. +48 22 612 2327

Portugal: see Spain

Romania: see Italy

Russia: Philips Russia, Ul. Usatcheva 35A, 119048 MOSCOW,
Tel. +7 095 755 6918, Fax. +7 095 755 6919

Singapore: Lorong 1, Toa Payoh, SINGAPORE 1231,
Tel. +65 350 2538, Fax. +65 251 6500

Slovakia: see Austria

Slovenia: see Italy

South Africa: S.A. PHILIPS Pty Ltd., 195-215 Main Road Martindale,
2092 JOHANNESBURG, P.O. Box 7430 Johannesburg 2000,
Tel. +27 11 470 5911, Fax. +27 11 470 5494

South America: Rua do Rocio 220, 5th floor, Suite 51,
04552-903 São Paulo, SÃO PAULO - SP, Brazil,
Tel. +55 11 821 2333, Fax. +55 11 829 1849

Spain: Balmes 22, 08007 BARCELONA,
Tel. +34 3 301 6312, Fax. +34 3 301 4107

Sweden: Kottbygatan 7, Akalla, S-16485 STOCKHOLM,
Tel. +46 8 632 2000, Fax. +46 8 632 2745

Switzerland: Allmendstrasse 140, CH-8027 ZÜRICH,
Tel. +41 1 488 2686, Fax. +41 1 481 7730

Taiwan: Philips Semiconductors, 6F, No. 96, Chien Kuo N. Rd., Sec. 1,
TAIPEI, Taiwan Tel. +886 2 2134 2865, Fax. +886 2 2134 2874

Thailand: PHILIPS ELECTRONICS (THAILAND) Ltd.,
209/2 Sanpavuth-Bangna Road Prakanong, BANGKOK 10260,
Tel. +66 2 745 4090, Fax. +66 2 398 0793

Turkey: Talatpasa Cad. No. 5, 80640 GÜLTEPE/ISTANBUL,
Tel. +90 212 279 2770, Fax. +90 212 282 6707

Ukraine: PHILIPS UKRAINE, 4 Patrice Lumumba str., Building B, Floor 7,
252042 KIEV, Tel. +380 44 264 2776, Fax. +380 44 268 0461

United Kingdom: Philips Semiconductors Ltd., 276 Bath Road, Hayes,
MIDDLESEX UB3 5BX, Tel. +44 181 730 5000, Fax. +44 181 754 8421

United States: 811 East Arques Avenue, SUNNYVALE, CA 94088-3409,
Tel. +1 800 234 7381

Uruguay: see South America

Vietnam: see Singapore

Yugoslavia: PHILIPS, Trg N. Pasica 5/v, 11000 BEOGRAD,
Tel. +381 11 625 344, Fax. +381 11 635 777

For all other countries apply to: Philips Semiconductors, Marketing & Sales Communications,
Building BE-p, P.O. Box 218, 5600 MD EINDHOVEN, The Netherlands, Fax. +31 40 27 24825

Internet: <http://www.semiconductors.philips.com>

© Philips Electronics N.V. 1997

SCA54

All rights are reserved. Reproduction in whole or in part is prohibited without the prior written consent of the copyright owner.

The information presented in this document does not form part of any quotation or contract, is believed to be accurate and reliable and may be changed without notice. No liability will be accepted by the publisher for any consequence of its use. Publication thereof does not convey nor imply any license under patent- or other industrial or intellectual property rights.

Printed in The Netherlands

137107/00/01/pp8

Date of release: April 1995

Document order number: 9397 750 02459

Let's make things better.

**Philips
Semiconductors**



PHILIPS

BIBLIOGRAPHIE

BIBLIOGRAPHIE

- [1] Liang Dai and Ramesh Harjani, “*CMOS Switched-Op-Amp-Based Sample-and-Hold Circuit*”, IEEE journal of solid-state circuits, vol. 35, no. 1, pp.109-113, January 2000.
- [2] Salah HANFOUG, “*Conception et Layout d'un échantillonneur bloqueur à technologie CMOS 0.35 μ m*”, Magister en Microélectronique Option : Ic Design. Université de Batna, Faculté des Sciences de L'ingénieur, Département d'électronique.
- [3] Claudel Grégoire Djanou, “*Conception d'échantillonneurs-bloqueurs dans la technologie mos submicronique*”, Université du Québec à Montréal. 2008.
- [4] Benoît GORISSE, “*Etude d'éléments de base et de concepts pour un numériseur à très large bande passante et à haute résolution*”, Thèse de doctorat, Université des sciences et technologies de Lille ; École Doctorale Science Pour l'Ingénieur. 2007.
- [5] R.MERAT ET ALL, «*Cours électronique*». Edition NATHAN, paris France 2004.
- [6] Denis STANDAROVSKI, “*Contribution à la conception de circuits intégrés analogiques en technologie CMOS basse tension pour application aux instruments d'observation de la Terre*”, Thèse de doctorat, Laboratoire d'Électronique de l'ENSEEIH. 2005.
- [7] Kenneth R. Stafford, Member, Ieee, Paul R. Gray, Member, Ieee, And Richard A. Blanchard, Member, Ieee “*A Complete Monolithic Sample/Hold Amplifier*”, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-9, NO.6, pp.381-387, DECEMBER 1974.
- [8] Mikko Waltari “*Circuit Techniques For Low-Voltage And High-Speed A/D Converters*”, Helsinki University of Technology, Electronic Circuit Design Laboratory. Report 33, Espoo 2002
- [9] Fayçal DJEFFAL, “*Modélisation et simulation prédictive du transistor MOSFET fortement submicronique Application à la conception des dispositifs intégrés*”, Thèse de doctorat, université de Batna, faculté de la technologie, département d'électronique. 2006.
- [10] P. Antognetti, G. Massobrio, “*Semiconductor Device Modelling with SPICE*”, McGraw-Hill, New York, 1993.

- [11] C. Eichenberger - W. Guggenbuhl " *Charge injection of analogue CMOS switches*"
Indexing term: Circuit theory and design, Clocks, Sample and hold circuits, IEE
PROCEEDINGS-G, Vol. 138, No. 2, pp.155-159, April 1991.
- [12] Yongwang Ding and Ramesh Harjani " *A Universal Analytic Charge Injection Model*",
ISCAS 2000-IEEE International symposium on circuits and systems,
pp.I144-I147, MAY 28-31, 2000, Geneva, Switzerland.
- [13] JAMES B. HUO, Member, IEEE, ROBERT W. DUTTON, FELLOW,
IEEE, and BRUCE A. WOOLEY, Fellow, IEEE, " *MOS Pass Transistor Turn-Off
Transient Analysis*", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.
ED-33, NO. 10, pp. 1545-1555, October 1986.
- [14] A.J.Scholton, L.F. Tiemeijer, P.W.H. de Vreede and D.B.M. Klassen, " *A Large
Signal Non-Quasi-Static MOS Model for RF Circuit Simulation*", Electron Devices
Meeting, IEDM '99. Technical Digest. International, pp. 163-166, 1999.
- [15] JAMES B. KUO, MEMBER, IEEE, ROBERT W. DUTTON, FELLOW,
IEEE, AND BRUCE A. WOOLEY, FELLOW, IEEE, " *Turn-off Transients in
Circular Geometry MOS Pass Transistors*", IEEE JOURNAL OF SOLID-STATE
CIRCUITS, VOL. SC-21, NO. 5, pp. 837-844, October 1986.
- [16] OrCAD PSpice A/D, Reference Manual
- [17] N. Arora, " *MOSFET Models for VLSI Circuit Simulation, Theory and Practice*",
Springer-Verlag Wien New York, Softcover reprint of the hardcover 1st edition
1993.
- [18] H. Shichman and D. A. Hodges, " *Modeling and simulation of insulated-gate field-effect
transistor switching circuits*", IEEE Journal of Solid-State Circuits, VOL. SC3, NO.3,
pp. 285-289, September 1968.
- [19] Andrei Vladimirescu and Sally Liu, " *The Simulation Of Mos Integrated Circuits
Using Spice2*", Memorandum No. UCB/ERL M80/7, February 1980(Revised
October 1980).
- [20] Emmanuel Bouhana, " *Analyse du comportement petit signal du transistor
MOS: contribution à une nouvelle approche d'extraction et de modélisation pour des applications
RF*", Thèse de doctorat, Université des Sciences et Technologies de Lille. 2007.
- [21] Ping Yang, Berton Epler, and Pallab K. Chatterjee, " *An Investigation of the Charge
Conservation Problem for MOSFET Circuit Simulation*", IEEE Journal of Solid-State
Circuits, Vol. SC-18, No.1, pp. 128-138, February 1983.

[22] Chan, P. K., et Lee, W. F., “*An injection-nulling switch for switched capacitor circuits applications*”, IEEE Transaction on Instrument and Measurement, vol. 54, no. 6, pp. 2416-2426, December 2005.

[23] Sheu, B. J., Shieh, J. H., et Patil, M., “*Measurement and analysis of charge injection in MOS analog switches*”, IEEE J. Solid-State Circuits, vol. SSC-22, pp. 277-281, April 1987.

[24] R. J. Baker, H. W. Li, D. E. Boyce, “*CMOS: Circuit design, layout and simulation*”, IEEE Press, pp.201-229, 1998.

[25] R. Geiger, P. Allen, N. Strader, “*Analog Integrated Circuits*”, 3rd ed. John Wiley & Sons, New York, 1993.